

# 고출력 배열 송신기용 광대역 타원형 이득 등화기 설계에 관한 연구

## A Study on Wideband Parabolic Gain Equalizer Design for High Power Transmitter

김인선\*      이영중\*      박주래\*  
InSeon Kim      YoungJoong Lee      JooRae Park

### Abstract

In this paper, we present new structure of wideband parabolic gain equalizer for TWT applied to printed circuit board. The gain equalizer is manufactured by using design variables of transmission line obtained from derived formulae. We compared the test results of two equalizers(reference equalizer and our equalizer). From that, we confirmed the validity of presented method. The presented equalizer is 1/3 times lighter, 1/2.7 times smaller and 1/10 times chipper than those of reference equalizer(Inmet company), respectively.

Keywords : Saturation Power(포화 전력), Parabolic Equalizer(타원형 등화기), Traveling Wave Tube(진행파관), Gain Tracking(이득 추적)

### 1. 서론

본 논문은 전자전장비 EA(Electronic Attack) 부체계를 구성하는 재밍송신장치에서 고출력 재밍신호를 송신하는 다중빔배열송신기의 고주파경로에 대한 이득 추적을 통해 최상의 출력을 얻을 수 있도록 하는 수동 소자인 광대역 타원형 이득 등화기에 대한 새로운 구조 및 설계방법을 제시한다.

전자전장비의 재밍신호를 송신하기 위해 최근에는 초고주파 렌즈 급전 방식의 빔 배열 기법이 사용되고

있다. 이때 렌즈에 의해 조향된 빔을 고출력의 재밍신호로 송신하기 위해 진행파관이 사용된다. 이처럼 로트만렌즈에 의해 진폭/위상 제어된 신호가 진행파관의 포화(Saturation) 구동점에서 동작하도록 고주파 레벨을 설정하는 고주파 조립체를 빔조향조립체(BFN : Beam Forming Network)라 한다.

빔조향조립체는 Fig. 1과 같이 증폭기, 감쇄기, 이득 등화기, 고주파 스위치로 구성된다. Fig. 1에서 로트만렌즈는 16개의 입력포트(빔포트)와 16개의 출력포트(렌즈포트)를 가지며 각각의 출력포트에는 TWT가 연결되어 있다.

다중빔배열송신기 설계 시 가능한 최고의 유효방사출력(재밍출력)을 얻기 위해 설계자는 안테나의 이득 향상과 진행파관의 출력이 포화 영역에서 구동될 수

† 2010년 2월 26일 접수~2010년 4월 29일 게재승인

\* 국방과학연구소(ADD)

책임저자 : 김인선(naechon@add.re.kr)

있도록 고주파부의 구성을 위해 많은 노력을 기울여야 한다.

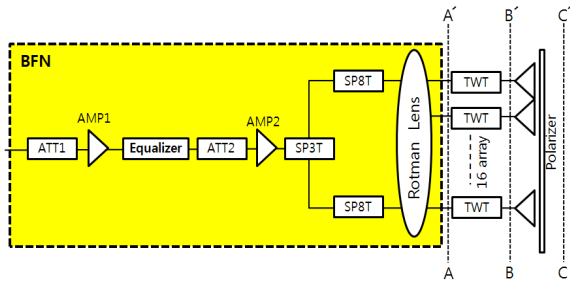


Fig. 1. 다중빔배열송신기

결국 빔조향 조립체의 구성을 어떻게 하느냐가 고출력 송신 시스템 성능을 결정하는 중요한 요소가 된다. 특히 진행파관은 광대역 주파수에 대해 포화영역에서 구동될 수 있도록 하는 입력레벨이 선형적이지 못하기 때문에 이를 보상하기 위한 소자가 필요하다. 이것이 바로 타원형(Parabolic) 이득 등화기이다.

본 연구에서는 이득 등화기 설계를 위한 과정을 다루었으며 송신기에 사용 가능한 소자 설계를 위해 단계별 고주파 경로 이득추적을 실행하였다. 고주파 경로 이득추적은 진행파관 앞단의 레벨을 적절하게 조절함으로써 진행파관이 포화 구동점에서 구동하도록 하는 입력레벨을 설정하는데 목적이 있지만 시스템에 사용된 능동 고주파 소자의 입력 레벨이 전격 용량을 초과하지 않도록 하여 과부하를 차단하는 소자 보호의 역할도 하기 때문에 반드시 선행되어야 한다.

## 2. 이득 등화기

초고주파 시스템 구성시 소자 또는 전송선로의 원인으로 인해 결과 값에 미칠 수 있는 부정적인 영향에는 위상의 왜곡과 진폭의 왜곡이 있다. 대부분 이렇게 발생한 왜곡을 보상하지 않을 경우 시스템의 성능을 저하하거나 수명에 치명적일 수도 있다. 일반적으로 위상의 왜곡은 선형화기(Linearizer)를 통해, 진폭의 왜곡은 이득 등화기(Gain Equalizer)를 통해 극복할 수 있다. 여기서는 이득 등화기의 설계를 목적으로 진폭의 왜곡 또는 손실 보상 방법에 대해서 다루고자 한다.

일반적으로 넓은 대역에서 진폭의 왜곡은 크게 세 가지 형태를 보여준다. 첫째 전송선로, 수동소자와 같이 주파수가 증가하면 단조 감소하는 손실의 형태이다<sup>1~4)</sup>. 많은 고주파 선로의 연결을 필요로 하는 커다란 규모의 시스템에서 전송선로의 길이가 길어지면서 발생할 수 있는 가장 일반적인 문제이다. 두 번째, 능동 소자를 이용한 회로에서 원하는 대역내의 평탄특성을 얻기는 매우 어렵다. 이런 경우에 대개 응답 특성이 중심 주파수 근처에서 이득이 제일 크고 중심 주파수에서 멀수록 이득이 작은 형태인 종형(Bell-like Shape)의 왜곡을 갖는다<sup>5)</sup>. 셋째는 주파수에 관계없이 불규칙하게 발생할 수 있는 스파이크나 리플과 같은 형태이다.

이득 등화기란 왜곡이 주는 응답 특성과 반대의 진폭 특성을 갖는 소자를 구현함으로써 왜곡을 보상하여 진폭의 평탄특성을 얻도록 하는 소자이다. 즉, 상기한 세 가지 이득의 왜곡 중 첫 번째 왜곡은 단조 증가형태의 응답특성을 갖는 선형 등화기를 구현함으로써 해결할 수 있다. 두 번째 형태의 왜곡은 타원형의 응답특성을 갖는 등화기를 통해 해결할 수 있다. 이런 형태의 등화기는 응답특성의 모양으로부터 타원형(Parabolic) 등화기 또는 삼각 함수형(Sinusoidal) 등화기라 한다. 세 번째 언급한 리플이나 스파이크는 주파수별 개별 이득 값을 보상하는 다수의 튜닝 구조로 구성된 복잡한 형태인 Fine-Grain Equalizer(FGE)를 통해 보상할 수 있다.

선형 등화기는 인쇄회로 기판에 구성된 시스템의 경우 시스템 입·출력 정합 회로로 구성될 수도 있고, 대역통과 여파기 또는 고역 통과 여파기의 증가 슬롯을 이용하여 사용할 수 있듯이 비교적 간단히 구현할 수 있다.

타원형 등화기와 FGE는 이론적으로 복잡한 회로 합성법으로 구성된다. 또한 그 합성법조차도 명확하지 못하여 기존의 상용 제품화된 등화기는 수 많은 튜닝 구조를 갖는다. 즉 가공이 매우 어려운 형태이다. 또한 다수의 튜닝 구조에 따라 부피가 필요 이상으로 크다.

상기한 내용은 등화기를 이용한 진폭의 평탄화를 이루는 이득 등화기의 기본적인 용도이다. 하지만 본 연구에 의해 설계된 등화기는 전자전장비에서 다수로 배열된 진행파관이 포화 출력을 방지하기 위해 포화 영역에서 구동될 수 있도록 하는 입력 레벨을 형성하는 용도로서 사용된다.

### 3. 타원형 등화기(Parabolic Equalizer)

타원형 등화기는 주 전송선로에 저항이나 흡수체와 같은 손실재료의 결합으로 구성된 일종의 흡수성 여파기(Absorptive Filter)이다.

즉,  $|S_{11}|^2 + |S_{21}|^2 + |S_{Loss}|^2 = 1$ 이 성립하는 소자이다. 기존의 등화기는 동축형 주전송 선로에 병렬로 결합된 튜닝 스테브의 길이와 손실값을 가변할 수 있도록 구성된 구조이다<sup>6)</sup>. 이 튜닝에 의해 대역의 이동 및 이득의 변화를 줄 수 있다. 그러므로 튜닝 스테브가 많을수록 구현은 어려운 반면 섬세한 이득의 등화가 가능하다.

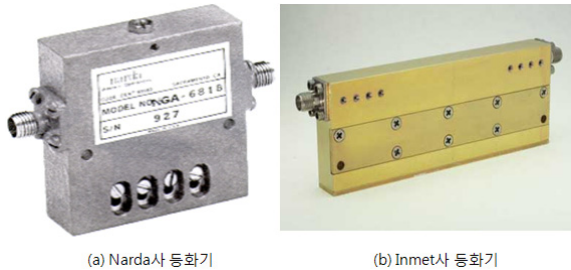


Fig. 2. 상용 타원형 등화기

Fig. 2는 TWT용으로 가장 일반적으로 사용되는 대표적인 상용 등화기이다. (a)는 Narda사의 GA-6818 모델로서 크기가 비교적 작지만 4개의 병렬 선로 튜닝 나사와 4개의 직렬 선로 튜닝 나사를 갖는 구조로 정밀 튜닝이 어렵고 튜닝 범위가 좁아 사용에 제한적이다. (b)는 Inmet사의 parabolic 등화기 모델로서 32개의 병렬 선로 튜닝 나사와 8개의 직렬 선로 튜닝 나사를 갖는 구조이로 정밀 튜닝이 용이하며 특성이 매우 우수하다. 반면에 크기는 10.16cm × 3.81cm × 1.27cm로 소자의 소형·경량화를 위한 장치에는 적용 곤란한 구조이다. 두 구조 모두 기계적인 가공이 정밀해야 하고 흡수체의 사용에 따른 재료의 문제에 직면하여 전체적인 등화기의 설계 및 제작이 매우 어렵다. 또한 복잡한 튜닝 구조를 채택한 이유에서 알 수 있듯이 정형화된 설계식도 없을 뿐 아니라 연구를 위한 관련 서적 및 논문도 찾아보기 어렵다. 그러므로 본 연구에서는 설계가 용이하고 구현이 어렵지 않은 등화기의 설계 및 제작을 시도하였다. 특히 Fig. 2의 두 소자 중 (b)의 Inmet사 등화기를 설계 기준 모델로 채택하고 그 특성 및 구조를 통한 역설계를 시도하였다.

### 4. 등화기 등가구조

제작의 용이와 소자의 소형·경량화를 위해 기계식 튜닝 구조가 아닌 평면형 구조인 인쇄회로 기판(PCB)을, 흡수체 대신 칩 저항으로 대체한 하이브리드 형태로 접근하였다. 기존의 타원형 등화기에 대한 일부 자료와 상용 제품을 분석하여 Fig. 3과 같은 등가회로를 제안한다. 제안한 구조의 대략적인 시뮬레이션을 수행하여 타원형 형태의 특성을 갖는다는 것을 미리 확인하였다.

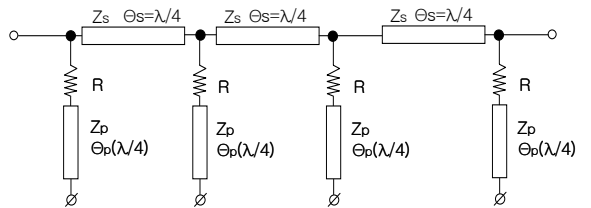


Fig. 3. 설계 등화기

전체적인 구성은 임피던스를 갖는 주 전송선로(직렬 임피던스 선로)와 끝이 개방된 임피던스 선로(병렬 스테브), 흡수체 역할을 하는 칩 저항으로 구성된다. 결국 등화기 설계란 직렬 선로의 임피던스와 길이, 병렬 선로의 임피던스와 길이를 구하는 문제로 고착된다. 한편 병렬 스테브는 끝이 개방된 선로를 사용함으로써 실제 제작, 측정시 길이의 튜닝(Cut and Try Method)이 가능한 구조이다.

상기 그림에서 제시한 구조의 단수는 임의의 형태일 뿐 원하는 응답 특성에 따라 구성하는 소자의 단수는 증가 또는 감소되어야 한다. 본 연구에서는 Fig. 3 구조에 한정하여 모든 수식 및 설계 절차를 기술하였지만 단수의 감소 또는 증가에 따른 설계 방법은 동일하게 적용된다. Fig. 3에서 구현하려는 직·병렬 선로의 길이를  $\lambda/4$ 로 고정시킨 이유는,

첫째 직렬선로의 경우 중심 주파수에서 최저값을 갖고 주기적인 삼각함수 형태를 제공하기 때문이다.

Fig. 4는  $\theta_s = \lambda/4(f_0)$ , 임피던스를 40Ω에서 10Ω으로 변화하였을 때 단일 직렬선로의 응답특성이다.

둘째 병렬소자의 경우 Fig. 5와 같이 개방 스테브의 길이가  $\lambda/4$ 이면 중심 주파수에서 개방스테브 항의 임피던스가 영(0)이 되어 사용된 저항값에 의해 최대 손실을 제공한다. 즉 저항값으로 50Ω을 사용한 경우 해당하는 손실값 -3.5218dB를 준다.

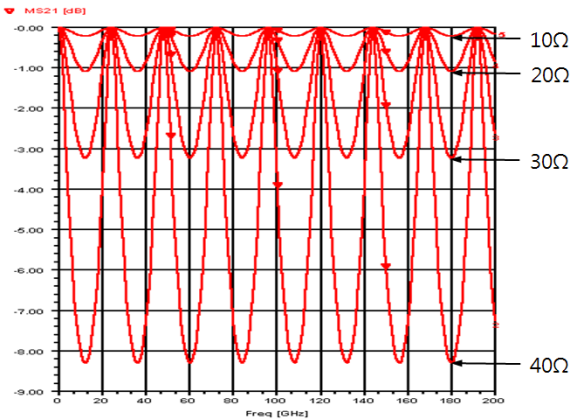


Fig. 4. 직렬 소자  $\lambda/4$  특성

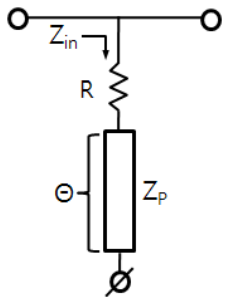


Fig. 5. 병렬소자

중심 주파수 이외의 주파수에서는 식 (1)에 의해 허수 항이 존재하므로 Fig. 6과 같은 형태의 응답특성을 준다.

$$Z_{in} = R - jZ_p \cot(\theta) \quad (1)$$

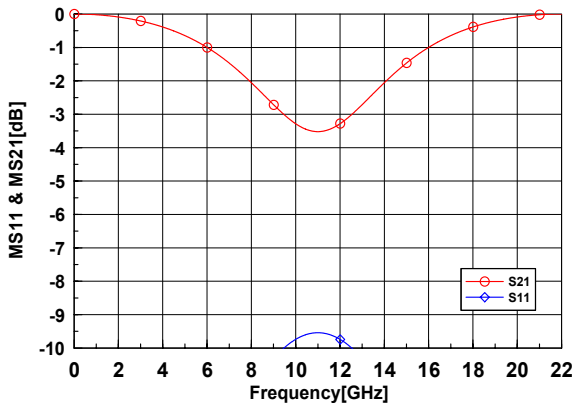


Fig. 6. 병렬 소자 1개의 특성

Fig. 7은 Fig. 5에서 개방 스텐브 길이를  $f_0$ 에서  $\lambda/4$  고정하고, 임피던스를 변화하면서 진폭의 변화를 고찰한 것이다.

개방 선로의 임피던스가 커지면(선로의 폭이 좁아지면) 대역폭이 작아지고, 임피던스가 작아짐에 따라(선로의 폭이 넓어지면) 대역폭이 넓어짐을 확인할 수 있다. 이것은 결국 기존의 튜닝이 가능한 상용 등화기의 흡수체 역할(공진기의 Q값 변화)을 한다. 그러므로 제작 시 고정된 저항값이라도 병렬 개방 선로의 임피던스 조절(선로의 폭)로 대역의 튜닝이 어느 정도 가능함을 짐작할 수 있다.

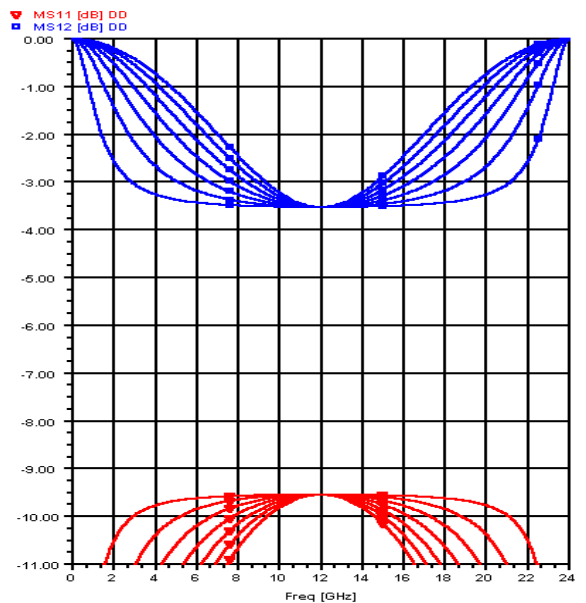


Fig. 7. 임피던스 변화에 따른 특성

### 5. 두 주파수를 이용한 소자 계산

제안한 등화기는  $f_0$ 를 중심으로 대칭적인 타원형이기 때문에 Fig. 8과 같이 두 주파수를 이용해 근사적인 설계가 가능하다<sup>[5]</sup>. 우선 중심 주파수( $f_0$ )에서 이루고자 하는 최대 삽입손실이 정해지면 사용할 저항을 적절히 선택한 후 직렬 선로의 임피던스를 구한다. 그런 다음 중심 주파수에서 이격된 임의의 주파수( $f_1$ )에서 얻고자 하는 손실(adB)을 제공하는 개방 스텐브의 임피던스를 구한다. 다음은 직·병렬 선로의 설계값을 구하는 세부적인 절차를 자세히 설명한다.

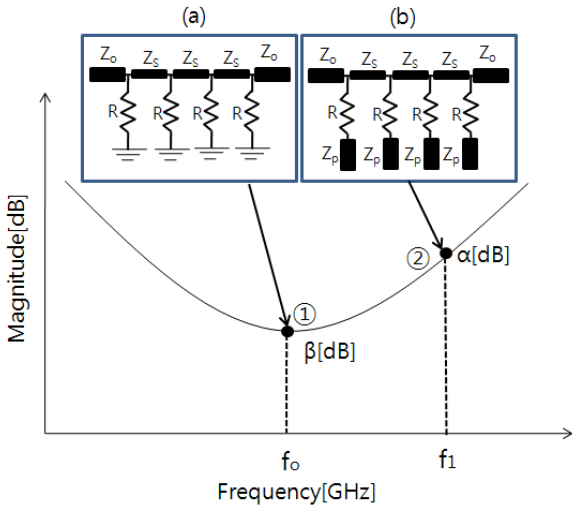


Fig. 8. 두 주파수를 이용한 소자 계산

가. 직렬소자

식 (1)에서 허수항인  $Z_p \cot \theta_p$ 는 선로의 길이가  $\lambda/4$ 인 경우, 중심 주파수(Fig. 8의  $f_0$ )에서 0이 된다. 즉, Fig. 8의 (a)와 같이  $Z_p$ 는 사용 대역 중심 주파수( $f_0$ )에서 손실을 주는 변수가 아니다. 이것을 이용하면 전체 변수가 직렬 선로의 임피던스  $Z_s$ 와 사용 저항  $R$ 만으로 표시된다. 이때 사용 저항을 설계자가 선택하는 이미 알고 있는 값이라면 대역 내 중심 주파수에서 구현하려는 최대 손실( $\beta$ )값을 줄 수 있는 직렬 선로의 임피던스  $Z_s$ 를 구할 수 있다. 식 (2)는 중심 주파수에서 Fig. 8 (a)의 ABCD 파라미터 곱을 보여준다<sup>[7]</sup>.

$$\begin{pmatrix} A & B \\ C & D \end{pmatrix} = \begin{pmatrix} 1 & 0 \\ 1/R & 1 \end{pmatrix} \begin{pmatrix} 0 & jZ_s \\ jY_s & 0 \end{pmatrix} \begin{pmatrix} 1 & 0 \\ 1/R & 1 \end{pmatrix} \quad (2)$$

$$\cdot \begin{pmatrix} 0 & jZ_s \\ jY_s & 0 \end{pmatrix} \begin{pmatrix} 1 & 0 \\ 1/R & 1 \end{pmatrix} \begin{pmatrix} 0 & jZ_s \\ jY_s & 0 \end{pmatrix} \begin{pmatrix} 1 & 0 \\ 1/R & 1 \end{pmatrix}$$

$$A = -\frac{j2Z_s}{R} - \frac{jZ_s^3}{R^3}, \quad B = -jZ_s - \frac{jZ_s^3}{R^2}$$

$$C = -jY_s - \frac{j3Z_s}{R^2} - \frac{jZ_s^3 R^4}{R^4}, \quad D = -\frac{j2Z_s}{R} - \frac{jZ_s^3}{R^3}$$

ABCD 파라미터를 S 파라미터로 변환하면 다음과 같다.

$$\left| \frac{1}{S_{21}} \right| = 2 + \frac{Z_0}{R} + Z_s \left( \frac{2}{R^2} + \frac{Y_0}{R} + \frac{Z_0}{R^3} \right) \quad (3)$$

$Z_s$ 에 대해 수식을 정리하면

$$Z_s = \pm \sqrt{\frac{\left| \frac{1}{S_{21}} \right| - 2 - \frac{Z_0}{R}}{\left( \frac{2}{R^2} + \frac{Y_0}{R} + \frac{Z_0}{R^3} \right)}} \quad (4)$$

이다. 식 (4)에서  $R$ 은 알고 있는 값이고, 중심 주파수에서 구현하려 하는  $S_{21}=\beta$ 의 값 또한 설계자가 의도한 값이다.  $Z_0$ 는 포트 임피던스  $50\Omega$ 이다. 그러므로 우변의 모든 변수는 알고 있는(Known) 값이므로 직렬 선로의 값  $Z_s$ 를 구할 수 있다.

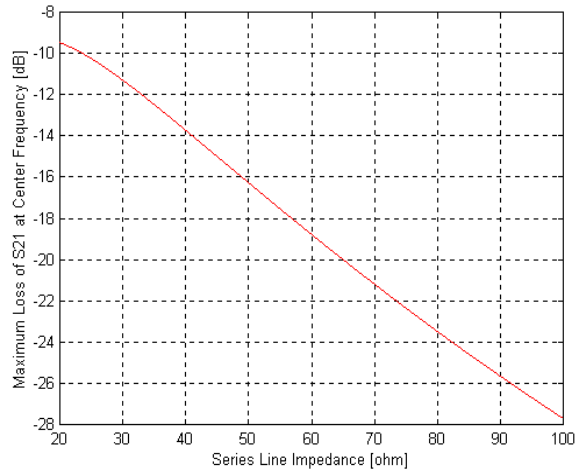


Fig. 9. 최대 삽입손실(Fig. 3 구조)

Fig. 9는 수식 (4)로부터 구한 값이다(이때  $R=50\Omega$ ). y 축은 설계 시 중심 주파수에서 구현하려하는 최대  $S_{21}$ 의 값이고 x축은 그때의 직렬 선로 임피던스 값이다.

나. 병렬소자

다음은 중심 주파수 외의 또 하나의 주파수( $f_1$ )를 이용하여 원하는 손실을 주는 병렬 선로의 임피던스( $Z_p$ )를 찾을 수 있는 방법을 살펴보기로 한다.

식 (1)로부터 중심 주파수 이외의 주파수에서는 허수항이 존재하게 된다. 따라서 Fig. 8(b)의 ABCD 행렬의 곱을 계산하면 다음과 같다.

$$\begin{pmatrix} A & B \\ C & D \end{pmatrix} = \begin{pmatrix} 1 & 0 \\ \frac{1}{R-iN} & 1 \end{pmatrix} \begin{pmatrix} K & jL \\ jMK & K \end{pmatrix} \begin{pmatrix} 1 & 0 \\ \frac{1}{R-iN} & 1 \end{pmatrix} \quad (5)$$

$$\cdot \begin{pmatrix} K & jL \\ jMK & K \end{pmatrix} \begin{pmatrix} 1 & 0 \\ \frac{1}{R-iN} & 1 \end{pmatrix} \begin{pmatrix} K & jL \\ jMK & K \end{pmatrix} \begin{pmatrix} 1 & 0 \\ \frac{1}{R-iN} & 1 \end{pmatrix}$$

여기서,

$$K = \cos\theta_s$$

$$L = Z_s \sin\theta_s$$

$$M = Y_s \sin\theta_s$$

$$N = Y_s \sin\theta_s$$

이다. 식 (5)의 결과를 S 파라미터로 변환하면 다음과 같다.

$$S_{21} = \frac{2}{A + \frac{B}{Z_0} + CZ_0 + D} \quad (7)$$

만약 Fig. 8 ②에서와 같이  $\alpha$ [dB]라는 값이 중심 주파수 이외의 또 다른 임의의 한 주파수( $f_1$ )에서 구현하고자 하는 값이라면 식 (6)의  $Z_p$ 를 변환하면서 식 (5), 식 (7)을 구하고 구해진 식 (7)의 값을 식 (8)에 대입하는 순환적인(Recursive) 계산을 통해 식 (8)을 만족하는 변수  $Z_p$ 를 찾는다.

$$\alpha [dB] - \left( 10 \log \frac{1}{|S_{21}|^2} \right) = 0 \quad (8)$$

이와 같은 과정으로  $Z_s$ ,  $Z_p$ 를 구하고, 미리 고정한 직·병렬 선로의 길이  $\lambda_0/4$ , 미리 선택한 값 R을 이용해 등화기 설계에 필요한 모든 변수를 얻을 수 있다.

다. 진행파관(TWT) 특성

다중빔배열송신기에 사용된 진행파관은 CPI사의 VTM-6113R4T가 사용되었다.

빔조향조립체에서 배열된 안테나를 통해 방사되는 출력이 최대가 되게 하기 위해서는 진행파관이 포화 구동점에서 동작하도록 하는 것이 매우 중요하다. Fig. 10은 실제 사용된 TWT 16개에 대한 포화구동 입력

레벨을 측정된 결과이다.

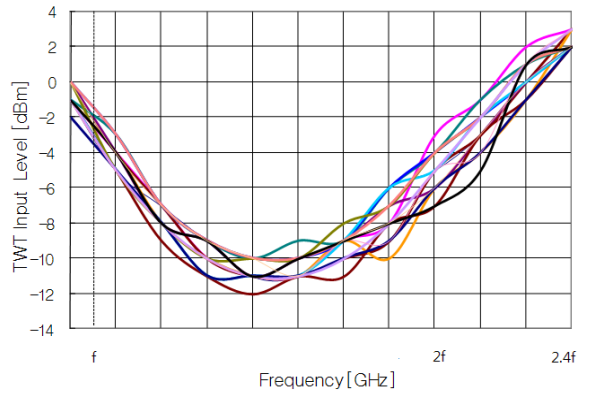


Fig. 10. 16개의 진행파관 포화구동 입력 레벨

각각의 진행파관마다 포화 구동 입력레벨이 일정하지 않고 약간의 편차를 갖기 때문에 이득 추적을 위해 Fig. 10에서 평균 레벨의 적당한 값을 취함으로써 Table 1과 같이 진행파관의 포화구동 입력 레벨을 결정하였다.

Table 1. 포화구동 입력레벨

| 주파수 (GHz)       | f  | f+ | f+ | f+ | f+  | f+  | f+ | f+ | f+ | f+ | f+ | 2.4f |
|-----------------|----|----|----|----|-----|-----|----|----|----|----|----|------|
| 포화구동 입력레벨 [dBm] | -2 | -4 | -7 | -9 | -10 | -10 | -8 | -6 | -5 | -3 | 0  | 2    |

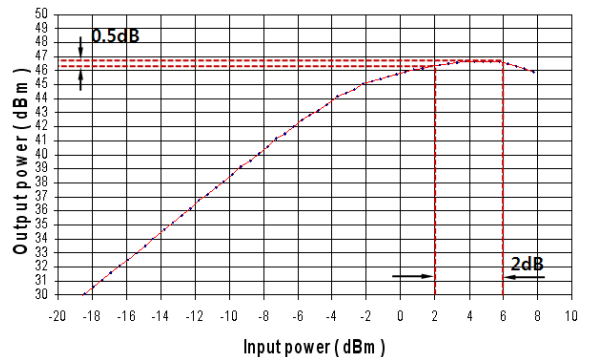


Fig. 11. TWT 입·출력 특성

따라서 Table 1의 값이 각각의 TWT에 입력되는 것이 최선이겠지만, 진행파관의 특성 상 Fig. 11과 같이

포화입력 레벨 주변에서 입력 레벨이  $\pm 2\text{dB}$ 가 흔들린다 하더라도 실제 출력은 “포화출력”에서  $0.5\text{dB}$  수준의 작은 차이를 주므로 Table 1에 약간의 허용 오차를 인정할 수 있다.

라. 고주파 경로 이득추적(Gain Tracking)

Fig. 1의 A-A'에서 즉, TWT 입력단에서 앞단의 레벨을 적절하게 조절하여 Table 1의 레벨을 갖도록 하는 과정이 경로 이득추적이다. 증폭기와 스위치의 이득 및 손실특성은 고유하기 때문에 감쇄기와 이득 등화기의 레벨을 조정하여 최적의 값을 결정한다. 이런 과정에 의해 진행파관이 포화 영역에서 구동하도록 하는 입력레벨을 설정하는 것도 중요하지만 시스템에 사용된 증폭기, 스위치의 입력 레벨이 전격 용량을 초과하지 않도록 하여 과부하를 차단함으로써 소자를 보호할 수 있도록 하여야 한다.

Fig. 1의 시스템에서 이득추적 결과 최상의 주파수 부근에서 입력 레벨이 스위치, AMP2의 전격 용량을 초과함을 확인하였다. 그러므로 이상적인 진행파관의 입력 조건을 만족시키기는 어렵고 최상의 주파수에서 실현할 수 있는 가장 근접한 레벨을 설정하여야 한다. 따라서 그 주파수에서 출력레벨은 상대적으로 약간 낮은 결과를 초래한다.

Table 2는 상기한 문제를 고려한 경로 이득 추적을 통해 얻은 등화기의 주파수별 레벨이다.

Table 2. 등화기 요구 규격

| 주파수 [GHz]  | f   | f+  | f+  | f+  | f+  | f+  | f+  | f+  | f+  | f+ | f+ | 2.4f |
|------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|----|----|------|
| 설계 목표 [dB] | -11 | -13 | -14 | -16 | -17 | -16 | -14 | -12 | -10 | -7 | -4 | -2   |

6. 등화기 설계

가. 시뮬레이션 및 설계

앞절에서 유도된 수식을 이용하여 2.4:1의 넓은 대역폭을 갖는 타원형 이득 등화기를 설계하였다. 구조는 마이크로스트립형의 기판 구조를 선택하였으며, 설계에 사용된 저항은 KDI/Triangle사의 NPC75-105 50Ω 칩 저항을 사용하였다. 제작 기판은 유전율이 2.33이고

기판의 두께가 31mil(0.7874 mm)인 RT duroid 기판을 이용하였다.

두 점을 이용한 등화기 설계법을 이용한 설계 프로그램을 수행하여 설계 변수를 구하고(-11dB @f<sub>i</sub>, -17dB @f<sub>o</sub>의 두 점을 입력으로 시뮬레이션을 수행한 경우 설계 목표치와 가장 접근한 값을 얻었다.), 그 변수를 이용하여 등화기를 구성한 후 시뮬레이션 프로그램을 실행시킨 결과, 사용된 Tee-Junction 등의 영향으로 인해 주파수의 이동이 생긴다. 그러므로 원하는 시뮬레이션 결과를 얻기 위해 다수의 적정화 과정을 수행하였으며, Fig. 12는 적정화 과정을 통해 얻은 Table 3의 시뮬레이션 결과와 Table 2의 규격을 비교한 것이다.

Table 3. 등화기 설계 규격

| 주파수 [GHz] | f     | f+    | f+    | f+    | f+    | f+    | f+    | f+    | f+   | f+   | f+   | 2.4f |
|-----------|-------|-------|-------|-------|-------|-------|-------|-------|------|------|------|------|
| 시뮬레이션     | -10.6 | -11.9 | -14.8 | -16.6 | -16.9 | -15.7 | -13.4 | -10.7 | -8.2 | -6.0 | -4.5 | -3.2 |

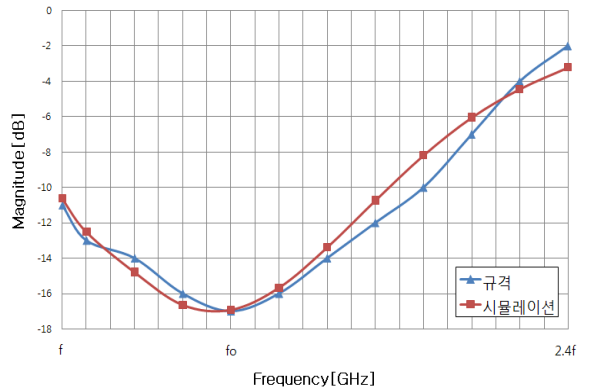


Fig. 12. 설계 등화기 시뮬레이션 특성

Table 4. 등화기 설계값

| 구분             | Electrical Value[Ω] | Line Width [mm] | Line Length [mm] |
|----------------|---------------------|-----------------|------------------|
| Z <sub>s</sub> | 57.86               | 1.821           | 4.71             |
| Z <sub>p</sub> | 69.58               | 1.325           | 4.75             |
| 50Ω선로          | 50                  | 2.301           | 5                |
| R              | 50                  | -               | -                |

Table 4는 최종적으로 얻은 설계값으로 이 값을 이용해 실제 등화기를 제작하였다.

나. 측정결과

Fig. 13은 제작된 등화기의 기판 형상과 조립 구조이다. 크기는 3cm×4cm×1.5cm이다. 하우징 영향을 제거하기 위해 커버에 Cumming사의 C-RAM 0.06(1.5mm) 고무형태(Rubber Type) 흡수체를 일부 부착하였다.

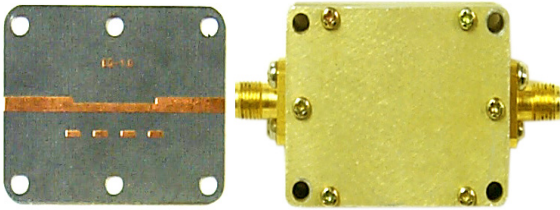


Fig. 13. 제작 이득 등화기

Fig. 14는 설계 기준으로 해외에서 주문 구매한 Inmet사의 등화기 특성과 제작한 등화기 측정결과를 비교 도시한 것이다.

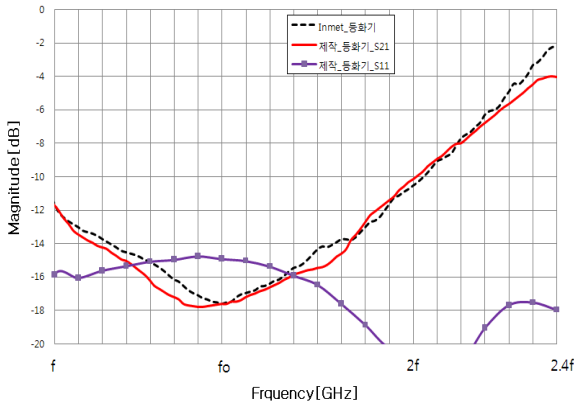


Fig. 14. 등화기 측정 결과

Table 5는 요구 규격 대 측정결과를 정리 비교한 것이다. 제작 등화기는 커버에 사용한 흡수체의 영향으로 대체적으로 손실이 증가하였으며, 최상의 주파수 부근에서 시뮬레이션 값에 비해 약간 더 큰 손실을 보인다. 그렇지만 최상의 주파수를 제외한 두 등화기의 주파수별 최대 편차는 1.2dB 이내로 비교적 유사한 특성을 보인다.

Fig. 15~Fig. 17은 도입한 Inmet 등화기와 제작된 등

화기를 Fig. 1의 시스템에 교체 장착하면서 실제 고출력 측정을 수행한 결과이다. Fig. 1에서 로트만 렌즈의 1, 4, 8번 입력포트(빔 포트)를 선택하고 B-B'의 위치에서 임의로 4번째 TWT의 출력을 구해 도시한 것이다.

Table 5. 등화기 요구 규격 대 측정결과

| 주파수 [GHz]     | f     | f+    | f+    | f+    | f+    | f+    | f+    | f+    | f+    | f+   | 2.4f |      |
|---------------|-------|-------|-------|-------|-------|-------|-------|-------|-------|------|------|------|
| Inmet 측정 [dB] | -11.5 | -13.0 | -14.5 | -16.2 | -17.6 | -16.4 | -14.3 | -13.0 | -10.5 | -7.7 | -4.9 | -2.2 |
| 제작 측정 [dB]    | -11.7 | -13.5 | -15.1 | -17.2 | -17.6 | -16.6 | -15.5 | -12.7 | -10.2 | -8.0 | -5.7 | -4.1 |
| 편차 [dB]       | 0.2   | 0.5   | 0.6   | 1     | 0     | 0.2   | 1.2   | 0.3   | 0.3   | 0.3  | 0.8  | 1.9  |

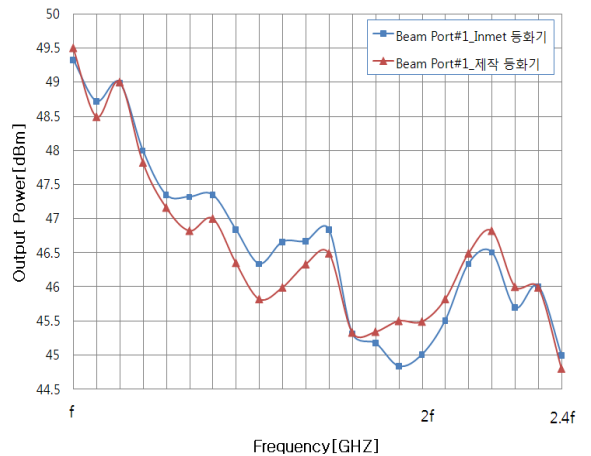


Fig. 15. 빔 포트#1 입력 시 TWT#4 출력

로트만 렌즈는 8번 포트를 기준으로 상하, 좌우 대칭 구조이기 때문에 나머지 대칭적인 포트에 입력된 결과는 대칭적으로 매우 유사하다.

두 등화기를 이용한 고출력 측정 결과를 비교하였을 때 최대 0.89dB의 편차를 보여준다. 제작된 등화기가 일부 주파수에서는 더 높은 출력 특성을 또 다른 어떤 주파수에서는 약간 낮은 출력 특성을 제공하기 때문에 어떤 등화기의 특성이 우수하다고 평가하기 어렵고 두 등화기의 특성은 매우 흡사함을 확인 할 수



있다. 그러나 제작 등화기 특성 중 최상의 주파수에서는 대체로 도입 등화기보다 0.5dB 이내 범위에서 작게 출력된 결과는 개선이 필요할 것으로 판단된다. 이는 제작한 등화기가 Fig. 14에서 보는 바와 같이 최상의 주파수에서 손실값이 약간 큰 특성에 기인한 것으로 판단된다. 그러나 최저 출력을 갖는 최상의 주파수에서도 Fig. 1의 C-C에서 유효방사출력(ERP) 측정결과를 고찰해 보면 모든 빔은 요구 ERP 이상의 충분한 출력을 얻을 수 있음을 Fig. 18에서 확인할 수 있다. 이로부터 본 연구에 의해 제작된 등화기도 시스템 성능을 충족시킬 수 있는 충분한 특성을 제공함을 입증할 수 있다.

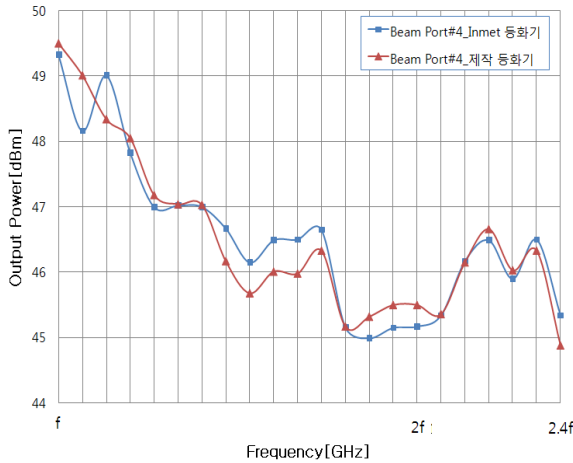


Fig. 16. 빔 포트#4 입력 시 TWT#4 출력

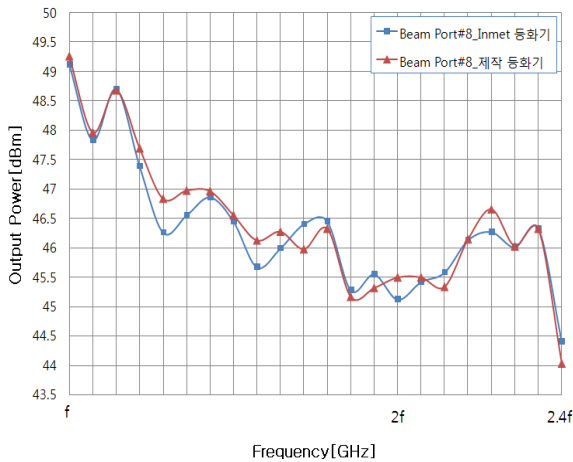


Fig. 17. 빔 포트#8 입력 시 TWT#4 출력

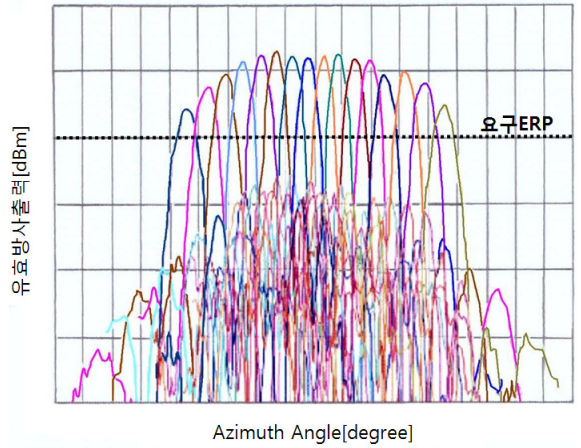


Fig. 18. 최상의 주파수(2.4f)에서 유효방사출력

## 7. 결론

본 연구에서는 TWT 포화 구동용 광대역 타원형 이득 등화기 설계를 목적으로 하였다.

첫째, 기존의 동축형 등화기의 구조를 통해 평면 인쇄 회로 기판에 구현 가능한 구조로 변형을 유도하였다.

둘째, 유도된 등가 구조도의 직·병렬 선로의 개별적인 고찰을 통해 제시한 구조의 타당성을 보였다. 셋째, 중심 주파수와 임의의 또 다른 한 주파수를 이용한 등화기 설계법으로 등화기의 전체 파라미터, 즉 직·병렬 선로의 설계 변수를 구하였다.

넷째, 시스템 구성 소자의 단계별 고주파 경로 이득 추적을 실행하여 진행파관이 포화영역에서 구동될 수 있도록 하는 등화기의 설계 규격을 설정하였다.

마지막으로 설계 규격을 이용한 시뮬레이션을 수행하고 구해진 전송 선로의 길이와 폭, 칩 저항을 이용한 평면형 이득 등화기를 설계, 제작하였다.

시험결과 기준 성능으로 목표한 Inmet사의 이득 등화기와 비교해 매우 유사한 특성을 얻을 수 있었을 뿐 아니라 무게와 부피에서 각각 약 1/3배, 1/2.7배 소형화 시킬 수 있고, 제작 가격은 도입 가격에 비해 약 1/10로 저렴하다.

실험실 수준의 기판 제작 공정과, 크기가 작지 않은 칩 저항의 사용에 따른 기생(Parasitic) 성분 때문에 발생된 왜곡으로 인해 제작된 등화기의 양호한 특성을 얻기 위해서 수 차례의 특성 적정화 과정을 수행하였

다. 이런 문제는 Thin 필름 공정과 같은 정밀한 가공 공정을 적용한다면 충분히 극복할 수 있고 훨씬 더 우수한 특성을 얻을 수 있을 것으로 판단된다.

### Reference

- [1] M. Sankara Narayana, "Gain Equalizer Flattens Attenuation Over 6~18GHz", Applied Microwave & Wireless, pp. 74~78, 1999.
- [2] Miodrag V. Gmitrovic, "Fixed and Variable Slope CATV Amplitude Equalizer", Applied Microwave & Wireless, pp. 76~84, Jan/Feb. 1998.
- [3] Douglas J. Mellor, "On the Design of Matched Equalizers of Prescribed Gain Versus Frequency Profiles", IEEE Trans., MTT-S Vol. 77, Issue 1, pp. 308~311, 1997. 7.
- [4] 김정연 외 4인, "마이크로파대 광대역 가변 선형 이득 등화기 설계", 전자공학회논문지, 제45권, 제 10호, pp. 59~64, 2008. 10.
- [5] Fulvio Ananasso, "Two Point Method Speed Equalizer Design", Microwaves, pp. 108~113, 1975. 11.
- [6] Robert G. Barbaria, "Coaxial Resonators Precisely Adjust Equalization Curve", Microwaves, pp. 818~824, Oct. 1971.
- [7] David M. Pozar, Microwave Engineering, Addison-Wesley, pp. 231~234, 1990.