

논문 2010-47SD-2-5

# 다중 입력 변화의 시간적 근접성을 고려한 게이트 지연 시간 모델

( A Gate Delay Model Considering  
Temporal Proximity of Multiple Input Switching )

신 장 혁\*, 김 주 호\*

( Janghyuk Shin and Juho Kim )

## 요 약

기존의 셀 특성 분석은 다중 입력 변화를 고려하지 않고 셀 특성 분석을 수행한다. 다중 입력 변화가 시간적 근접성에 따라 게이트 지연 시간에 미치는 영향이 커지면서, 기존의 셀 특성 분석으로는 정확한 게이트 지연 시간을 예측하기가 어려워지게 되었다. 다중 입력 변화의 영향으로 인하여 게이트 지연 시간이 최대 46%까지 차이가 나는 것을 실험을 통하여 확인하였다. 본 논문에서는 다중 입력 변화의 시간적 근접성으로 인한 지연 시간 변화를 고려한 게이트 지연 시간 모델을 제안하였다. 제안된 모델은 Radial Basis Function (RBF)을 이용하여 지연 시간 변화량을 계산한다. 제안된 방법이 다중 입력 변화가 발생하였을 때, 보다 정확하게 게이트 지연 시간을 예측하는 것을 실험결과를 통하여 확인하였다.

## Abstract

Conventional cell characterization does not consider Multiple Input Switching(MIS). Since the impact of MIS on gate delay variation is large, it is not possible to predict the accurate gate delay with the conventional cell characterization. We observed the maximum 46% difference in gate delay due to MIS. In this paper, we propose a gate delay model considering the delay variation caused by the temporal proximity of MIS. The proposed model calculates the delay variation using the Radial Basis Function. The experimental results show that the proposed method can more accurately predict the gate delay when MIS occurs.

**Keywords :** delay model, multiple input switching, temporal proximity, cell characterization

## I. 서 론

셀 특성 분석은 회로 분석을 하는데 있어서 필수적이다. 셀 특성 분석은 주어진 상황에서의 다양한 입력들에 대한 타이밍과 파워 등을 분석하고 라이브러리를 생성하여 저장하게 된다. CMOS 공정 기술이 발달하고, 회로의 동작 주파수가 증가함에 따라 한 클럭 주기 내에 다중 입력 변화(Multiple Input Switching, MIS)가 발생할 확률이 증가하게 되었다.<sup>[1,3]</sup> 기존의 셀 특성 분

석(Cell Characterization)은 단일 입력 변화(Single Input Switching, SIS)만을 고려하였기 때문에 다중 입력 변화의 영향으로 인한 딜레이 변화는 고려하지 못하였다. 다시 말해서, 기존의 셀 특성 분석에서는 다중 입력 변화가 일어났을 때, 하나의 입력 핀의 변화만 일어난다고 가정하고, 다른 모든 입력들은 고정시켜 셀 특성 분석을 수행한다.<sup>[1-3,4-6]</sup> 예를 들어 2-input NAND 게이트에서 입력신호 A와 B 모두 동시에 하강할 때, 병렬로 연결되어 있는 두 개의 pMOS가 동시에 연결되어, 로드 커패시턴스의 충전 시간이 빨라지게 되어 게이트 지연 시간은 빨라지게 된다. 반대로 입력신호 A와 B 모두 동시에 상승할 때, 직렬로 연결되어 있는 두 개

\* 학생회원, \*\* 정회원, 서강대학교 컴퓨터공학과  
(Department of Computer Science & Engineering,  
Sogang University)  
접수일자: 2009년1월23일, 수정완료일: 2010년1월24일

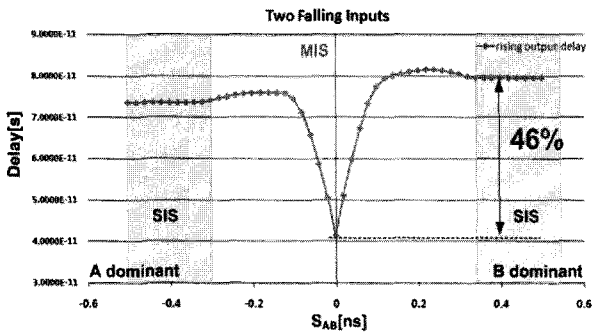


그림 1. 상승 출력에서의 게이트 지연 시간 변화  
Fig. 1. The gate delay of rising output transition.

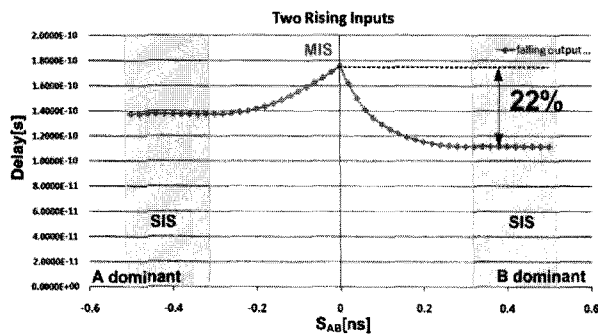


그림 2. 하강 출력에서의 게이트 지연 시간 변화  
Fig. 2. The gate delay of falling output transition.

의 nMOS가 동시에 연결되어, 방전 시간이 느려지게 되고, 이에 따라 게이트 지연 시간도 느려지게 된다. 일반적으로, 접지(Ground, GND)에 가까운 nMOS가 먼저 열릴 경우 방전 시간이 더 빨라지게 된다. 다중 입력 변화가 동시에 혹은 근접하여 일어날 때 지연 시간이 증가하거나 감소하기 때문에 단일 입력 변화만을 고려한 셀 특성 분석으로는 지연 시간의 정확한 예측이 불가능하게 되었다.<sup>[1~3]</sup>

그림 1과 그림 2는 2-input NAND 게이트에서 다중 입력 변화가 일어났을 때 달라지는 게이트 지연 시간 변화를 보여주고 있다.  $S_{AB}$ 는 두 입력 A와 B 사이의 차이를 나타내는 것으로 3장에서 더 자세히 다룬다. 다중 입력 변화가 일어났을 때, 단일 입력 변화가 일어났을 때와 비교하여 최대 46%의 지연 시간 차이를 보이는 것을 알 수 있는데, 이는 두 입력 모두 상승 입력이 들어와 하강 출력이 일어났을 때 보다 두 입력 모두 하강 입력이 들어와 상승 출력이 일어났을 때 게이트의 지연 시간 변화 차이가 더 크다는 것을 알 수 있다. 다시 말해서, 직렬로 연결되어 있는 트랜지스터에서 보다 병렬로 연결되어 있는 트랜지스터에서 다중 입력 변화의 영향이 더 크다는 것을 알 수 있다.

최근 다중 입력 변화에서의 게이트 지연 시간을 모델링하는 방법을 제안하는 논문들이 나오고 있으며<sup>[1,3]</sup>, 정적 시간 분석(Static Timing Analysis, STA)과 통계적 정적 시간 분석(Statistical Static Timing Analysis, SSTA)에서 다중 입력 변화를 고려한 연구를 진행하였지만<sup>[3,5]</sup>, 지연 시간 모델이 명확하지 않고, 정규 지연 시간 모델(Canonical Delay Model)만을 사용하여, 정확한 딜레이 예측이 불가능하였다.

본 논문에서는 다중 입력 변화에서의 시간적 근접성에 따라 변하는 지연 시간의 변화량을 모델링 하는 방법을 제안하고 있다. 제안된 방법은 로드 커패시턴스와 입력 천이 시간에 따른 최대 지연 시간 변화량을 Radial Basis Function(RBF)을 이용하여 계산한다. 게이트 지연 시간은 기존 셀 특성 분석을 통한 단일 입력 변화에서의 게이트 지연 시간과 제안된 모델을 통하여 계산된 지연 시간 변화량의 합으로 계산된다. 제안된 모델은 다중 입력 변화의 영향을 고려하지 못하였던 기존의 셀 특성 분석 보다 더 정확하게 게이트 지연 시간을 예측한다.

본 논문은 다음과 같이 구성되어 있다. II장에서는 그 동안 진행되었던 다른 연구들에 대하여 보여주고, III장에서는 제안된 다중 입력 변화의 시간적 근접성을 고려한 게이트 지연 시간을 모델링하는 방법을 보여준다. IV장에서는 몬테카를로 기반의 SPICE 시뮬레이션, 정적 시간 분석 그리고 제안된 모델에 대하여 지연 시간 변화량과 회로 지연 시간의 오차율을 비교하였다. 마지막으로 V장에서는 결론으로 논문을 마친다.

## II. 관련 연구

기존의 셀 특성 분석은 단일 입력 변화만을 고려하였다. 다중 입력 변화가 일어날 확률이 증가함에 따라 더 이상 다중 입력 변화의 영향을 무시할 수 없게 되었다. [1], [2], [5]에서 다중 입력 변화의 영향에 대한 연구가 진행되었다. 논문에서는 게이트 지연 시간 모델을 제안하고 있으며 통계적 정적 시간 분석에서 다중 입력의 영향을 다루고 있다. [1]에서 제안된 모델은 입력 도착 시간의 변화를 다루지 못하였다. 하지만 다중 입력 변화의 영향은 입력 도착 시간, 입력 천이 시간 그리고 로드 커패시턴스에 따라 변하게 된다. [2]에서는 결정론적인 게이트 지연 시간 모델을 제안하여 지연 시간을 계산하는데 있어서 부정확하다. [5]에서는 통계적 정적 시

간 분석에서의 다중 입력 변화에 대한 영향을 연구하였다. 하지만, 제안된 모델은 트랜지스터의 게이트 길이 변화에 대한 지연 시간 변화량을 고려하였고, 입력 천이 시간의 변화에 대한 게이트 지연 시간 변화를 고려하지 못하였다.

이전의 지연 시간 모델들은 통계적 정적 시간 분석에서의 게이트 지연 시간을 고려하였다. 본 논문에서는 시간적 근접성에 따라 변하는 지연 시간의 변화량을 정적 시간 분석과 통계적 정적 시간 분석에서 모두 적용 가능하다. 제안된 모델은 입력 천이 시간과 로드 커패시턴스에 따라 변하는 지연 시간의 변화량을 고려하였다. 따라서 제안된 모델은 기존의 방법들 보다 더 정확하게 게이트 지연 시간을 예측할 수 있다.

### III. 게이트 지연 시간 모델링

그림 1과 그림 2에서 알 수 있듯이 다중 입력 변화에서 시간적 근접성에 따라 변하는 지연 시간을 기존의 셀 특성 분석으로는 정확하게 예측하는 것이 불가능하였다. 본 논문에서는 다중 입력 변화의 시간적 근접성을 고려한 게이트 지연 시간 모델을 제안하고, 90nm 공정의 2-input NAND 게이트를 이용하여 실험하였다.

#### 1. 시간적 근접성의 영향 구간 모델링

게이트 지연 시간은 모든 입력 신호들의 신호 도착 시간(Signal Arrival Time, SAT)의 영향을 받는다. 만약 신호 도착 시간을 입력 천이 시간의 50%라고 가정하였을 때, 입력 A와 B 사이의 시간 차이(separation)는 식(1)과 같다.

$$S_{AB} = A_{AT} - B_{AT} \quad (1)$$

여기서 AT는 입력 천이의 신호 도착 시간이다.

만약 입력 천이들이 서로 충분한 시간 차이를 갖고 있다면, 기존의 단일 입력 변화만을 고려한 셀 특성 분석을 통하여 게이트 지연 시간을 예측하는 것이 가능하다. 하지만, 다중 입력 변화에서 입력 천이들은 서로 근접하거나 혹은 동시에 들어온다. 다중 입력 변화가 발생하였을 때, 시간적 근접성에 따라 지연 시간에 미치는 영향은 달라진다. 즉, 게이트 지연 시간은 입력 천이들의 시간적 근접성이 얼마나 작아지는지에 따라 증가하거나 감소하게 된다. 이러한 지연 시간의 변화는 단순히 입력 천이들이 중첩되면서 발생하는 것이 아니라,

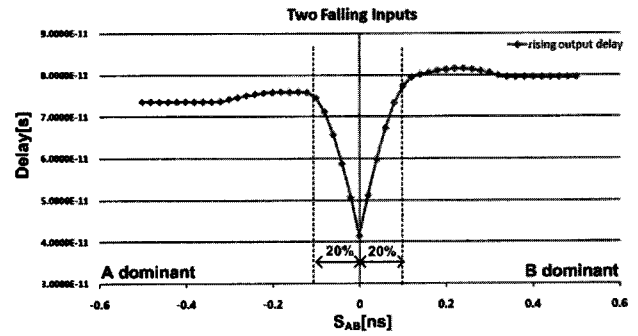


그림 3. 다중 입력 변화에서의 지연 시간 변화 시점

Fig. 3. The changing point of delay in MIS.

입력 천이들의 시간적 근접성이 일정 시간 이상 가까워졌을 때부터 지연 시간이 변하기 시작한다. 일반적으로 지연 시간의 변화가 일어나는 시점은 그림 3과 같이 입력 신호들의 시간적 근접성이 입력 천이 시간의 20% 이내가 되는 시점에서부터 지연 시간 변화가 일어난다는 것을 실험을 통해 확인하였다.

이러한 지연 시간의 변화가 일어나는 시점은 로드 커패시턴스와 입력 천이 시간에 따라 달라진다. 로드 커패시턴스가 증가할수록 지연 시간이 변하는 시점이 기준점 0에서 점점 멀어지게 되며, 입력 천이 시간이 감소할수록 기준점 0에 점점 가까워지게 된다. 지연 시간이 변하는 시점은 로드 커패시턴스에 따라 비례하여 변하고, 이를 모델링하면 식(2)과 같다.

$$S_T = a \times AVG\{input\ slew(A, B)\} + b \times load\ capacitance \quad (2)$$

여기서 AVG는 입력 A와 B의 입력 천이 시간의 평균 값이며, a는 0.2, b는 1 임을 실험을 통하여 각각 구하였다.

#### 2. 지연 시간 변화량 모델링

다중 입력 변화에서의 시간적 근접성에 따른 지연 시간 변화량은 그림 4와 같다. 두 입력 신호의 시간 차이가 0일 때, 지연 시간 변화량은 최대가 된다. 만약 시간적 근접성에 따라 변하는 지연 시간 변화량을 계산할 수 있다면, 다중 입력 변화가 발생하였을 때 게이트 지연 시간을 보다 정확하게 예측할 수 있다.

제안된 방법은 기존의 셀 특성 분석을 통한 게이트 지연 시간과 제안된 모델의 합으로 모델링하였으며, 식(3)과 같다.

$$Gate\ Delay = D_0 + F(S_{AB}) \quad (3)$$

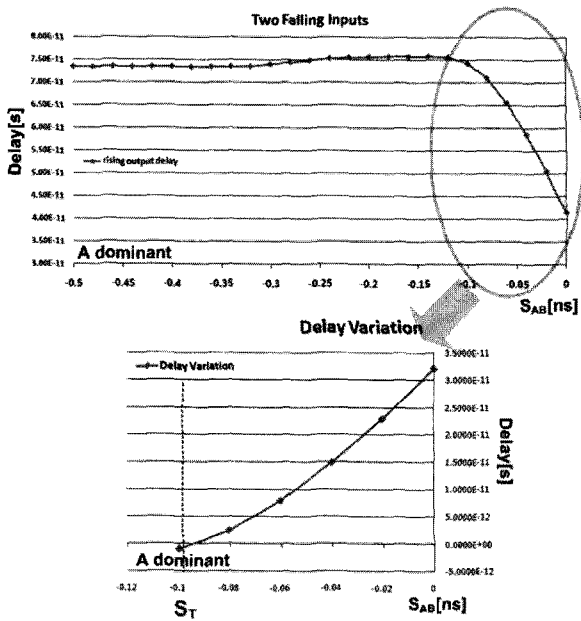


그림 4. 시간적 근접성에 따른 지연 시간 변화량  
Fig. 4. Delay variation due to temporal proximity.

여기서  $D_0$ 는 기존의 단일 입력 변화만을 고려한 셀 특성 분석을 통하여 얻은 게이트 지연 시간이며,  $F(S_{AB})$ 는 다중 입력 변화의 시간적 근접성에 따라 변하는 지연 시간 변화량이다. 지연 시간 변화량은 시간적 근접성에 대한 2차식의 형태로 근사화 할 수 있으며, 근사화 한 식은 식(4)과 같다.

$$F(S_{AB}) = \alpha \cdot S_{AB}^2 + \beta \cdot S_{AB} + \gamma \quad (4)$$

여기서  $S_{AB}$ 는 두 입력 A와 B 사이의 시간 차이를 나타내며  $\alpha, \beta$ 는 각각 몬테카를로 기반의 SPICE 시뮬레이

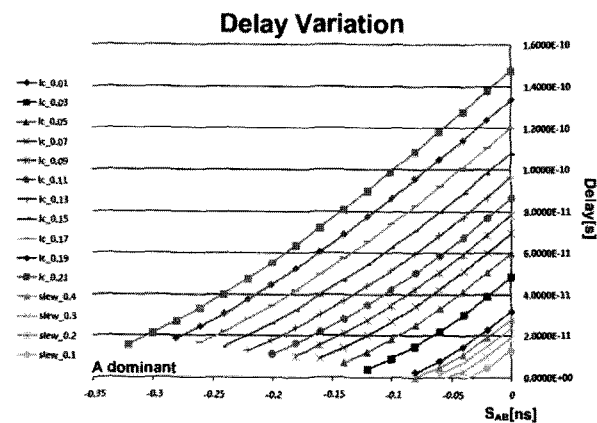


그림 5. 입력 천이 시간과 로드 커패시턴스에 따른 지연 시간 변화량

Fig. 5. Delay variation according to the load capacitance and input transition time.

션을 수행하여 얻은 결과값이다.  $\gamma$ 는 최대 지연 시간 변화량으로 두 입력 신호가 완전히 중첩되었을 때의 지연 시간 변화량이다. 지연 시간 변화량 역시 로드 커패시턴스와 입력 천이 시간에 따라 변하게 된다. 최대 지연 시간 변화량  $\gamma$ 을 구하는 방법은 다음 장에서 자세히 설명한다.

그림 5는 지연 시간 변화량이 시간적 근접성에 따라 변하는 것뿐만 아니라, 입력 천이 시간과 로드 커패시턴스에 따라 변하는 것을 보여준다. 위의 그림에서 볼 수 있듯이, 입력 천이 시간과 로드 커패시턴스에 따라 변하는 지연 시간의 변화량은 시간적 근접성에 따라 변하는 지연 시간 변화량을 모델링한 식(4)와 같은 2차식의 형태로 근사화 할 수 있다. 따라서 만약 제안된 모델에서  $S_{AB}$ 가 0 일 때 지연 시간 변화량을 구할 수 있다면, 제안된 지연 시간 변화량 모델을 이용하여 입력 천이 시간과 로드 커패시턴스에 따라 변하는 게이트 지연 시간 변화량을 예측할 수 있다.

### 3. 최대 지연 시간 변화량 모델링

2차식으로 근사화한 로드 커패시턴스와 입력 천이 시간에 따라 변하는 최대 지연 시간 변화량은 보간법을 이용한 Radial Basis Function(RBF)을 사용하여 구할 수 있다.<sup>[7-8]</sup>

그림 6과 같이 임의의 로드 커패시턴스와 입력 천이 시간에 대한 최대 지연 시간 변화량을 초기 SPICE 시뮬레이션을 수행하여 그림과 같이 참조 행렬(Reference

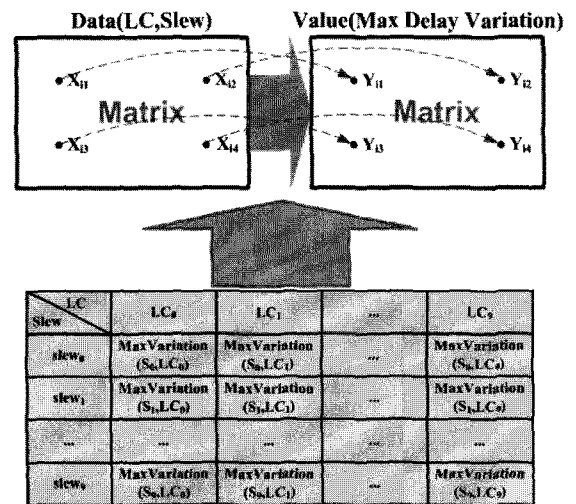


그림 6. 참조 행렬의 구성

Fig. 6. Composition of reference matrix.

Matrix)을 구성한다. 이렇게 구성된 참조 행렬은 로드 커패시턴스와 입력 천이에 대한 각각의 최대 지연 시간 변화량으로 구성되어 있으며, 지연 시간 변화량 모델을 구하기 위해 사용된다.

제안된 최대 지연 시간 변화량 모델은 식(5)와 같다.

$$\text{Maximum Delay Variation } \gamma = e^{-\lambda \|x - x_i\|^2} \quad (5)$$

여기서  $X_i$ 는 참조 행렬로부터 계산된 주어진 로드 커패시턴스와 입력 천이 시간에 대한 최대 지연 시간 변화량으로 구성되어진 행렬이다.  $X$ 는 우리가 구하고자 하는 최대 지연 시간 변화량의 로드 커패시턴스와 입력 천이 시간을 좌표로 넣게 된다.  $\lambda$ 는 공차율(Tolerance Factor)로 지수함수의 범위를 줄여주어 보간을 할 때, 오차의 범위를 줄여준다.

식 (5)는 참조 행렬을 구성한 로드 커패시턴스와 입력 천이 시간 그리고 그에 대응되는 값을 알고 있을 경우, 그 주변의 값들을 2차원 보간법(2D-interpolation)을 통하여 예측하는 표면 방정식(Surface Function)을 나타낸다. 식 (4)를 이용하여, 원하는 로드 커패시턴스와 입력 천이 시간에서의 최대 지연 시간 변화량을 구할 수 있다.

그림 7은 로드 커패시턴스와 입력 천이 시간에 따라 변하는 최대 지연 시간 변화량을 표면 방정식의 그래프로 나타낸 그림이다. 제안된 방법을 통하여 각각의 로드 커패시턴스와 입력 천이 시간에 대응하는 최대 지연 시간 변화량을 알 수 있다면, 다중 입력 변화의 시간적 근접성에 따른 지연 시간 변화량을 보다 정확하게 예측하고 계산할 수 있다.

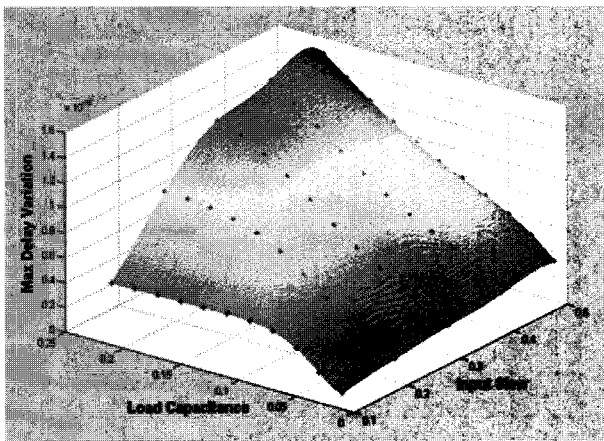


그림 7. 최대 지연 시간 변화량의 표면 방정식  
Fig. 7. Surface function of maximum delay variation.

#### IV. 실험 및 결과

본 논문에서는 90nm 공정의 2-input NAND 게이트에 대하여 몬테카를로 기반의 SPICE 시뮬레이션을 수행하여 실험하였다. 지연 시간 변화량에 대하여 제안된 모델과 SPICE 시뮬레이션 결과를 비교하여 오차를 측정하였으며, ISCAS C17 회로를 이용하여 회로 지연 시간에 대한 오차를 제안된 모델, SPICE 시뮬레이션 그리고 정적 시간 분석(STA)에 대한 실험 결과 값을 각각의 실험 결과와 비교분석하였다. 입력 천이 시간 각각 0.1ns, 0.2ns, 0.3ns, 0.4ns 0.5ns에 대하여 실험하였으며, 로드 커패시턴스는 0.01pF~0.21pF까지 0.02pF 단위로 실험하였다.

그림 8과 그림 9는 입력 천이 시간을 0.5ns, 로드 커패시턴스를 0.01pF, 0.03pF로 설정하여 실험한 결과이다.

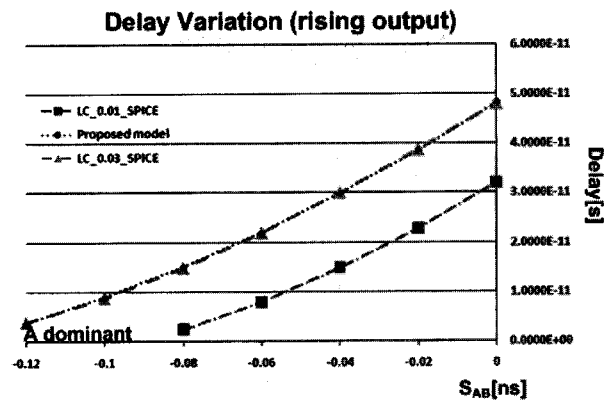


그림 8. 제안된 모델과 SPICE 시뮬레이션의 지연 시간 변화량 비교(상승 출력)

Fig. 8. Comparison of delay variation between proposed model and SPICE simulation(rising output).

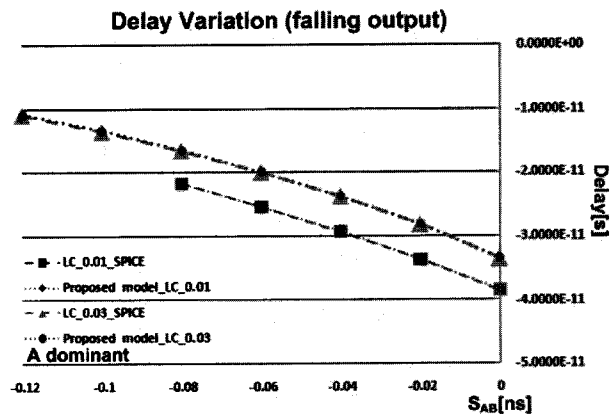


그림 9. 제안된 모델과 SPICE 시뮬레이션의 지연 시간 변화량 비교(하강 출력)

Fig. 9. Comparison of delay variation between proposed model and SPICE simulation(falling output).

패시턴스를 0.01pF과 0.03pF을 주었을 때, SPICE 시뮬레이션과 제안된 모델의 지연 시간 변화량을 나타낸 그래프이다. 다중 입력 변화는 그림 8과 같이 두 입력이 모두 하강 입력으로 그에 대한 출력은 상승 출력으로 나타나는 경우와 그림 9와 같이 두 입력이 모두 상승

표 1. 제안된 모델과 SPICE simulation의 지연 시간 변화량 오차율 비교(상승 출력)

Table 1. Comparison of the error rate of delay variation between proposed model and SPICE simulation (rising output).

LC (pF)	S <sub>AB</sub> (ns)	Delay Variation(ns)		Error(%)	
		SPICE	Proposed Model	Error Rate	AVG
0.01	0	0.03203	0.03207	0.11	0.94
	-0.02	0.02286	0.02280	0.26	
	-0.04	0.01479	0.01476	0.19	
	-0.06	0.00783	0.00793	1.25	
	-0.08	0.00237	0.00232	1.85	
	-0.1	-0.00097	-0.00099	2.00	
0.03	0	0.04810	0.04827	0.36	1.25
	-0.02	0.03880	0.03863	0.44	
	-0.04	0.03006	0.02987	0.62	
	-0.06	0.02198	0.02200	0.10	
	-0.08	0.01485	0.01501	1.10	
	-0.1	0.00875	0.00891	1.85	
	-0.12	0.00386	0.00369	4.30	

표 2. 제안된 모델과 SPICE simulation의 지연 시간 변화량 오차율 비교(하강 출력)

Table 2. Comparison of the error rate of delay variation between proposed model and SPICE simulation (falling output).

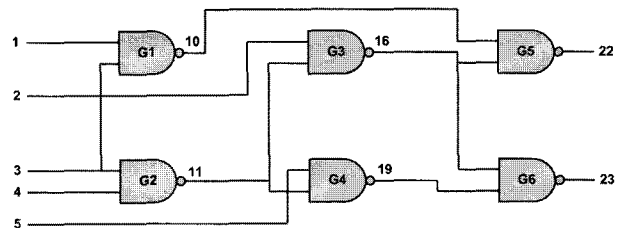
LC (pF)	S <sub>AB</sub> (ns)	Delay Variation(ns)		Error(%)	
		SPICE	Proposed Model	Error Rate	AVG
0.01	0	-0.03849	-0.0385	0.03	0.49
	-0.02	-0.03366	-0.03357	0.27	
	-0.04	-0.02933	-0.02923	0.34	
	-0.06	-0.02542	-0.02526	0.63	
	-0.08	-0.02176	-0.0215	1.19	
0.03	0	-0.03349	-0.03345	0.12	0.79
	-0.02	-0.02815	-0.0281	0.18	
	-0.04	-0.02377	-0.02363	0.59	
	-0.06	-0.01998	-0.01982	0.80	
	-0.08	-0.01658	-0.01641	1.03	
	-0.1	-0.01358	-0.01342	1.18	
	-0.12	-0.01095	-0.01077	1.64	

입력으로 출력은 하강 출력이 일어나는 두 가지 경우로 SPICE 시뮬레이션과 비교하여 오차가 거의 없는 것을 확인할 수 있다.

표 1은 그림 8에서 비교한 다중 입력 변화가 일어났을 때 상승 출력에 대하여 지연 시간 변화량의 오차율을 나타낸 표이다. 로드 커패시턴스를 0.01pF으로 실험하였을 때, 제안된 모델은 최대 2%, 평균 0.94%의 오차율을 보였으며, 로드 커패시턴스를 0.03pF으로 실험하였을 때, 최대 4.3%, 평균 1.25%의 오차율을 보였다.

표 2는 그림 9에서 비교한 다중 입력 변화가 일어났을 때 하강 출력에 대하여 지연 시간 변화량의 오차율을 나타낸 표이다. 로드 커패시턴스를 0.01pF으로 실험하였을 때, 최대 1.19%, 평균 0.49%의 오차율을 보였으며, 로드 커패시턴스를 0.03pF으로 실험하였을 때, 최대 1.64%, 평균 0.79%의 오차율을 보였다.

표 1과 표 2에서 알 수 있듯이 S<sub>AB</sub>가 증가할수록 지연 시간 변화량은 작아지며, 이에 대한 오차율은 커지는 것을 볼 수 있다. 일반적으로 지연 시간 변화량이 작아질수록 작은 지연 시간 변화량에 대한 오차율은 커지기 때문이다.



ISCAS C17 회로

그림 10. ISCAS C17 회로  
Fig. 10. ISCAS C17 circuit.

표 3. ISCAS C17 회로의 회로 지연 시간 오차율 비교

Table 3. Comparison of the error rate of circuit delay in ISCAS C17 circuit.

S <sub>34</sub> (ns)	Delay(ns)			Error Rate(%)	
	STA	SPICE	Proposed Model	STA	Proposed Model
0	0.29705	0.2278	0.22657	30.40	0.54
-0.02	0.29705	0.2371	0.23894	25.25	0.75
-0.04	0.29705	0.2459	0.24862	20.78	1.09
-0.06	0.29705	0.2542	0.25717	16.86	1.17
-0.08	0.29705	0.2616	0.27181	13.55	3.90
-0.1	0.29705	0.2679	0.28107	10.84	4.88

그림 10은 ISCAS C17 회로를 보여주고 있다. ISCAS C17회로에 대해 회로 지연 시간을 정적 시간 분석과 SPICE 시뮬레이션에 대하여 비교하였다.

표 3은 ISCAS C17 회로에 대하여 회로 지연 시간을 측정하여 제안된 모델과 SPICE 시뮬레이션 그리고 정적 시간 분석(STA)에 대하여 각각의 오차율을 비교한 표이다.

입력 천이 시간은 0.5ns, 로드 커패시턴스는 0.01pF로 실험하였을 때, 정적 시간 분석은 다중 입력 변화의 시간적 근접성에 따라 회로 지연 시간이 변하지 않았다. 하지만 SPICE 시뮬레이션을 통하여 회로 지연 시간을 측정하였을 때에는 다중 입력 변화의 시간적 근접성에 따라 최대 30.40%의 지연 시간 차이가 나는 것을 확인할 수 있다. 제안된 모델과 SPICE 시뮬레이션은 평균 2.06% 오차율을 보였으며,  $S_{AB}$ 가 증가할수록 즉, 입력 천이들 사이의 시간적 근접성이 멀어질수록, 지연 시간 변화에 미치는 영향은 작아지는 것을 확인할 수 있다.

## V. 결 론

기존의 셀 특성 분석은 다중 입력 변화의 영향은 고려하지 않고 셀 특성 분석을 수행하였다. 하지만 더 이상 다중 입력 변화의 영향을 무시할 수가 없게 되었다. 본 논문에서는 다중 입력 변화의 시간적 근접성을 고려한 게이트 지연 시간 모델을 제안하였으며, 제안된 모델은 시간적 근접성에 따라 변하는 게이트 지연 시간을 기존의 방법에 비하여 보다 정확하게 예측한다. 본 논문에서는 몬테카를로 기반의 SPICE 시뮬레이션을 통하여 실험하였으며, 제안된 모델은 기존의 셀 특성 분석을 통한 지연 시간보다 정확하다는 것을 실험 결과를 통하여 확인할 수 있다.

표 1과 표 2에서와 같이 시간적 근접성이 커질수록 작아지는 지연 시간 변화량에 대한 오차율을 줄이기 위해선 추가적인 모델링이 필요하다. 또한 제안된 모델을 이용하여 최대 지연 시간 변화량을 계산하기 위해서는 참조 행렬을 구성하기 위해 초기 시뮬레이션이 필요하다. 하지만, 몇 번의 초기 시뮬레이션을 수행함으로써 보다 정확하게 지연 시간을 계산하기 위해 수행되는 시뮬레이션 횟수와 시간을 줄일 수 있다.

입력이 3개 이상일 경우에는 추가적인 모델링이 필요하지만, 입력 개수에 따라서 달라지는 지연 시간 변

화량을 시간적 근접성과 지연 시간 변화량에 대해 근사한 식은 식(4)의 형태와 같다.

## 참 고 문 헌

- [1] T. Fukuoka, A. Tsuchiya, H. Onodera, "Statistical gate delay model for Multiple Input Switching," *Design Automation Conference, 2008. ASPDAC 2008. Asia and South Pacific*, 21-24 March 2008 Page(s):286 - 291
- [2] V. Chandramouli, K.A. Sakallah, "Modeling the effects of temporal proximity of input transitions on gate propagation delay and transition time," *Design Automation Conference Proceedings 1996*, 33rd, 3-7 June 1996 Page(s):617 - 622.
- [3] J. Sridharan, T. Chen, "Gate delay modeling with multiple input switching for static (statistical) timing analysis," *VLSI Design, 2006. Held jointly with 5th International Conference on Embedded Systems and Design, 19th International Conference on, Digital Object Identifier 10.1109/VLSID.2006.92*
- [4] N. Abdallah, P. Bazargan-Sabet, "Modeling the Effects of Input Slew Rate and Temporal Proximity of Input Transitions in Event-Driven Simulation," *System Theory, 2006 Proceeding of the Thirty-Eighth Southeastern Symposium on*, 5-7 March 2006 Page(s):185 - 189
- [5] A. Agarwal, F. Dartu, D. Blaauw, "Statistical gate delay model considering multiple input switching," *Design Automation Conference, 2004. Proceedings. 41st*, 2004 Page(s):658 - 663
- [6] S. Yanamanamanda, Jun Li, J. Wang, "Uncertainty modeling of gate delay considering multiple input switching," *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*, 23-26 May 2005 Page(s):2457 - 2460 Vol. 3
- [7] Liang-Chi Chen, S.K. Gupta, M.A. Breuer, "A new gate delay model for simultaneous switching and its applications," *Design Automation Conference 2001*, Page(s):289 - 294, 2001.
- [8] O. Schall, M. Samozino, "Surface from Scattered Points," *a Brief Survey of Recent Developments. 1st International Workshop on Semantic Virtual Environments*, Page(s): 138-147, 2005.

저 자 소 개



신 장 혁(학생회원)  
 2006년 광운대학교 전자통신  
 공학과 학사 졸업.  
 2009년 서강대학교 컴퓨터공학과  
 석사 졸업.  
 <주관심분야 : 저전력 회로 설계,  
 Cell Characterization, Placement  
 and Routing >



김 주 호(정회원)  
 1987년 Univ. of Minnesota,  
 Minneapolis 학사 졸업.  
 1995년 Univ of Minnesota,  
 Minneapolis 공학박사  
 졸업.  
 1996년 미국 Cadence Design  
 System 수석연구원  
 1997년~현재 서강대학교 조교수/부교수/정교수  
 <주관심분야 : 저전력 회로 설계, 통계적 시간 분  
 석, 컴퓨터보안, 하드웨어 시스템 설계>