

논문 2010-47SD-2-6

PMOS 트랜지스터의 ESD 손상 분석

(ESD Failure Analysis of PMOS Transistors)

이 경 수*, 정 고 은*, 권 기 원**, 전 정 훈**

(Kyoung-Su Lee, Goeun Jung, Kee-Won Kwon, and Jung-Hoon Chun)

요 약

본 논문은 미세 CMOS 공정의 PMOS 트랜지스터에 높은 전류가 인가될 때 발생하는 기생 PNP 바이폴라 트랜지스터의 스냅백과 breakdown 동작에 초점을 맞춘다. 0.13 μm CMOS 공정을 이용해 제작한 다양한 I/O 구조를 분석함으로써 PMOSFET의 ESD 손상 현상의 원인을 규명하였다. 즉, 인접한 다이오드로부터 PMOSFET의 바디로 전하가 주입됨으로써 PMOSFET의 기생 PNP 트랜지스터가 부분적으로 turn-on되는 현상이 발생하여 ESD에 대한 저항성을 저하시킨다. 2차원 소자 시뮬레이션을 통해 레이아웃의 기하학적 변수의 영향을 분석하였다. 이를 기반으로 새로운 PMOSFET ESD 손상을 방지하는 설계 방법을 제안한다.

Abstract

The studies of PMOS transistors in CMOS technologies are reviewed, focusing on the snapback and breakdown behavior of the parasitic PNP BJTs in high current regime. A new failure mechanism of PMOSFET devices under ESD conditions is also analyzed by investigating various I/O structures in a 0.13 μm CMOS technology. Localized turn-on of the parasitic PNP transistor can be caused by localized charge injection from the adjacent diodes into the body of the PMOSFET, significantly degrading the ESD robustness of PMOSFETs. Based on 2-D device simulations the critical layout parameters affecting this problem are identified. Design guidelines for avoiding this new PMOSFET failure mode are also suggested.

Keywords: ESD, Electrostatic discharge, ESD protection, failure analysis, PMOSFET

I. 서 론

PMOSFET의 기생 PNP 바이폴라 트랜지스터는 상대적으로 낮은 β (전류 증폭율)를 가지고 있기 때문에, 스냅백이 작게 발생하며 높은 저항 특성을 갖게 된다. 때문에 ESD 보호 소자의 개발에서 PMOS 트랜지스터

는 큰 주목을 받지 못하여왔다.

스냅백 모드에서 기생 PNP 바이폴라 트랜지스터의 성능은 CMOS 공정 기술의 집적도가 증가하면서 지속적으로 개선되었다^[1~3]. 그림 1은 180, 130, 그리고 90 nm 공정에서 PMOS 트랜지스터의 I_d-V_d 곡선이다^[4]. 각 공정의 변화에 따라 트리거링 전압이 1 V 가량씩 급격하게 감소하고, turn-on시의 온저항 또한 현저하게 감소함을 볼 수 있다. 90 nm 공정에서 PMOS 소자의 기생 BJT의 β 는 130 nm 공정 NMOS 소자의 기생 BJT의 β 와 비슷하다^[2, 5]. 이에 더하여 n-well 저항이 충분하다면 PMOS 소자는 쉽게 균일한 전도성을 갖게 되어, ESD 보호 회로로서 사용하기에 적당한 수준의 높은 항복전류($I_{T2} > 4 \text{ mA}/\mu\text{m}$)를 얻을 수 있다.

기생 PNP 바이폴라 트랜지스터의 성능이 향상됨으

* 학생회원, ** 정회원 성균관대학교 정보통신공학부 (School of Information and Communication Engineering, Sungkyunkwan University)

※ 본 논문은 서울테크노파크의 차세대패키징 공정·장비 실용화사업의 일환으로 지식경제부 지원을 받아 수행되었으며, 이에 관계자 여러분께 감사드립니다.

※ 본 연구는 지식경제부의 차세대 로봇용 실시간 네트워킹 기반 제어시스템 기술 개발사업으로 수행된 결과임.

접수일자: 2009년11월12일, 수정완료일: 2010년1월25일

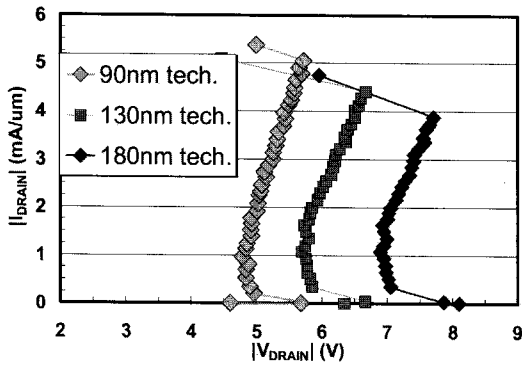


그림 1. 다양한 공정의 PMOSFET의 I-V 특성. 각 소자 width는 20 μm ^[4]
 Fig. 1. The I-V Characteristics of PMOSFETST in various technology nodes. The device width is 20 μm ^[4].

로써 PMOS 트랜지스터가 ESD clamping 소자로써 사용될 수 있는 가능성을 갖게 되었다. 하지만 이와 함께 예기치 않게 PNP 트랜지스터가 트리거링 될 위험성 또한 증가하였으며 이는 새로운 신뢰성 문제를 유발한다^[6].

본론에서는 먼저 실제 I/O 구조에서 PMOSFET의 정상적인 트리거링 메커니즘을 자세히 기술한다. 이를 기반으로 PMOSFET의 신뢰성 문제를 최소화하기 위한 설계 방법을 Boselli 등의 실험을 기초로 설명한다^[2]. 이후, 최근에 발견한 PMOSFET ESD 손상 현상의 원인을 설명하고 이를 방지하기 위한 설계 방법을 제안한다^[7-8]. 0.13 μm , fully salicided, 3.3 V 공정의 다양한 I/O 구조를 TLP (Transmission Line Pulsing)를 이용하여 테스트하고, 2차원 회로/소자 혼성 모드 시뮬레이션을 이용하여 새로운 손상 메커니즘을 규명하였다.

II. 본 론

1. Pull-up PMOSFET 소자의 ESD 손상

그림 2는 I/O 패드, pull-up PMOSFET(M1), pull-down NMOSFET(M2), gate-coupled substrate pump NMOS 소자로 구현된 rail clamp, 그리고 negative strike 다이오드(D1)로 이루어진 출력 드라이버 구조이다^[9].

V_{DD} 의 전위를 기준으로 음의 ESD 스트레스가 I/O 패드에 인가될 때 (또는 동일하게 I/O 패드에 대하여 양의 ESD 스트레스가 V_{DD} 에 인가될 때), 스트레스 전류는 V_{DD} 에서부터 rail clamp와 negative strike 다이오

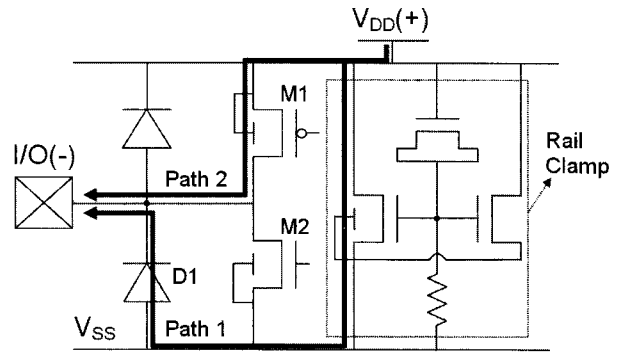


그림 2. ESD 방지 회로가 있는 출력 드라이버의 일반적인 구성으로, 음의 스트레스가 I/O와 V_{DD} 사이에 인가 됐을 때 pull-up PMOSFET이 손상될 수 있는 경우
 Fig. 2. The generic configuration of an output driver with ESD protection circuit, where the pull-up PMOSFET has been reported fail when a negative stress is applied between the I/O and the V_{DD} .

드를 거쳐 I/O로 흐른다(그림 2의 path1). Path1의 저항과 인가된 ESD 스트레스의 크기에 따라서, V_{DD} 패드와 I/O 패드간의 전압이 충분히 높아져서 pull-up PMOS의 기생 BJT의 트리거링 전압보다 높아지게 되면, M1 소자가 스냅백 전도 모드로 들어가게 된다. 이 때 그림 2의 path2와 같은 우회 전류가 발생하고 path1과 전류를 유도함에 있어서 서로 경쟁하게 된다. 스냅백 전도 모드의 저항이 충분히 작아서 path1로 흐르던 전류의 상당 부분이 path2로 흐르게 되면 M1 PMOS 소자는 두 번째 breakdown에 쉽게 도달 할 수 있다^[2]. 서론에서 설명한 바와 같이 PMOS 소자의 트리거링 전압은 채널 길이(channel length)가 줄어들어 따라 지속적으로 낮아지고 있으며, 따라서 그림 2의 path2가 형성되고, PMOS 소자가 손상될 위험성 또한 증가하고 있다.

그림 3은 실제 출력 드라이버의 PMOSFET이 ESD 스트레스에 의해 손상된 예를 보여준다. 타원으로 가리키는 바와 같이 손상된 부분은 PMOSFET의 가운데에 위치한다. 기생 바이폴라 소자의 트리거링에 의한 전형적인 손상인 소스와 드레인 간의 필라멘트를 발견할 수 있다.

Boselli등은 이러한 손상 현상을 방지하기 위해서 다양한 해결책을 제안했다^[3]. 간단한 방법 중의 하나는 예상되는 ESD 전류를 감당할 수 있는 최소한의 PMOSFET의 넓이를 예측하여 PMOSFET 넓이를 이보다 크게 설계하는 것이다. 또는 pull-up PMOSFET

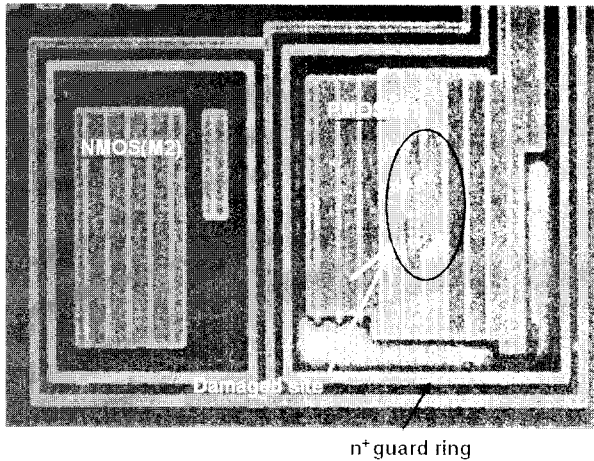


그림 3. 실제 인버터에서 PMOS ESD 손상부의 위치. Pull-up PMOSFET(그림 1의 M1)와 pull-down NMOSFET

Fig. 3. Location (circled) of the PMOS failure in an actual inverter. The pull-up PMOSFET (M1 in Fig. 1) and pull-down NMOSFET are shown.

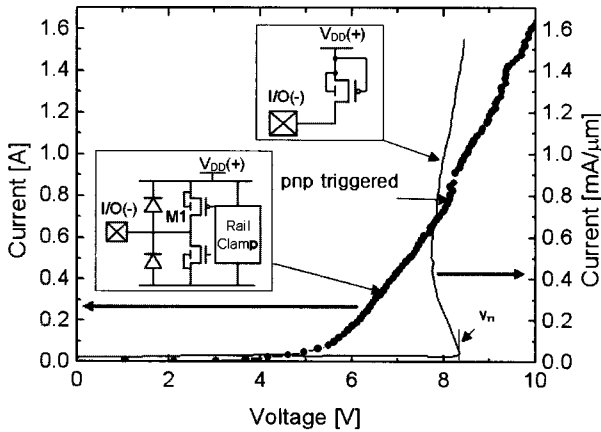


그림 4. TLP 실험을 통해 추출한 분리된 PMOS 트랜지스터와 출력 드라이버의 I_D-V_D 곡선. $I=0.65$ A에서 기생 PNP 트랜지스터가 트리거 되며 이는 기울기의 변화로 나타난다

Fig. 4. I_D-V_D curves generated by TLP tests of an output driver circuit and an isolated PMOS transistor. There is a distinct change of slope at $I=0.65$ A where the parasitic PNP transistor is triggered on.

를 적층 소자로 구현하여 트리거링 전압을 두 배에 가깝게 증가시킬 수도 있다. 회로의 성능 저하가 용납될 수 있는 경우에는, 최소의 길이보다 더 긴 채널을 갖는 소자를 사용 하거나 별개의 저항을 추가하여 path2로의 전류 흐름을 막을 수 있다. 특정 공정에서는 더 높은 트리거링 전압을 구현하기 위해, 낮은 농도의 pocket implant나 drain extension implant를 제공하기도 한다.

그림 4는 pull-up PMOSFET의 안전한 설계의 예를 보여준다. I/O를 기준으로 V_{DD} 에 양의 전압을 인가한 TLP 측정 결과를 보여준다. 예측된 스트레스 하에서 소자가 손상되지 않도록 PMOSFET이 적절한 크기로 설계된 경우임을 나타낸다. 그림 4는 게이트와 소스가 단락된 PMOSFET의 I_D-V_D 곡선도 함께 보여준다. 이 경우 PMOSFET는 스냅백 동작을 확연하게 보여주며, 트리거링 전압 V_{TI} 은 약 8.5 V 이다. 그림 4에 나타낸 전체 I/O 회로는 부드러운 turn-on 동작을 갖는데, 이는 gate-coupled substrate-pump clamp의 특성에 기인한다^[9].

전체 I/O 회로의 I_D-V_D 특성을 살펴보면 PMOS 소자의 드레인과 소스 간에 인가되는 전압이 분리된 PMOS 소자 내 기생 바이폴라 트랜지스터의 V_{TI} 보다 결국 커지게 된다. 이는 M1의 기생 바이폴라 트랜지스터가 결국에는 turn-on된다는 것을 의미하며, 그림 2에서와 같이 스트레스 전류는 path1과 path2를 통해서 흐른다. 전체 I/O 회로의 I_D-V_D 에서 전압이 V_{TI} 에 근접하는 부분에서 곡선의 기울기에 분명한 변화가 있음을 볼 수 있다. 이 때 기생 바이폴라 트랜지스터가 turn-on되는 것으로 해석할 수 있다. 이 설계의 예에서는 PMOSFET의 크기가 충분히 커서 전압이 V_{TI} 을 초과한 후 전류가 2.5 A 이상으로 증가해도 손상이 발생하지 않으며, 이후 전류가 더욱 증가했을 때 손상이 발생하는 지점 또한 M1 소자 내부가 아니라, rail clamp에 위치한다.

그러나 ESD 스트레스를 확실하게 지탱할 수 있는 정도로 PMOSFET이 충분히 커도, 특정 I/O 회로에서는 PMOSFET이 ESD에 손상되는 현상을 볼 수 있다. 이 경우, 손상의 형태는 그림 3에서 설명했던 전형적인 PMOSFET 손상과는 현저히 다르다. 그림 5는 새로운 PMOSFET 손상의 한 예를 보여준다. 이 특정 I/O 구조는 다소 복잡한 가드링(guard ring)을 갖는다. 즉 하단의 PMOSFET 블록(block)의 우측에 n+의 짧은 가드링과 상단의 PMOSFET 블록 사이에 가로 방향의 n+ 가드링이 존재한다. 우측의 수직 방향의 두 선은 V_{SS} 로 연결된 p+ diffusion과 I/O 패드에 연결된 n+/n-well diffusion으로 그림 2에서의 negative strike 다이오드(D1)를 형성한다. 드레인과 소스의 컨택 부위가 녹아내린 ESD의 손상부가 그림 3에서처럼 가운데가 아니라 negative strike 다이오드의 근처에서 발견된다^[10~11]. HBM (Human Body Model) 5 kV 이상의 스트레스를 견딜 수 있도록 소자의 크기를 결정했음에도

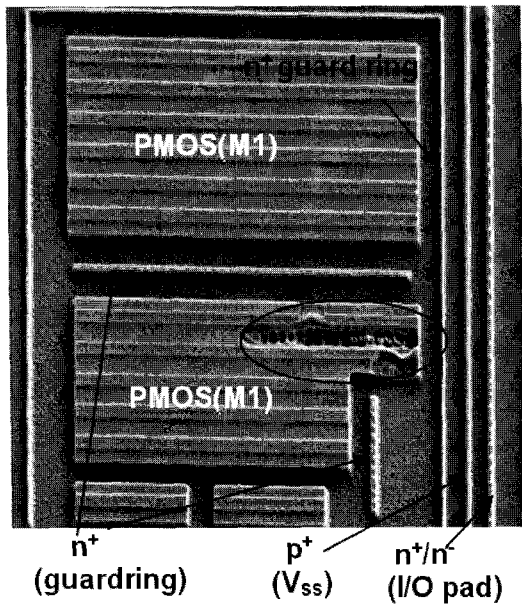


그림 5. 실제 I/O 회로에서 PMOS ESD 손상의 예. PMOS 소자는 두 개의 다른 블록 사이에 있으며, p+ (Vss)와 n+/n- (I/O 패드)로 구성된 negative strike 다이오드(그림 2의 D1)는 오른쪽에 위치한다

Fig. 5. An example of PMOS failure in an actual I/O circuit. PMOS (M1 in Fig. 5.2) devices are located in two different block. A negative strike diode (D1 in Fig. 5.2), which consist of p+ (Vss) and n+/n- (I/O pad) in on the far right.

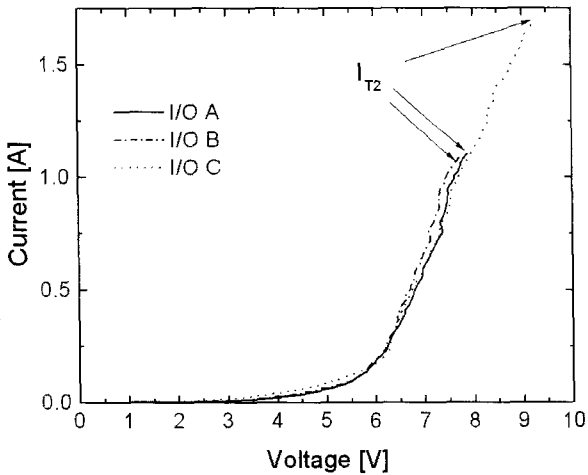


그림 6. 다양한 I/O 구조의 측정된 TLP I_d-V_d 곡선. I_{T2} 로 표시된 지점에서 각 소자가 손상됨

Fig. 6. Measured TLP I_d-V_d curves of various I/O structures up to their failure points.

불구하고 2.2 kV의 낮은 ESD 스트레스를 인가했을 때에 지속적으로 손상이 나타나는 경우이다. 즉 구조적인 영향으로 인해 ESD에 대한 내성이 감소함을 추측할 수 있다.

표 1. 다양한 I/O 회로의 레이아웃 정보와 ESD 테스트 결과. DR1은 negative strike 다이오드와 가드링 사이의 거리 (그림 7 참조)

Table 1. The layout information and ESD test results of various I/O circuits. DR1 is the distance between the negative strike diode and the guard ring (see the representation of layouts in Fig. 7).

| | DR1 | n+ guard ring | HBM Fail Level |
|-------|---------------------|---------------|----------------|
| I/O A | 0.8 μm | Incomplete | 2.2 kV |
| I/O B | 0.8 μm | Incomplete | 2.4 kV |
| I/O C | > 0.8 μm | Incomplete | 2.9 kV |
| I/O D | 1.0 μm | Incomplete | 3.4 kV |
| I/O E | 22 μm | complete | >5 kV |

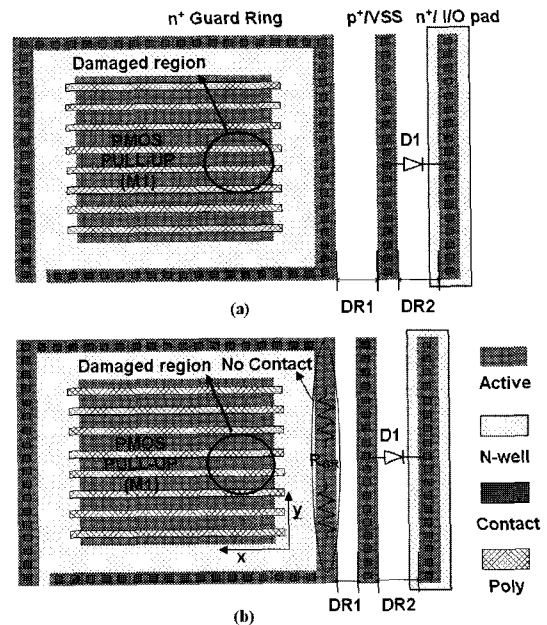


그림 7. 간략화된 I/O 레이아웃으로 PMOS pull-up 소자와 negative strike 다이오드만을 도시하였다. a) 가드링의 모든 곳에 금속 컨택과 금속선이 존재한다. b) 가드링의 한 줄에 금속선이 없다

Fig. 7. Simplified diagrams of I/O layout. Only PMOS pull-up devices (M1 in Fig. 1) and negative strike diodes (D1 in Fig. 1) are illustrated. a) Its guard ring has metal contacts at every closure, b) metal contacts are missing at one stripe.

그림 6은 그림 5의 손상과 유사한 현상을 보이는 세 가지의 다른 I/O 회로의 TLP I_d-V_d 곡선이다. 표 1은 각 소자의 설계 변수와, HBM ESD 테스트 결과를 보여준다. 표 1의 DR1은 그림 7에 표시한 바와 같이 negative strike 다이오드와 가드링 사이의 거리를 나타낸다. I/O E는 5 kV의 HBM 스트레스를 견딜 수 있음에 반해, I/O A와 B는 V_{DD} 와 I/O 패드 간의 전압이

PMOSFET의 V_{T1} 에 도달하기도 전에 손상을 입었다. 모든 I/O 구조에서 PMOSFET과 power clamp의 크기는 거의 동일하다. 반면에 가드링 형태와 가드링과 negative strike 다이오드 간의 거리(DR1) 등에서 차이가 있다. 예를 들면, I/O E의 DR1은 $22\ \mu\text{m}$ 보다 크다. 그러나 I/O A, B는 $0.8\ \mu\text{m}$ 의 DR1을 갖는다. I/O C에서 PMOS 블록은 다이오드에 병렬로 배치되어 있지 않으며, PMOS 블록 주변의 다이오드에서 가드링까지의 최단 거리는 약 $0.8\ \mu\text{m}$ 이다. I/O E의 가드링은 그림 3과 같이 사면이 완전하게 닫혀 있으나, 다른 I/O 회로에서는 그림 7(b)처럼 가드링의 한쪽 면이 금속 컨택과 금속선을 갖지 않는다.

측정된 결과로부터 두 가지 점을 분명히 발견할 수 있다. 첫째 I/O A, B, C 그리고 D의 손상된 부분은 그림 5와 유사하게 negative strike 다이오드에 근접한 PMOS 트랜지스터에 있다. 둘째 DR1이 $0.8\ \mu\text{m}$ 에서 $1.0\ \mu\text{m}$ 로 증가할 때, HBM ESD 스트레스에 대한 내성은 약 1 kV 증가한다. TLP 테스트 결과로부터 negative strike 다이오드와 가드링 사이의 거리(DR1)와 가드링 형태가 I/O 회로의 ESD 내성을 결정하는 중요한 변수임을 추측할 수 있다.

2. 새로운 손상 메커니즘의 분석

그림 7은 간략화 된 I/O의 레이아웃이다. p-기판과 n-well 다이오드로 구성되는 D1은 PMOS pull-up 소자 M1의 근처에 위치한다. DR1은 p+ V_{SS} 와 n+ 가드링 사이의 거리이고, p+ V_{SS} 와 I/O에 연결된 n+ diffusion 사이의 거리는 DR2이다. 그림 7(a)에서 가드 링은 사방에 모두 금속 컨택을 가지는 반면, 그림 7(b)에서는 PMOS와 다이오드 사이의 가드링이 금속 컨택을 갖지 않는다. 이는 좀 더 작은 면적을 차지하도록 하기 위함이다. ESD 손상부는 다이오드 근처에 위치하며, 게이트 핑거(gate finger)의 가운데에서 발생한다. 가드링 구조의 차이가 ESD 내성에 주는 영향에 대해서는 다음 장에서 설명하겠다.

그림 8은 그림 2의 path1과 path2의 소자들로 구성된 I/O 회로의 ESD 조건에서의 등가회로이다. $R_{well,1}$ 과 $R_{well,2}$ 는 그림 9(a)에서 보는 것과 같이 소스/n-well 접합에서 n+ 가드링까지의 n-well의 저항을 나타낸다. R_{GR} 은 그림 7(b)의 불완전한 컨택으로 인해 추가되는 저항이다. D1이 pull-up PMOS 소자에서 멀리 떨어져 있다면 그림 2의 path1과 path2는 독립적으로 분석할

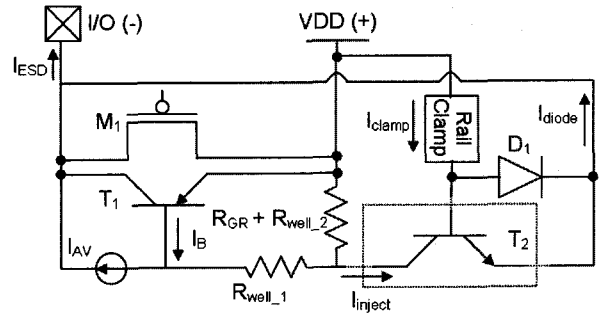
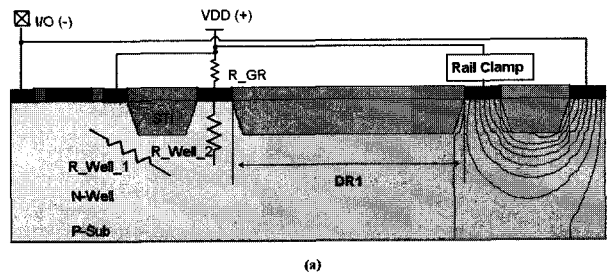
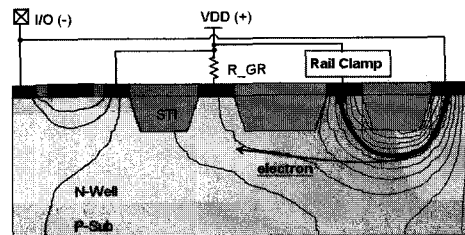


그림 8. ESD 스트레스가 인가되는 경우의 등가회로. Negative strike 다이오드가 pull-up PMOSFET (M1)에 가까이 위치한다면, 기생 NPN 바이폴라 트랜지스터(T2)를 고려해야 한다

Fig. 8. The schematic of the equivalent circuit under ESD conditions. The parasitic NPN BJT in the dotted box (T2) should be considered only if a negative strike diode is placed close to the pull-up PMOSFET (M1).



(a)



(b)

그림 9. ESD 조건에서 전류의 흐름. a) DR1 = $3\ \mu\text{m}$ PMOS 트랜지스터와 negative strike 다이오드를 독립적으로 해석 가능하다 b) DR1 = $1\ \mu\text{m}$ PMOS가 다이오드에 가깝기 때문에 두 소자가 전기적으로 결합 되어있다

Fig. 9. Current Flow lines under ESD conditions. a) The PMOS transistor is separated from the negative strike diode (DR1 = $3\ \mu\text{m}$), b) the PMOS is close to the diode, therefore, the two devices are electrically coupled (DR1 = $1\ \mu\text{m}$).

수 있다. 이 경우에 기생 PNP 바이폴라 트랜지스터 (T1)는 내부적인 전자사태(avalanche generation)로 발생한 전류(I_{AV})에 의해 트리거 된다^[12]. 이 때, $R_{well,1}$, $R_{well,2}$, R_{GR} 은 PMOSFET의 유효 바디 저항을 형성한

다. 그러나 이 두 개의 소자가 서로 가까워지면 그림 8의 D1만으로는 분석은 더 이상 유효하지 않다. 이 대신에 점선의 상자로 표시한 기생 NPN 바이폴라 트랜지스터 (T2)를 고려해야 한다. 즉 이 NPN 트랜지스터는 PNP 트랜지스터의 베이스에 트리거링 전류(I_{inject})를 공급한다.

각각의 레이아웃 변수 변화의 영향을 확인하기 위하여, 회로/소자 혼성 모드 시뮬레이션을 실행하였다. 그림 9는 시뮬레이션에서 사용된 소자와 회로의 구성을 나타낸다. 넓은 전류 범위에서 rail clamp의 온저항(on-resistance)은 상수 값으로 보이기 때문에^[6], 그림 9에서의 rail clamp를 저항, R_{clamp} 로 대체하여 실험하였다. 기생 PNP 트랜지스터가 트리거 될 때 R_{clamp} 의 값을 측정결과에서 유추하여 시뮬레이션에 반영하였다. 그림 8의 등가 회로로 나타낸 I/O 소자를 시뮬레이션을 통해 구현하여 전류 흐름을 구한 것을 그림 9에 나타내었다. 그림 9(a)는 negative strike 다이오드가 n+ 가드링에서 $3 \mu m$ 떨어져 있는 경우이다 ($DR1 \approx 3 \mu m$). 따라서 I/O 패드의 n-well/기판(substrate) 접합을 통하여 방출된 전자의 대부분은 rail clamp와 연결된 V_{SS} 로부터의 홀(hole)과 재결합한다. 그러나 이 두 소자가 약 $1 \mu m$ 정도 거리로 가까워지면, 다이오드로부터의 일부 전자들은 PMOSFET의 n-well 바디로 주입되어, 그림 8의 PNP 트랜지스터(T1)의 베이스 전위를 변화시킨다. 이로 인해 기생 PNP 트랜지스터는 낮은 전압에서 turn-on된다. 그림 7(b)에서와 같이 R_{GR} 이 증가하면 R_{GR} 에 의한 전압강하로 인해 베이스 전위의 변화가 커져, 더욱 낮은 전압에서 트리거된다.

이러한 시뮬레이션 결과들과 그림 8에서의 등가회로 분석은 앞의 장에서 언급한 PMOS 손상의 원인을 설명한다. 그림 7(b)의 구조는 그림 7(a)의 구조와 비교하였을 때, 몇 가지의 결점들을 가지고 있다. 첫째, 다이오드로부터의 짧은 거리 때문에, PMOSFET의 바디 전위(PNP 트랜지스터의 베이스 전위)는 다이오드에서 주입된 전류에 의해서 쉽게 변화한다. 둘째, 가드링이 금속층으로 완전히 연결되어 있지 않기 때문에 유효 바디 저항이 위치에 따라 변화하게 된다. 이러한 두 가지 결점들은 I/O 회로의 ESD 내성을 저하시키고 PNP 트랜지스터의 turn-on이 불균일하게 되는 원인이 된다. 다음 장에 이러한 레이아웃상의 변화가 ESD 내성에 주는 영향을 측정과 시뮬레이션 결과와 함께 좀 더 자세히 기술하겠다.

3. 레이아웃 변수의 ESD 특성에 미치는 영향

그림 8의 등가회로를 이용하여 PMOS와 negative strike 다이오드가 전기적으로 연결되어 상호 영향을 미치는 경우의 트리거링 전압을 구할 수 있다. 이 때 바이폴라 트랜지스터가 전류로 조절되는 소자임을 고려하여야 한다.

$$I_{inject} = I_{clamp} \cdot \beta \quad (1)$$

$$\begin{aligned} V_{DD_Potential} &= I_{clamp} \cdot R_{clamp} + V_{diode} \\ &= I_{inject} \cdot \frac{1}{\beta} \cdot R_{clamp} + V_{diode} \end{aligned} \quad (2)$$

$$\begin{aligned} V_{body, trig} &\approx (R_{GR} + R_{well, 2}) \cdot (I_{AV} - I_B + I_{inject, trig}) \\ &\quad + R_{well, 1} \cdot (I_{AV} - I_B) \end{aligned} \quad (3)$$

식 1의 β 는 그림 8의 점선 상자안의 NPN 트랜지스터의 공통 에미터 전류 이득이다. I_{inject} 는 negative strike 다이오드에서 PMOS 트랜지스터의 n-well로 들어가는 전자 흐름이다. 그림 9의 전류 흐름에서 보듯이, I_{inject} 의 대부분이 $R_{well, 2}$ 를 통해 가드링 컨택으로 직접 흐른다고 가정하였다.

V_{diode} 는 negative strike 다이오드를 통한 전압 강하이고 그림 7의 DR2와 밀접한 관계가 있다. $I_{inject, trig}$ 는 PNP가 트리거링될 때의 I_{inject} 이다. $V_{body, trig}$ 는 트리거링되는 시점에 소스/바디 접합 근처의 바디 전위를 V_{DD} 를 기준으로 하여 나타낸 것으로, 상수로 가정할 수 있다. PMOS와 다이오드가 가까이 있다면 식 3의 $I_{inject, trig}$ 는 I_{AV} 보다 훨씬 크게 되므로, 식 2는 아래의 식 4를 통해 근사적으로 표현될 수 있다.

$$\begin{aligned} V_{DD_Potential}@pnp\ triggering &= V_{T1} \\ &\approx \frac{V_{body, trig}}{R_{GR} + R_{well, 2}} \cdot \frac{1}{\beta} \cdot R_{clamp} + V_{diode} \end{aligned} \quad (4)$$

DR1이 감소함에 따라 기생 PNP의 공통 에미터 전류 이득, β 는 증가한다. 따라서 식 4에서 예측한 것과 같이, V_{T1} 은 감소한다. 그림 10에서 볼 수 있듯이, 기생 PNP 트랜지스터의 트리거링 지점은 DR1과 밀접한 관계에 있다. 예를 들면, DR1이 $1.2 \mu m$ 에서 $1.0 \mu m$ 로 감소하면, V_{T1} 은 1 V 가량 감소한다. $0.8 \mu m$ DR1의 소자는 스냅백 현상 없이 5.7 V 근방에서 트리거 된다. 그러나 DR1이 $1.2 \mu m$ 보다 크면, V_{T1} 은 DR1의 증가해도 더 이상 변하지 않는다. 다시 말해 DR1이 특정 값보다 작으

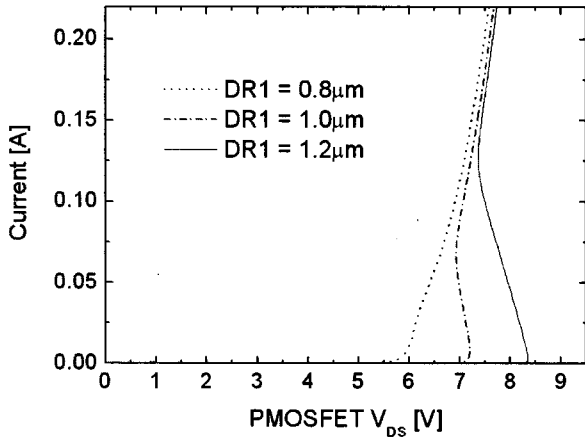


그림 10. 가드링과 negative 다이오드 사이의 거리를 변화시키며, I/O 회로내 PMOS 트랜지스터의 $I_{\sigma}-V_{\sigma}$ 를 추출한 결과. DR1이 1.2 μm 보다 작을 때, DR1의 변화가 PNP 트랜지스터의 트리거링 전압에 영향을 준다. R_{GR} 은 0 Ω 이고 DR2는 0.6 μm 이다

Fig. 10. Simulated $I_{\sigma}-V_{\sigma}$ characteristics of a PMOS transistor in I/O circuit with various distances between the guard ring and the negative diode. DR1 lower than 1.2 μm considerably affects the triggering voltage of PNP transistors. Here, R_{GR} is 0 Ω and DR2 is 0.6 μm .

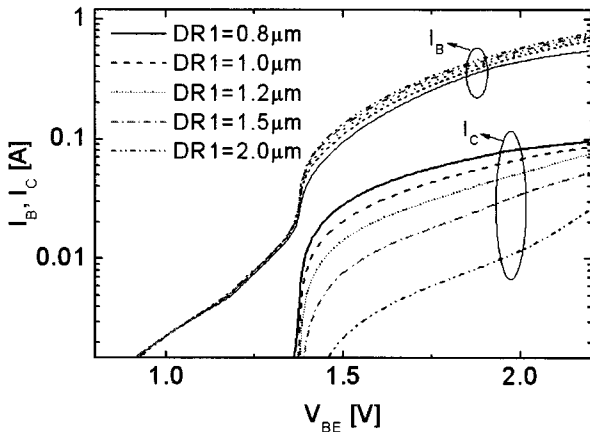


그림 11. Negative strike 다이오드와 가드링 사이의 거리를 변화시키며, 그림 8 T2로 나타낸 기생 NPN 트랜지스터의 컬렉터와 베이스 전류를 에미터-베이스 전압의 함수로 나타내었다

Fig. 11. Simulated collector and base currents of the parasitic NPN transistor (T2 in Fig. 8) as functions of the emitter-base voltage with various distances between the negative strike diode and the guard ring (DR1).

면, negative strike 다이오드에서 PMOSFET 바디로의 지협적인 전자 주입이 매우 증가한다. 이는 그림 7의 X 축을 따라서 불균일한 전류 흐름을 유발하며, 결과적으

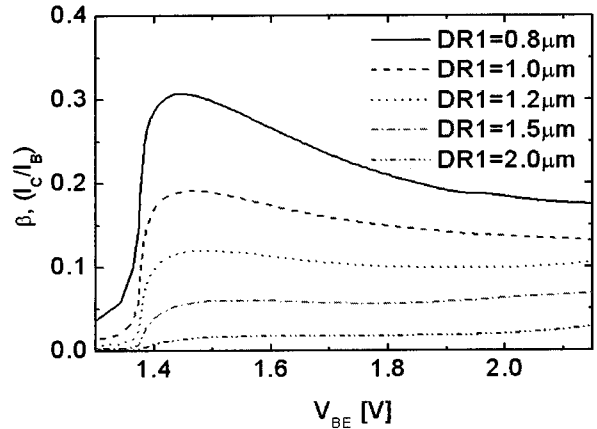


그림 12. Negative strike 다이오드와 가드링 사이의 거리를 변화시키며, 전류 이득을 에미터-베이스 전압의 함수로 나타내었다

Fig. 12. Simulated current gains as functions of emitter-base voltage with various distances between the negative strike diode and guard ring (DR1).

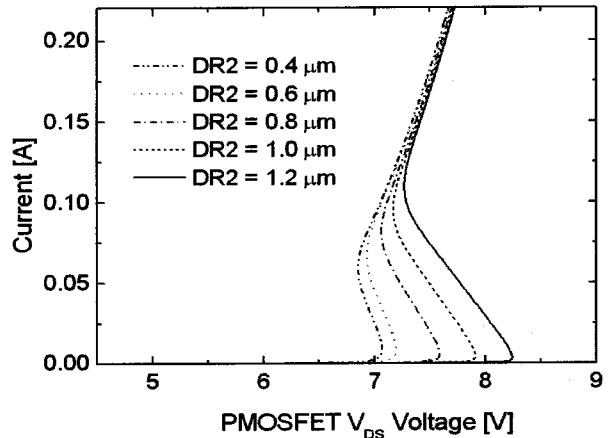


그림 13. p+ diffusion과 negative 다이오드의 n+ diffusion 사이의 거리를 변화시키며 살펴본 PMOS 트랜지스터의 $I_{\sigma}-V_{\sigma}$ 특성. R_{GR} 은 0 Ω 이고 DR1은 1.0 μm 이다

Fig. 13. Simulated $I_{\sigma}-V_{\sigma}$ characteristics of the PMOS transistor in I/O circuits with various distances between the p+ diffusion and n+ diffusion of the negative diode (DR2). Here, R_{GR} is 0 Ω and DR1 is 1.0 μm .

로 I/O 회로의 ESD 저항성을 악화시킨다.

DR1의 변화가 기생 NPN 트랜지스터의 특성에 어떤 영향을 미치는지에 대해 알아보기 위하여, 그림 11과 그림 12에 컬렉터 전류 $I_C (=I_{inject})$, 베이스 전류 I_B 그리고 공통 에미터 전류 이득, β 를 나타내었다. 에미터 (n-well)의 도핑 농도가 베이스(p-substrate)의 도핑 농도보다 크게 높지 않기 때문에 에미터 효율, γ 는 1보다

작은 값을 가진다. 만약 DR1이 1.5 μm 보다 큰 값을 가지면 베이스 전송률(base transport factor)은 1보다 훨씬 작은 값을 가진다. 이 경우 β 는 0.1보다도 작다. 그러나 DR1이 1.2 μm 이하로 감소하면 β 의 최대값이 0.1 이상으로 증가하여, PMOSFET의 바디로 많은 전류가 주입된다. 이는 PNP 트랜지스터가 상대적으로 일찍 turn-on되는 원인이 된다.

그림 13에서 살펴볼 수 있듯이, p+ V_{SS} 와 n+ diffusion 사이의 거리인 DR2가 증가하면, T2의 β 가 감소하고 V_{diode} 가 증가함으로써 트리거링 전압이 증가한다. 이는 앞의 식 4에 의해 예상된 바이다. 그러나 DR2의 증가는 그림 2에서 path1의 온저항 역시 증가시킨다. 따라서 DR2를 증가시키는 것은 path2의 PMOS에 가해지는 스트레스를 완화시키는 데에는 효과적인 방법이 될 수 없다.

그림 7(b)의 경우, 가드링의 한쪽 부분은 금속선이

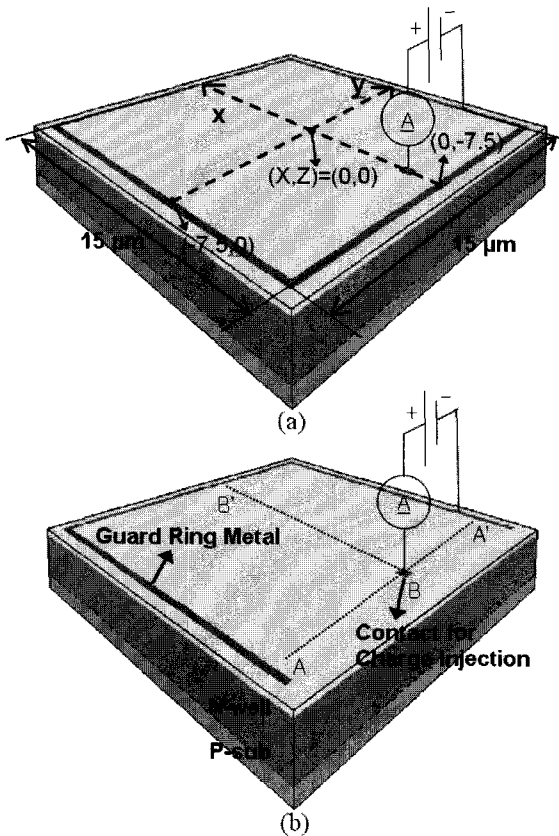


그림 14. Spreading well 저항 (R_{well})의 추출. (a)는 그림 6(a)에서의 닫힌 형태의 가드링, (b)는 그림 6(b)에서의 U자 형태의 가드링

Fig. 14. Extraction of spreading well resistance (R_{well}) (a) a closed guard ring as in Fig. 6(a), and (b) a U-shape guard ring as in Fig. 6(b).

없고 비교적 높은 저항을 갖는 n+ diffusion으로만 연결되어 있다. 가드링 저항의 영향을 반영하기 위해 혼성 모드 시뮬레이션에서는 럽프드 저항(lumped resistor) R_{GR} 을 사용하였다. 실질적인 R_{GR} 값을 추출하기 위해서는 spreading resistance를 계산해야 한다. 분포된 well 저항을 계산하고 가드링 구조의 변화가 well 저항에 어떠한 영향을 미치는지 알아보기 위하여, 그림 14와 같이 3차원 시뮬레이션을 실행하였다. 두 개의 가드링 구조를 실험하였다. 첫 번째 구조는 그림 7(a)에서 보는 것과 같이 사방이 금속선과 n+ diffusion으로 닫힌 구조이며, 다른 하나는 그림 7(b)처럼 한쪽 경계선에 금속 콘택은 없고 n+ diffusion만을 가지는 U자 형태의 가드링이다. 가드링 안쪽에 전류를 주입하기 위해 콘택을 배치하였고, 이 때 전류는 이 콘택에서부터 가드링으로 흐르게 된다. 주어진 전류에 대해 콘택과 가드링 사이의 전압차를 측정함으로써, 가드링 경계 안쪽의 특정 위치에서부터 가드링까지의 유효 저항 R_{well} 을 계산할 수 있다.

전류를 주입하는 콘택을 그림 14(b)의 negative strike 다이오드에 인접한 A-A'의 선을 따라 이동시키며 R_{well} 을 측정하고 그 결과를 그림 15에 정리하였다. 추출한 저항 값은 A-A' 선의 중심에 콘택이 위치한 경우의 저항값을 기준으로 표준화하였다. 두 가드링 구조의 차이에 따른 측정값의 변화가 분명하게 나타난다.

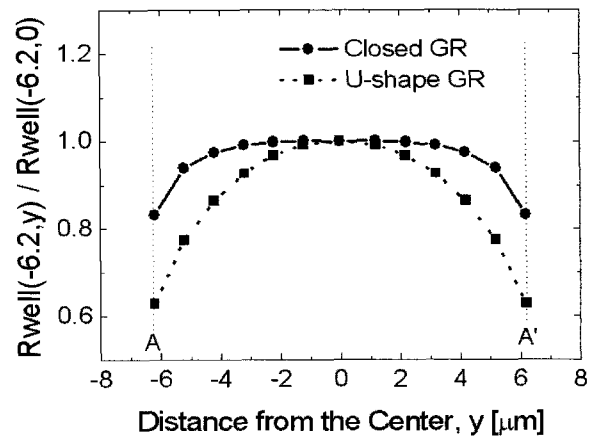


그림 15. A-A'(x = - 6.2 μm)를 따라 이동하면서 측정한 spreading well 저항. well 저항 값은 A-A'선의 정중앙에서 측정한 값을 기준으로 표준화하였다

Fig. 15. Variations in the spreading well resistance along the line A-A' near guarding ($x = - 6.2 \mu\text{m}$). The spreading well resistance is normalized with reference to the value at the center.

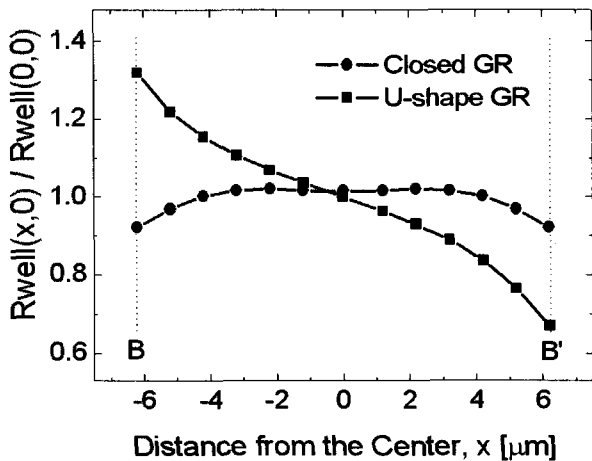


그림 16. B-B'(y = 0 μm)를 따라 이동하면서 측정된 spreading well 저항. well 저항 값은 B-B'선의 정중앙에서 측정된 값을 기준으로 표준화하였다

Fig. 16. Variations in the spreading well resistance along the x-direction (y = 0 μm, along the B-B' line). The spreading well resistance is normalized with reference to the value at the center.

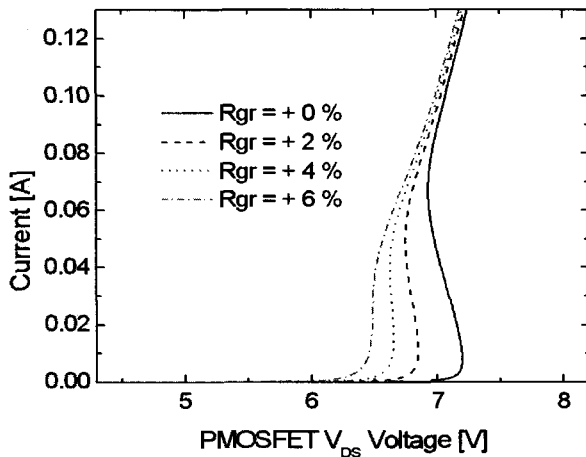


그림 17. 바디 컨택과 VDD 사이의 저항이 변화할 때 PMOS 트랜지스터의 I_d-V_d 특성의 변화. DR1과 DR2는 각각 1.0 μm과 0.6 μm

Fig. 17. I_d-V_d characteristics of PMOS transistors in I/O circuits with various external resistance between the body contact and the VDD. DR1 and DR2 are 1.0 μm and 0.6 μm, respectively.

A-A'의 중심에서 3 μm 떨어진 곳에서, 닫힌 가드링 안쪽에서의 R_{well} 변화가 1%보다 작은 반면, U자 형태의 가드링 구조의 R_{well} 은 같은 위치에서 7%정도 감소한다. B-B' 선을 따라서 컨택이 이동할 때의 R_{well} 의 변화 역시 그림 16에 나타내었다. 그림 15와 그림 16에서 보듯이, U자 형태의 가드링 소자의 경우 X, Y 축을 따라서 실질적인 R_{well} 값이 상대적으로 큰 변화를 보인다.

R_{well} 변화가 ESD 내성에 미치는 영향을 알아보기 위해서는 다양한 가드링 구조의 소자를 3차원 시뮬레이션을 통해 검증해보는 것이 필요하다. 하지만 3차원 시뮬레이션의 복잡성을 고려하여 V_{DD} 와 n+ 가드링 사이의 텀포드 저항인 R_{GR} 을 변화시키며 2차원 시뮬레이션을 함으로써 R_{well} 변화의 효과를 간접적으로 알아보았다. 2차원 시뮬레이션에서 well 저항 $R_{well,0}$ (그림 8에서 $R_{well,0} = R_{well,1} + R_{well,2}$)은 R_{GR} 를 0으로 설정하였을 때 $I_{sub}-I_d$ 간의 관계로부터 구할 수 있다^[12~13]. 그 다음, $R_{well,0}$ 의 일부분을 R_{GR} 로 인가하면서 소자의 특성을 살펴보았다. 식 4에서 예측한 것과 같이, R_{GR} 값이 클수록 PMOSFET의 바디 전위가 더욱 크게 변하여, PNP 트랜지스터가 낮은 V_{TI} 에서 트리거 될 수 있다. 그림 17의 시뮬레이션 결과는 DR1과 DR2가 각각 1 μm일 때 R_{GR} 을 변화시키며 I_d-V_d 를 관찰한 결과이다. 이 경우 앞에서 살펴본 것과 같이 negative strike 다이오드와 PMOSFET이 전기적으로 결합되어 있다. 따라서, 식 4에서 보듯이 트리거링 전압 V_{TI} 은 R_{GR} 와 밀접한 상관 관계를 갖게 된다. R_{GR} 이 $R_{well,0}$ 의 약 2%일 때, V_{TI} 은 R_{GR} 이 0인 경우의 V_{TI} 보다 0.4 V 정도 낮다. 이 결과를 통해 다음과 같이 추론할 수 있다. 금속 컨택이 없는 n+ 가드링의 경우처럼 위치에 따라 바디에서부터 가드링까지의 실질 저항이 다른 경우, PMOSFET의 바디에 불균일한 전위분포를 유발할 수 있으며 이는 불균일하게 전류가 흐르는 원인이 된다. 한편, 다이오드와 PMOSFET가 완벽하게 분리되었다면 (즉, DR1이 큰 값을 갖는 경우), R_{GR} 의 변화가 V_{TI} 에 미치는 영향은 미미하다.

III. I/O 설계에의 영향

본 논문에서는 I/O 핀에 직접적으로 연결된 diffusion과 관련한 소자들(PMOSFET, 다이오드 등)의 레이아웃이 ESD 내구성에 큰 영향을 줄 수 있음을 보여준다. 안전한 설계를 위한 최상의 방법은 PMOSFET를 I/O의 ESD 보호 소자로부터 20 μm 이상 떨어진 곳에 배치하는 것이다. 그러나 대부분의 경우 이러한 긴 거리는 현실적으로 가능하지 않다. ASIC 라이브러리(library) 상의 다양한 버퍼들은 많은 경우 동일한 ESD 보호 소자를 사용하지만 출력 NMOS와 PMOS 소자들은 설계상의 요구에 따라 각기 다르게 레이아웃되기 때문이다. 즉 ASIC 라이브러리에서 사용 가능한 macro pitch와

IV. 결 론

PMOSFET pull-up 소자의 새로운 ESD 손상 현상을 3.3V, 0.13 μm CMOS 공정의 다양한 I/O 구조를 이용하여 분석하였다. 새로운 손상 메커니즘과 다양한 레이아웃 변수들의 영향을 Transmission Line Pulse (TLP) 테스트와 소자/회로 혼성 모드 시뮬레이션을 통하여 검증하였다. Negative strike 다이오드로부터 PMOSFET 바디로의 지협적인 전하주입은 PMOSFET pull-up 소자의 기생 PNP 바이폴라 트랜지스터의 부분적인 turn-on을 유발한다. 이 경우 ESD 내성을 결정하는 가장 중요한 레이아웃 변수는 DR1이다. 이 논문에서 사용한 공정의 경우, 안전한 설계를 위하여 DR1을 2 μm 보다 크게 할 것을 제안한다. 본 논문에서 규명한 물리적 현상은 향후 더욱 복잡한 레이아웃을 요구하게 될 ASIC I/O 회로의 ESD 내구성 향상을 위해 고려해야 한다. 또한 90 nm 이하의 공정에서 ESD 설계 방법을 수립하는 데에 있어서, 이러한 분석과 모델링 방식은 그 중요성이 증가 할 것이다.

참 고 문 헌

- [1] R. A. Ashton and Y. Smooha, "Characterization of a 0.16 μm CMOS Technology using SEMATECH ESD Benchmarking Structures," in Proceedings of 23rd EOS/ESD Symposium, pp. 435-444. Portland, 2001.
- [2] G. Boselli, C. Duvvury, and V. Reddy, "Efficient pnp Characteristics of PMOS Transistors in Sub-0.13 μm ESD Protection Circuits," in Proceedings of 24rd EOS/ESD Symposium, 2002.
- [3] C. H. Choi, "Modeling of Nanoscale MOSFETs," Ph.D. dissertation, Stanford University, 2002.
- [4] C. Duvvury and G. Boselli, "ESD and latch-up reliability for nanometer CMOS technologies," IEDM Technical Digest, pp. 933-936. 2004.
- [5] V. Gupta, A. Amerasekera, S. Ramaswamy, and A. Tsao, "ESD-related process effects in mixed-voltage sub-0.5 μm technologies," in Proceedings of 20thEOS/ESD Symposium, pp. 161 - 169. Reno, 1998.
- [6] L. M. Ting, C. Duvvury, O. Trevino, J. Schichl. And T. Diep, "Integration of TLP analysis for ESD Troubleshooting," in Proceedings of 23rd EOS/ESD Symposium, pp.445-452.2001, Portland,

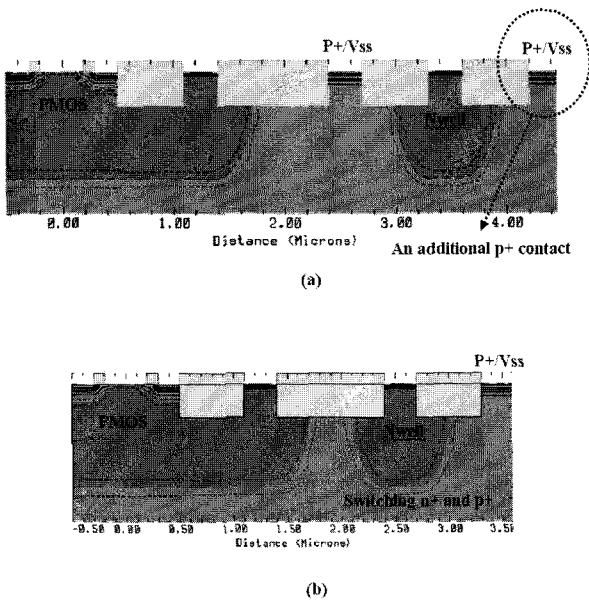


그림 18. negative-strike 다이오드로부터 PMOSFET으로의 전하 주입을 줄이기 위한 레이아웃 수정 방안

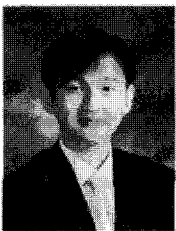
Fig. 18. Possible layout modifications to reduce the charge injection from the negative-striking diode to the PMOSFET.

버스(bus) 구조의 제약 때문에, ESD 보호 소자와 래치업(latch-up) 가드링의 배치가 복잡해 질 수 있다. 만약 패드에 위치한 negative 다이오드가 PMOSFET에 가까이 위치해야만 한다면, PMOSFET의 사방에 가드링을 배치하고 모든 가드링을 금속선으로 연결하여 저항을 줄일 필요가 있다. 또한 그림 7의 DR1을 2 μm 보다 크게 유지하는 것이 필수적이다. 만약 DR1이 10 μm 이 이상 이 되면 가드링의 형태는 문제가 되지 않는다.

시뮬레이션을 통해 몇 가지 레이아웃상의 개선을 제안할 수 있다. 첫째로 그림 18(a)과 같이, Vss에 연결된 p+ diffusion을 n+/n-well의 오른쪽에 추가할 수 있다. 이 경우에 왼쪽 p+ diffusion에 흐르는 전류가 반으로 줄어들고, PMOSFET의 바디로의 전자 주입 또한 감소한다. 이 방법은 PMOSFET과 다이오드 사이의 공간을 증가시키는 것보다 더욱 효과적인 설계이다. 두 번째 방법은 그림 18(b)에서 보여준 것처럼 p+ diffusion과 n+/n-well의 순서를 바꾸는 것이다. n+/n-well이 PMOSFET에 가깝게 위치함에도 불구하고, 기생 NPN 트랜지스터의 실제 p-베이스는 베이스 콘택 (p+ Vss)에서 멀리 있다. 그러므로 NPN 트랜지스터의 베이스 전위의 변화는 감소하고, PMOSFET과 다이오드 간의 전기적 결합이 상당 수준 완화된다.

- OR, 2001.
- [7] J. H. Chun, C. Duvvury, G. Boselli, H. Kunz, and R.W. Dutton, "A PMOS Failure Caused by Localized Charge Injection," in Proceedings of International Reliability Physics Symposium, 2004.
- [8] S. Kim, S. Kim, G. Jung, K.-W. Kwon, and J. Chun, "Design of a Reliable Broadband I/O Employing T-coil," Journal of Semiconductor Technology and Science, vol. 9, no. 4, pp. 198-204, Dec. 2009.
- [9] C. Duvvury, S. Ramaswamy, A. Ameraskera, R. A. Cline, B. H. Andresen, and V. Gupta, "Substrate pump NMOS for ESD Protection Applications," in Proceedings of 21st EOS/ESD Symposium, pp. 7-17. 1999.
- [10] K. Oh, J. Chun, K. Banerjee, C. Duvvury, and R. W. Dutton, "Modeling of Temperature Dependent Contact Resistance for Analysis of ESD Reliability," in Proceedings of International Reliability Physics Symposium, pp. 226-234, 2003.
- [11] A. Ameraskera, V. Gupta, K. Vasanth, and S. Ramaswamy, "Analysis of snapback behavior on the ESD capability of sub-0.20 μm NMOS," in Proceedings of International Reliability Physics Symposium, pp. 159-166. 1999.
- [12] S. Ramaswamy, A. Amerasekera, and M. Chang "A unified substrate current model for weak and strong impact ionization in sub-0.25 micron NMOS devices," Tech. Digest of IEDM, pp. 885-888. 1997.
- [13] X. Zhang, "Modeling and characterization of substrate resistance for deep submicron ESD protection devices," Ph.D. dissertation, Stanford University, 2002.

 저 자 소 개



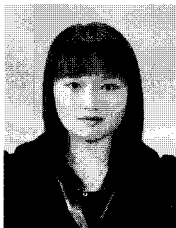
이 경 수(학생회원)
 2007년 상명대학교 컴퓨터시스템
 공학과 학사졸업.
 2007년 3월~현재 성균관대학교
 전자전기컴퓨터공학과
 석사과정.

<주관심분야 : 반도체, SoC설계, 저전력>



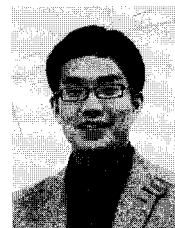
권 기 원(정회원)
 2001년 Stanford U. 재료공학과
 박사 졸업.
 2001년~2006년 삼성전자 DRAM
 개발실 수석연구원
 2007년~현재 성균관대학교
 정보통신공학부 조교수

<주관심분야 : 메모리IP, 아날로그/디지털 Mixed mode 설계>



정 고 은(학생회원)
 2006년 3월~현재 성균관대학교
 반도체시스템공학전공.

<주관심분야 : 반도체, 신호처리,
 SoC설계>



전 정 훈(정회원)
 2006년 Stanford Univ.
 전기공학과 박사 졸업
 2006년~2008년 Rambus Inc.
 2008년~현재 성균관대학교
 정보통신공학부 조교수

<주관심분야 : High-speed serial link, Mixed-signal 설계, ESD 및 신뢰성연구>