

논문 2010-47SD-2-11

# 2단계 자동 트랜스컨덕턴스 조절 기능을 가진 저전력, 광대역 전압제어 발진기의 설계

( A Low Power, Wide Tuning Range VCO with Two-Step  
Negative-Gm Calibration Loop )

김 상 우\*, 박 준 성\*, 부 영 건\*, 허 정\*\*, 이 강 윤\*\*

( Sang Woo Kim, Joon-Sung Park, Young Gun Pu, Jeong Hur, and Kang-Yoon Lee )

## 요 약

이 글은 공정, 전압, 온도 변화를 극복하기 위한 2단계 자동 트랜스컨덕턴스 조절 기능을 가진 저전력, 광대역 전압제어발진기의 설계에 관한 논문이다. 광대역에서 전압제어발진기를 발진시키기 위해, 디지털 자동 트랜스컨덕턴스 조절 루프와 아날로그 자동 진폭조절 루프가 사용되었다. 전압제어발진기의 출력 스윙 크기에 따라 트랜지스터의 바디전압을 조절하는 기능도 저전력 구현을 위해 설계되었다. 소모전류는 1.2 V 공급전압에서 2 mA에서 6 mA까지 1 mA 단위로 조절된다. 전압제어발진기의 튜닝 범위는 2.35 GHz에서 5 GHz까지 2.65 GHz로써 72%이다. 위상잡음은 중심주파수 3.2 GHz를 기준으로 1 MHz 떨어진 지점에서 -117 dBc/Hz 이다.

## Abstract

This paper presents a low-power, wide tuning range VCO with automatic two-step negative-Gm calibration loop to compensate for the process, voltage and temperature variation. To cover the wide tuning range, digital automatic negative-Gm tuning loop and analog automatic amplitude calibration loop are used. Adaptive body biasing (ABB) technique is also adopted to minimize the power consumption by lowering the threshold voltage of transistors in the negative-Gm core. The power consumption is 2 mA to 6mA from a 1.2 V supply. The VCO tuning range is 2.65 GHz, from 2.35 GHz to 5 GHz. And the phase noise is -117 dBc/Hz at the 1 MHz offset when the center frequency is 3.2 GHz.

**Keywords :** low power, wide tuning range, amplitude calibration loop, negative-Gm tuning, voltage controlled oscillator

## I. 서 론

RF 송수신기에서 발진기의 위상잡음은 시스템의 성능을 결정하는 중요한 파라미터이다. 그러나 RF 주파수 합성기에서 전압제어발진기의 위상 잡음과 출력 진폭의 크기는 공정, 전압, 온도 변화에 매우 민감하다. 게다가

LC-tank의 Quality factor는 이론적으로 발진주파수에 따라 달라진다. 따라서 부궤환 회로의 조절기능이 없다면 최적의 발진 진폭을 유지하기가 힘들다.

참고 논문<sup>[1, 4]</sup>에서 자동진폭조절 기능을 가진 CMOS LC-전압제어발진기의 설계에 대해서 언급하였지만 이들 논문은 저전력 설계에 초점을 맞추지 않았다. 그리고 전압제어발진기의 저전력 설계에 관한 참고 논문<sup>[2, 5]</sup>은 상대적으로 큰 인덕턴스 값을 사용하여 레이아웃 면적이 크고 상대적으로 좁은 튜닝 범위를 가진다. 자동진폭조절 기능을 가진 Quadrature 전압제어발진기(QVCO)에 관한 논문<sup>[4]</sup>도 역시 넓은 레이아웃 면적을

\* 학생회원, \*\* 평생회원, 건국대학교 전자정보통신공학부  
(Department of Electronic Engineering, Konkuk University)

※ 이 논문은 2009년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업입(No. 2009-0068457)

접수일자: 2009년11월3일, 수정완료일: 2010년1월11일

차지하고 위상 불일치에 의한 위상잡음 성능이 나빠지는 단점이 있다.

일반적으로 전압제어발진기는 전력을 많이 소모할수록 진폭이 커지며 위상 잡음 특성이 좋아진다. 하지만 모바일 용도에서 사용하기 위해 저전력으로 설계를 하려면 전압제어발진기의 전력소모가 최소화되어야 한다. 이 논문은 공정, 전압, 온도 변화를 보상하기 위한 자동 진폭조절 기능을 가진 저전력 3.2 GHz CMOS 전압제어발진기에 대해 언급한다.

## II. 본 론

그림 1은 넓은 튜닝 범위를 가지는 2단계 자동튜닝 전압제어발진기의의 블록 다이어그램이다. 전압제어발

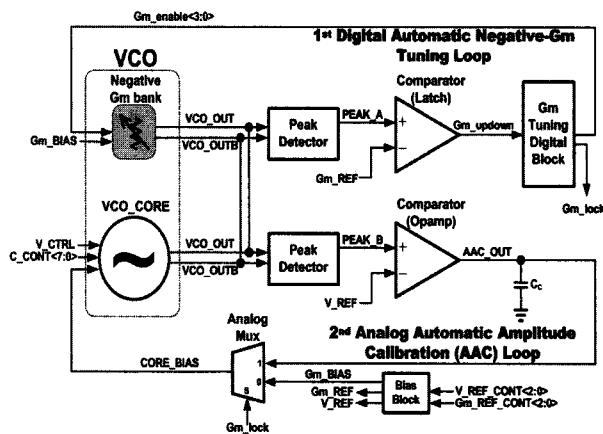


그림 1. 넓은 튜닝 범위를 가지는 전압제어발진기의 블록 다이어그램

Fig. 1. Block Diagram of the Wide Tuning Range VCO Architecture.

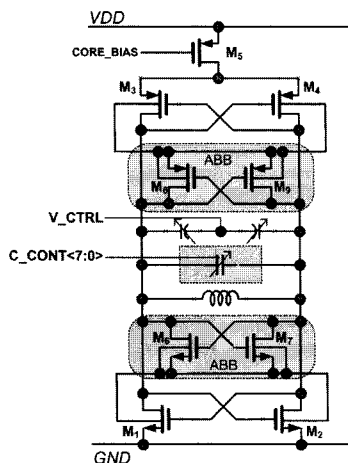


그림 2. VCO\_CORE의 회로도

Fig. 2. Schematic of the VCO\_CORE.

진기는 첫 번째로 디지털 자동 트랜스컨덕턴스 조절 변환 회로와 두 번째로 아날로그 자동 진폭조절 변환 회로로 구성되어 있다.

그림 2는 VCO\_CORE의 회로도이다. 전압제어발진기는 Negative-Gm 셀 트랜지스터( $M_1 \sim M_4$ ), PMOS 정전류원( $M_5$ ), 어댑티브 바디 바이어싱(Adaptive Body Biasing; ABB) 회로( $M_6 \sim M_8$ ), 가변 커패시터(varactor), 커패시터 बैं크 그리고 스파이럴 인덕터로 구성되어 있다. 최적의 커패시터 बैं크 값은  $C\_CONT<7:0>$ 에 의해 조절된다. 그림 3에서 볼 수 있듯이 커패시터 बैं크는 전압제어발진기가 넓은 튜닝 범위를 가질 수 있도록 스위치와 Metal-Insulator-Metal (MIM) 커패시터로 구성되어 있다.

그림 4(a)는 간략화된 전압제어발진기와 Negative-Gm Bank의 회로도이고, 그림 4(b)는 Negative-Gm Bank 단위 셀의 회로도이다. 만약 전압제어발진기가 제공해야 하는 튜닝 범위가 너무 넓으면, 채널 주파수에 따라 Negative-Gm이 달라져야 한다. 따라서 이번 설계

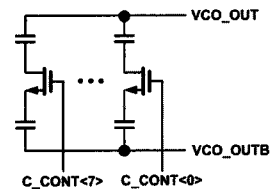


그림 3. 전압제어발진기의 커패시터 बैं크

Fig. 3. Capacitor Bank of the VCO.

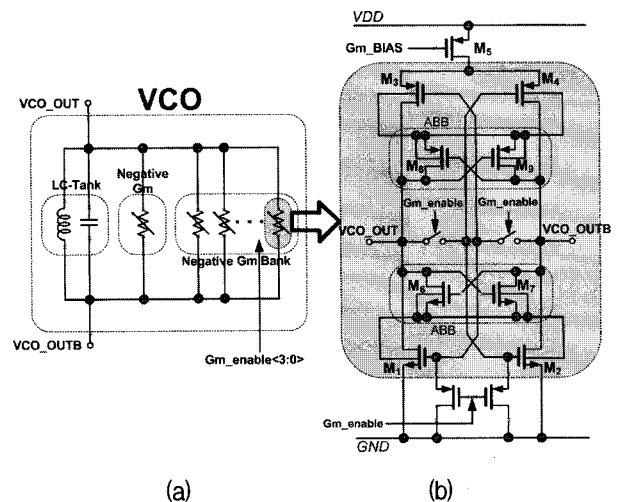


그림 4. (a) 간략화된 전압제어발진기와 Negative-Gm Bank (b) 전압제어발진기의 Negative-Gm 단위 셀

Fig. 4. (a) Simplified VCO and Negative-Gm Bank (b) Negative-Gm Unit Cell of the VCO.

에서는 4개의 Negative-Gm 단위 셀이 사용되었다. 커지는 Negative-Gm 단위 셀의 개수는 Gm 튜닝 디지털 블록에서 나오는 Gm\_enable<3:0>에 의해 조절된다. Gm\_enable<3:0>가 결정되고 나면, 두 번째 아날로그 자동진폭조절 루프가 시작된다. Negative-Gm 단위 셀은 VCO\_CORE와 동일하게 저전력 설계를 위해 어댑티브 바디 바이어싱 회로가 포함되어 있다.

2. 자동 2단계 트랜스컨덕턴스, 진폭조절 궤환회로

가. 2단계 트랜스컨덕턴스 조절 궤환회로

그림 5는 넓은 주파수 튜닝 범위에서 최적의 Negative-Gm을 제공하기 위한 2단계 트랜스컨덕턴스 조절 궤환 회로의 개념을 보여주고 있다.

첫 번째로 VCO\_CORE의 Negative-Gm이 고정된 상태에서 Gm\_enable<3:0>가 결정된다. 따라서, Negative-Gm의 총 합은 VCO\_CORE의 Negative-Gm과 켜져 있는 Negative-Gm 단위 셀이 제공하는 Negative-Gm의 값이 합쳐진 값이다.

첫 번째 Negative-Gm 조절 궤환 회로가 끝나고 난 후, Gm\_lock 신호는 '1'이 되고, 두 번째 아날로그 자동진폭조절 궤환 회로가 시작된다. 두 번째 궤환 회로에서는 AAC\_OUT 노드의 전압값을 조절하면서 VCO\_CORE의 Negative-Gm값이 결정된다.

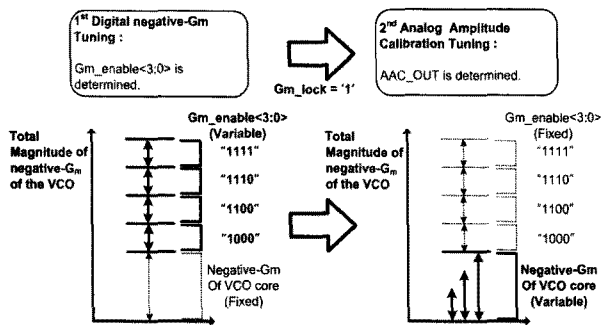


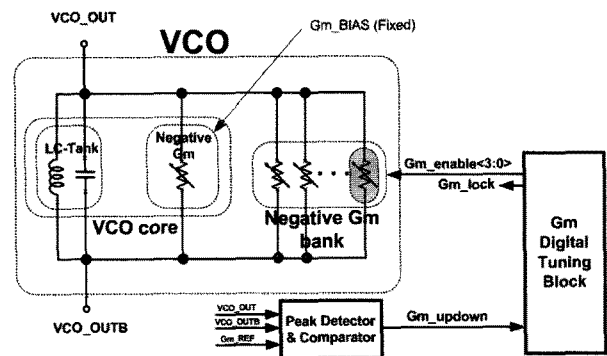
그림 5. 2단계 트랜스컨덕턴스 조절 궤환 회로의 개념  
Fig. 5. Concept of the two-step Negative-Gm Tuning Loop.

나. 첫 번째 디지털 자동 트랜스컨덕턴스 조절 궤환 회로

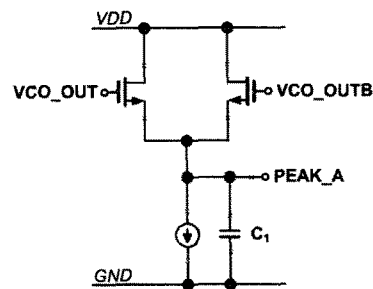
그림 6(a)는 첫 번째 디지털 트랜스컨덕턴스 조절 궤환 회로의 블록 다이어그램이다. 이 블록은 피크 검출기와 비교기, 트랜스컨덕턴스 디지털 튜닝 블록(Gm Digital Tuning Block)으로 구성되어 있다. 그림 6(b)와

그림 6(c)는 각각 피크 검출기와 비교기의 회로도이다.

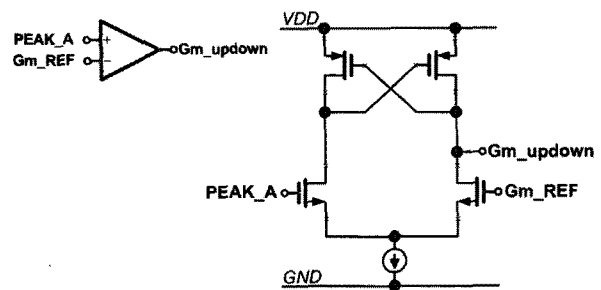
트랜스컨덕턴스 조절 궤환 회로에서는 켜져야 할 Negative-Gm 단위 셀의 개수가 디지털적으로 결정된다. 이 때 VCO\_CORE의 트랜스컨덕턴스를 결정하는 Gm\_BIAS는 고정되어 있다. 피크 검출기는 전압 제어발진기의 출력 진폭을 감지하여 그 출력(PEAK\_A)을 비교기에 전달한다. 이 때 C<sub>1</sub> 커패시터는 PEAK\_A 노드의 리플을 최소화한다. 비교기는 기준전압 Gm\_REF와 PEAK\_A를 비교한다. 비교기의 출력 Gm\_updown은 트랜스컨덕턴스 디지털 튜닝 블록에서 사용된다.



(a)



(b)



(c)

그림 6. (a) 첫 번째 디지털 자동 트랜스컨덕턴스 조절 궤환 회로의 블록 다이어그램 (b) 피크 검출기 (c) 비교기

Fig. 6. (a) Block Diagram (b) Peak Detector (c) Comparator (Latch) for 1<sup>st</sup> Digital Negative-Gm Calibration Loop.

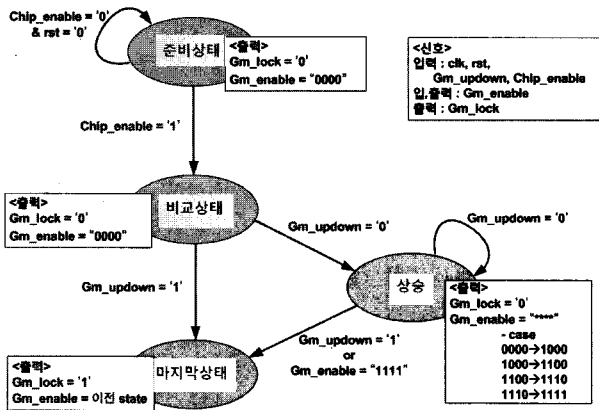


그림 7. 트랜스컨덕턴스 디지털 튜닝 블록의 상태도  
Fig. 7. State Diagram of Gm Tuning Digital block.

만약 전압제어발진기의 출력 스윙 레벨이 기준전압  $Gm\_REF$ 보다 작으면  $Gm\_updown$  신호는 '0'이 된다. 이것은 켜져야 할 Negative-Gm 단위 셀의 개수를 증가시킨다. 반면 전압제어발진기의 출력 스윙 레벨이 기준 전압보다 크면  $Gm\_updown$  신호는 '1'이 된다.  $Gm\_updown$  신호가 '1'이 되면, 첫 번째 트랜스컨덕턴스 조절 궤환 회로가 끝나게 된다.

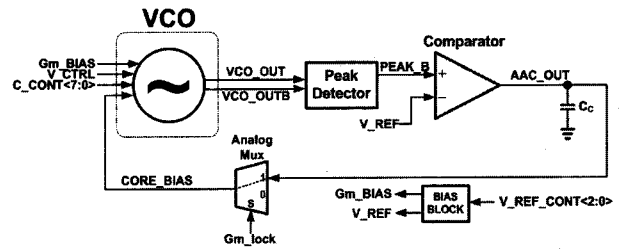
그림 7은 트랜스컨덕턴스 디지털 튜닝 블록의 상태도이다. 준비상태에서, 만약  $Chip\_enable$  신호가 '1'이 되면 비교상태가 시작된다. 비교상태에서  $Gm\_updown$  신호가 '0'이 되면(전압제어발진기 출력스윙이 작은 경우), 수식 (1)이 만족될 때까지 켜져야 할 Negative-Gm 단위 셀의 개수가 증가한다.

$$PEAK\_A \geq Gm\_REF \quad (1)$$

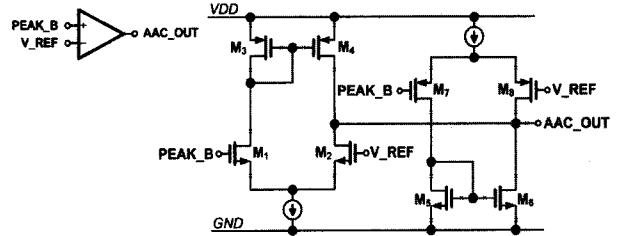
수식 (1)이 만족되거나,  $Gm\_enable$  신호가 모두 '1'이 되면 마지막상태에 도달한다. 마지막상태에서는  $Gm\_enable$  신호는 이전 값을 유지하고,  $Gm\_lock$  신호는 '1'이 된다. 따라서 첫 번째 디지털 트랜스컨덕턴스 조절 궤환 회로가 끝나고, 두 번째 아날로그 자동 진폭 조절 궤환 회로가 시작된다.

다. 두 번째 아날로그 자동 진폭조절 궤환 회로

그림 8(a)는 두 번째 아날로그 자동 진폭조절 궤환 회로의 블록 다이어그램이다. 자동진폭조절 궤환 회로는 전압제어발진기, 피크 검출기, 비교기(연산증폭기), 보상 커패시터( $C_c$ ) 그리고 아날로그 믹스로 구성된다. 아날로그 믹스는 첫 번째 트랜스컨덕턴스 조절 궤환 회로가 동작할 때 자동진폭조절 궤환 회로를 동작시키지 않기 위해 필요하다. 그리고 기준 전압( $Gm\_BIAS$ ,



(a)



(b)

그림 8. (a) 두 번째 아날로그 자동 진폭조절 궤환 회로의 블록 다이어그램 (b) 비교기의 회로도

Fig. 8. (a) Block Diagram of the 2<sup>nd</sup> Analog Automatic Amplitude Calibration (AAC) Loop (b) Schematic of the Comparator.

$V\_REF$ )을 만들기 위한 바이어스 블록이 포함된다. 피크 검출기의 회로는 그림 6(b)의 회로도 동일하다.

첫 번째 디지털 트랜스컨덕턴스 조절 궤환 회로가 끝나면  $Gm\_lock$  신호가 '1'이 되고 아날로그 자동진폭조절 궤환 회로가 시작된다. 아날로그 자동진폭조절 궤환 회로에서  $VCO\_CORE$ 의 전류 레벨을 결정하는  $CORE\_BIAS$  전압 값이 미세하게 조절된다.  $CORE\_BIAS$ 의 전압 값은 아날로그 믹스를 거치므로  $AAC\_OUT$ 의 전압 값과 동일하다. 피크 검출기는 전압제어발진기의 출력 진폭의 크기를 감지한다. 피크 검출기의 출력은  $C_c$ 에 의해 리플이 최소화된다.

비교기는 피크검출기의 출력을 기준전압  $V\_REF$ 와 비교한다. 만약 전압제어발진기의 출력 진폭이 기준전압  $V\_REF$ 보다 크면 Negative-Gm을 작게 하기 위해  $AAC\_OUT$  노드의 전압이 증가한다. 반대로 전압제어발진기의 출력 진폭이 기준 전압보다 작으면 Negative-Gm을 크게 하기 위해  $AAC\_OUT$  노드의 전압이 감소한다.

보상 커패시터,  $C_c$ 는 부궤환 회로를 안정한 상태로 동작할 수 있도록 사용한다. 피크검출기는  $V_{TH}$ 만큼 DC 값을 이동하여 최대값을 감지하므로 비교기의 동작영역이 최대화되어야 한다. 따라서 비교기는 그림 8(c)와 같이 rail-to-rail 연산증폭기 타입으로 설계하였다. 비교

기의 전압증폭도는 23 dB,  $f_{3dB}$ 는 630 kHz이며 30 uA의 전류를 소모한다.

### III. 실험 결과

그림 9는 칩 레이아웃이다. 이 칩은 1 Poly, 8 Metal 층을 사용하는 0.13-um CMOS RF 공정으로 설계되었다. 사용된 인덕턴스 값은 약 1nH이며, 인덕터의 Quality factor는 발진주파수 영역에서 11~14이다. 패드 면적을 제외한 전압제어발진기의 전체 면적은 0.6 mm × 0.5 mm이다. 그림 10은 2단계 트랜스컨덕턴스 조절 궤환 회로가 동작한 이후의 전압제어발진기의 위상잡음 모의실험결과를 보여준다. 위상잡음은 중심주파수 3.2 GHz 로부터 100 kHz 떨어진 지점에서 -90.5 dBc/Hz이고, 1 MHz 떨어진 지점에서는 -117 dBc/Hz 이다.

표 2는 참고 논문과 비교한 결과이다. FOM은 식 (2)와 같다.

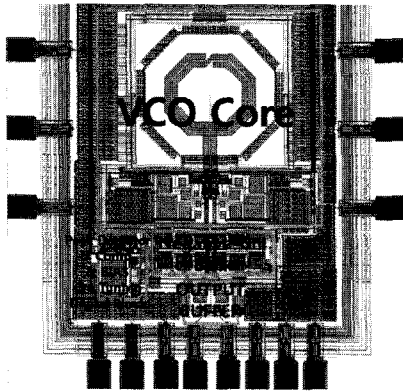


그림 9. 칩 레이아웃  
Fig. 9. Chip Layout.

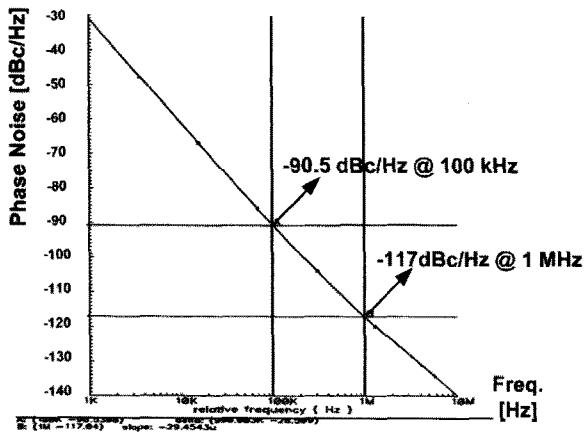


그림 10. 전압제어발진기의 위상잡음 모의실험결과  
Fig. 10. Phase noise simulation result of the VCO.

$$FOM = L[f_m] + 10 \log \left[ \left( \frac{f_m}{f_o} \right)^2 \times P_{DC} \right] \quad (2)$$

$$FOM_T = FOM - 20 \log \left( \frac{FTR}{10} \right) \quad (3)$$

$L[f_m]$ 은 중심주파수  $f_o$ 으로부터 오프셋 주파수  $f_m$ 만큼 떨어진 지점에서 측정된 단측파대 위상잡음(Single Side Band Phase Noise)을 의미한다.  $P_{DC}$ 는 mW 단위로 계산한 파워소모량이다. 수식 (2)의  $FOM_T$ 는 주파수 튜닝 범위를 고려한 전압제어발진기의 FOM이다. FTR은 튜닝 범위를 %단위로 계산한 값이다. 넓은 튜닝 범위를 커버하기 위해 기본적인 전류 레벨은 참고논문<sup>[2]</sup>에 비해 큰 편이어서 -183.5의 FOM(2 mA 모드일 때)은 상대적으로 우수하지 않지만 주파수 튜닝 범위를 고려한  $FOM_T$ 를 비교하면 자동진폭조절 기능을 가진 전압제어발진기 논문<sup>[1]</sup>보다 16.7 dB ~ 22.1 dB 까지 향상되었으며, 200 uW를 소모하는 저전력 전압제어발진기 논문<sup>[2]</sup>에 비해 최대 13 dB 정도 향상되었다.

표 1. 이전 논문과의 성능 비교

Table 1. Performance Comparison Result with Prior Works.

	[1]	[2]	[5]	[7]	본 논문
공급전압	1.8 V	0.5 V	1.25 V	1 V	1.2 V
전류소모	5 mA	0.4 mA	0.8 mA	4.6 mA	2 mA ~ 6 mA
중심 주파수	2.44 GHz	2.42 GHz	1.97 GHz	2.42 GHz	3.2 GHz
위상잡음	-90 dBc/Hz @ 100kHz offset	-115.8 dBc/Hz @ 1MHz offset	-103 dBc/Hz @ 100kHz offset	-134 dBc/Hz @ 1MHz offset	-117 dBc/Hz @ 1MHz offset
FOM	-170.7	-190.5	-189.3	-195	-178.5 (6mA 소모) ~ -183.3 (2mA 소모)
Tuning Range	24 %	7.3 %	-	-	72 %
FOM <sub>T</sub>	-178.3	-187	-	-	-195.7 ~ -200.4

#### IV. 결 론

본 논문은 넓은 주파수 튜닝 범위에 대해 공정, 전압, 온도 변화에 극복하기 위한 자동 트랜스컨덕턴스 조절 기능을 가진 전압제어발진기의 설계에 관한 논문이다. 광대역에서 전압제어발진기를 발진시키기 위해, 디지털 자동 트랜스컨덕턴스 조절 루프와 아날로그 자동 진폭 조절 궤환 회로가 사용되었다. 전압제어발진기의 출력 스윙 크기에 따라 트랜지스터의 바디 전압을 조절하는 기능도 전력소모를 최소화하기 위해 설계되었다. 소모 전류는 1.2 V 공급전압에서 2 mA에서 6 mA까지 1 mA 단위로 조절 된다. 전압제어발진기의 튜닝범위는 2.35 GHz에서 5 GHz까지 2.65 GHz로써 72 %이다. 위상잡음은 중심주파수 3.2 GHz를 기준으로 1 MHz 떨어진 지점에서 -117 dBc/Hz 이다.

#### 참 고 문 헌

- [1] Miyashita D, Ishikuro H, Kousai S, Kobayashi H, Majima H, Agawa K, Hamada M, "A phase noise minimization of CMOS VCOs over wide tuning range and large PVT variations", Custom Integrated Circuits Conference, 2005. Proceedings of the IEEE 2005, Page(s):583 - 586, 18-21 Sept. 2005.
- [2] Dongmin Park and Seonghwan Cho, "An Adaptive Body-Biased VCO with Voltage-Boosted Switched Tuning in 0.5-V Supply", Solid-State Circuits Conference, 2006. ESSCIRC 2006. Proceedings of the 32nd European, Page(s):444 - 447, Sept. 2006.
- [3] Hajimiri A, Lee T.H., "Design issues in CMOS differential LC oscillators", Solid-State Circuits, IEEE Journal of, Volume 34, Issue 5, Page(s):717 - 724, May 1999.
- [4] Casha Owen, Grech Ivan, Micallef Joseph, Gatt Edward, "Design of a 1.2 V Low Phase Noise 1.6 GHz CMOS Buffered Quadrature Output VCO with Automatic Amplitude Control", Electronics, Circuits and Systems, 2006. ICECS '06. 13th IEEE International Conference.
- [5] Seok-Ju Yun, So-Bong Shin, Hyung-Chul Choi, Sang-Gug Lee, "1mW Current-Reuse CMOS Differential LC-VCO with Low Phase Noise", Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005, Page(s):540 - 616 Vol. 1, IEEE International 10-10 Feb. 2005.
- [6] C.-W. Yao and A. N. W. Jr., "A phase-noise reduction technique for quadrature LC-VCO with phase-to-amplitude noise conversion", in IEEE Int. Solid-State Circuits Conf. (ISSCC) Tech. Dig., pp. 196-197., Feb. 2006.
- [7] Z. Li and K. K. O., "A low-phase-noise and low-power multiband CMOS voltage-controlled oscillator", IEEE J. Solid-State Circuits, vol. 40, pp.1296-1302, June 2005.

— 저 자 소 개 —



김 상 우(학생회원)  
2008년 건국대학교 전자공학과  
학사 졸업.  
2008년~현재 건국대학교 전자  
정보통신공학과 석사과정.  
<주관심분야 : RF / 아날로그 집  
적회로 설계>



박 준 성(학생회원)  
2008년 건국대학교 전자공학과  
학사 졸업.  
2008년~현재 건국대학교 전자  
정보통신공학과 석사과정.  
<주관심분야 : RF / 아날로그 집  
적회로 설계>



부 영 건(학생회원)  
2008년 건국대학교 전자정보통신  
공학과 석사 졸업.  
2008년~현재 건국대학교 전자  
정보통신공학과 박사과정.  
<주관심분야 : RF / 아날로그 집  
적회로 설계>



허 정(정회원)  
1983년 서울대학교 전자공학과  
석사 졸업.  
1991년 서울대학교 전자공학과  
박사 졸업  
1991년~현재 건국대학교  
전자공학부 교수  
<주관심분야 : 안테나, RF 및 Microwave 회로>



이 강 윤(정회원)  
2003년 서울대학교 전기공학부  
박사 졸업.  
2000년~2005년 (주)지씨티리씨치  
책임 연구원  
2005년~현재 건국대학교  
전자공학부 조교수

<주관심분야 : RF · 아날로그 집적회로설계, 아날  
로그/디지털 Mixed Mode 설계>