

논문 2010-47SD-2-13

Zero-Crossing 복조기를 위한 0.5 μ m CMOS FM 라디오 수신기(A 0.5 μ m CMOS FM Radio Receiver For Zero-Crossing Demodulator)

김성웅*, 김영식**

(Sung-Woong Kim and Young-Sik Kim)

요약

본 논문에서는 Zero-Crossing 복조기에 적합한 88MHz에서 108MHz 대역 FM 라디오 수신기를 0.5 μ m CMOS 공정을 이용하여 설계 및 제작하였다. 본 수신기는 Low-IF 구조를 기초로 설계되었으며, Low-Noise Amplifier (LNA), Down-Conversion Mixer, Phase locked loop (PLL), Low-pass filter (LPF), 비교기를 포함하는 RF/Analog 집적회로로 개발되었다. 측정결과 LNA와 Mixer를 포함하는 RF Block은 23.2dB의 변환 이득과 입력 P1dB는 -14dBm였고 전체 잡음지수는 15 dB로 나타났다. IF단 LPF와 비교기를 포함하는 Analog Block은 89dB 이상의 전압 이득을 가지고, IC내부의 레지스터를 제어하여 600KHz에서 1.3MHz까지 100KHz 단위로 Passband 대역을 조절할 수 있도록 설계되었다. 설계된 수신기는 4.5V에서 동작하며, 전체 전류 소모는 15.3 mA로 68.85mW의 전력을 소모한다. 실험결과 성공적으로 FM 라디오 신호를 수신할 수 있었다.

Abstract

In this paper, a FM radio receiver integrated circuit has been developed based on 0.5 μ m CMOS process for Zero-Crossing FM demodulator over the 88MHz to 108MHz band. The receiver is designed with the low-IF architecture, and includes Low Noise Amplifier(LNA), Down-Conversion Mixer, Phase Locked Loop(PLL), IF LPF, and a comparator. The measured results of the LNA and Mixer show that the conversion gain of 23.2 dB, the input P1dB of -14 dBm, and the noise figure of 15 dB. The measured analog block of the LPF and comparator show the voltage gain of over 89 dB, and the IF LPF can configure the passband from 600KHz to 1.3MHz with 100KHz step through the internal control register banks. The designed FM radio receiver operates at 4.5V with the total current consumption of 15.3mA, so the total power consumption is about 68.85mW. The commercial FM radio has been successfully received.

Keywords : FM Receiver, LNA, MIXER, Zero-Crossing Demodulation

I. INTRODUCTION

최근 다양한 휴대용 기기가 개발되면서 FM 라디오 수신기의 내장에 대한 수요가 증가하면서 저전력 FM 라디오 수신기용 CMOS IP 개발의 필요성이 증가하고 있다.

FM 라디오 방송 신호를 복조하기 위한 방법은 다양하게 알려져 있다. 일반적으로 Quadrature 검파방식이나 또는 공진기를 이용한 FM Discrimination 방식을

많이 사용하고 있다^[1]. Quadrature검파 방식은 Channel Selection 필터와 Quadrature Mixer 등 기저대역에 많은 회로를 요구하기 때문에 저전력에 적합하지 않다. 그리고 공진기를 이용한 FM Discrimination 방식은 높은 Q의 공진기를 이용해야 하기 때문에 Single Chip으로 구현이 어렵고 많은 면적을 요구한다.

본 논문에서는 간단한 디지털 신호처리로 FM 복조가 가능한 Zero-Crossing 복조방식을 선택하였다. Zero-Crossing 방식을 이용하는 경우 대부분의 신호처리가 디지털 회로로 처리할 수 있기 때문에 RF/아날로그 회로가 간단해지고 저전력으로 특성을 구현할 수 있다^[2]. 이를 위해 본 논문에서는 88MHz에서 108MHz대역에서 동작하는 Low-IF 구조의 FM 라디오 방송 수신

* 학생회원, ** 정회원, 한동 대학교 정보통신공학과
(Department of Information Communication Engineering, Handong Global University)

※ 본 연구의 설계 소프트웨어는 IDEC을 통해 지원됨.
접수일자: 2009년9월25일, 수정완료일: 2010년1월25일

용 집적회로를 0.5 μ m CMOS 공정을 이용하여 개발 하였다.

II. ARCHITECTURE

그림 1.은 본 논문에서 개발한 FM 라디오 수신기의 전체 구조를 나타낸다. 개발된 Zero-Crossing 복조기는 zero-crossing의 횟수에 의해 순간 주파수를 측정하는 frequency counters를 내장하고 있다. 이 counter의 zero-crossings의 비율은 순간 주파수와 같다. 따라서 Counter가 zero-crossing을 잘 구분 하여 셀 수 있도록 RF/Analog Block을 통하여 펄스 신호를 디지털 블록으로 전달도록 설계하였다. 최종 펄스 신호는 수신기에 필터로 출력된 FM 신호를 높은 이득을 가진 비교기를 거쳐 포화시키면 만들었으며, 펄스 신호로 변형된 FM 신호는 Pulse Width Modulation (PWM)형태의 신호로 디지털 블록에 전달된다. 이러한 간단한 수신 방식을 채택하여 수신기의 RF/Analog 블록을 최소화하여 설계 하였다. 그림 1.에서와 같이 본 논문의 수신기는 저잡음 증폭기(LNA), 하향주파수 변환기(Down Mixer), 국부 발진기를 위한 PLL, 그리고 IF 필터 와 비교기로 이루어져 있다.

본 논문의 수신기의 특징은 DC-offset과 1/f noise를 최소화 할 수 있는 Low-IF 구조를 채택하였다.^[3] 그리고 FM 라디오는 200kHz대역으로 채널이 나누어져 있어서 Intermediate Frequency (IF)를 수 MHz가 되게 설계하면, 원하는 채널에 다른 채널의 신호가 image신호와 간섭을 일으킨다. 본 논문에서는 이러한 Image 간섭을 회피하기 위해 IF를 200KHz가 되게 설계하여 image 문제를 간접적으로 해결하였다. 이러한 방식이 가능한 것은 FM 라디오 방송이 한 지역 내에 인접 채널로 방송 신호를 송출하는 경우가 없기 때문이다. 따라서 image rejection을 위한 회로는 추가하지 않고, FM 라디오 RF 신호를 I/Q 채널로 나누지 않고 단일 Path의 Low IF신호로 Down conversion하여, 수신기를

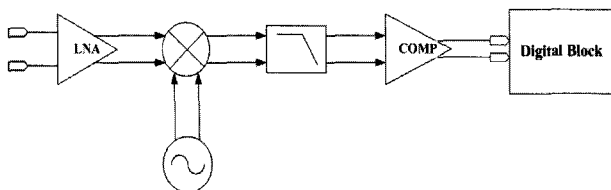


그림 1. 수신기의 전체 블럭도
Fig. 1. Total Block Diagram of Receiver.

단순화하고 전력 소모를 최소화 하였다.

1. LNA & Mixer Design

수신기에서 LNA와 Mixer는 전체 시스템의 잡음 지수를 결정하는 RF front-end 회로로서, 전력 이득은 크게, 잡음 지수는 작게 설계하여 수신기의 수신감도는 높게, 잡음지수는 낮게 설계하여야 한다^[4]. 본 설계에서는 LNA 입력단에 broadband conjugate input matching을 통하여 88MHz에서 108MHz까지의 대역을 통과하도록 하였고, 이 대역에서 최대 이득을 가지도록 설계하였다. 또한 LNA와 Mixer의 Device 크기를 충분히 크게 하여, 잡음의 영향이 적도록 설계하였다. LNA는 완전 차동 캐스코드 구조로 설계되었으며, common mode 제거를 위해 인덕터를 사용하였다. 그림 2.는 설계된 LNA의 구조를 나타내며, M1과 M2의 Bias point는 내부 레지스터 뱅크를 통해 설정할 수 있도록 제작 하였다. 보통 고주파 대역의 LNA는 LC tank를 Load로 하여, 원하는 대역에서만 높은 이득을 얻을 수 있으나, 저주파수 대역에서는 아주 큰 값의 LC가 필요하므로, chip안에 집적하기에 무리가 있다. 따라서 입력 저항성분의 4배 정도의 load 저항을 이용하여 dynamic range와 잡음지수에 영향이 최소가 되도록 하였다. LNA의 출력 신호는 임피던스가 낮은 쪽으로 전달되는데, 기생 캐패시턴스의 영향으로 Mixer의 입력단이 아닌 접지 쪽으로 신호가 전달될 수 있다. 이것을 방지하기 위해, LNA의 출력단에 병렬로 인덕터를 연결하여 기생 캐패시턴스의 영향이 상쇄되도록 설계하였다.

하향 주파수 변환기는 RF신호와 PLL의 LO신호를 혼합하여 200kHz Low IF신호로 반송파 주파수를 변환한다. 그림 3.은 설계된 Gilbert 방식의 하향 주파수 변환기 회로이다. Active Mixer는 선형성은 좋지 않으나,

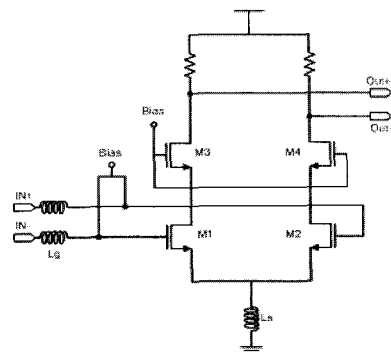


그림 2. 완전 차동 캐스코드 저잡음 증폭기
Fig. 2. Fully Differential Cascode LNA.

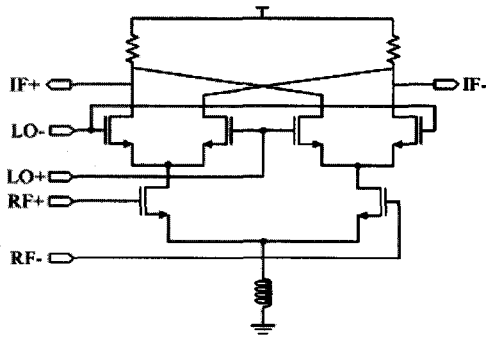


그림 3. 설계된 길버트 셀 믹서 구조
Fig. 3. Designed Gilbert Cell Mixer Architecture.

이득을 얻을 수 있기 때문에, 전체 시스템의 잡음 지수를 줄이고, 수신기의 수신감도를 높일 수 있는 장점이 있다. LNA와 마찬가지로 공통모드 제거를 위해 인덕터를 사용하였고, mixer 출력단의 DC값은 다음 블록인 LPF 차동 입력의 공통모드 DC값과 같도록 설계하였다.

2. LPF and Comparator Design

통상적으로 채널 선택 필터는 연속시간영역 필터로 구현하는 것이 일반적이다. 연속시간 필터에는 Gm-C 필터와 active-RC 필터가 있다. Active-RC 필터는 연산증폭기를 closed-loop로 feedback하여 사용하기 때문에 Gm-C 필터와 비교하여 고주파 동작이 어렵지만, 높은 선형성을 가지고 있다^[5]. 본 논문에서는 수백 KHz의 낮은 IF 대역에서 신호를 처리하므로 active-RC 형태의 필터구조로 설계하였다. 설계된 LPF의 아날로그 채널 선택은 5차 chebyshev 형태를 갖고 있으며, 그림 4.에서 보이는 것과 같이 캐패시터와 저항을 가변 할 수 있도록 설계하여, 필터의 cut-off frequency와 이득을 설정할 수 있도록 하였다. Dynamic range를 최대화하고 신호의 왜곡성분을 줄이기 위해 각 연산증폭기 출력의 최대 진폭을 모두 같도록 설계하였다^[5].

차동 입력 신호의 미세한 차이에도 신호의 비교된 출

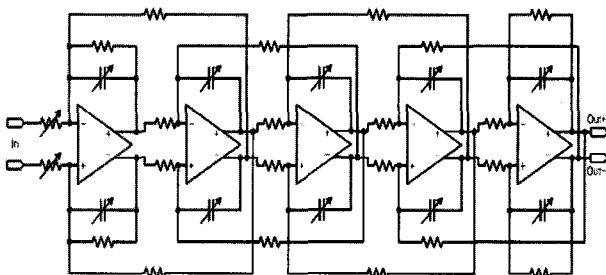


그림 4. 5차 체비셰프 능동-RC 필터
Fig. 4. Fifth order Chebyshev Active-RC Filter.

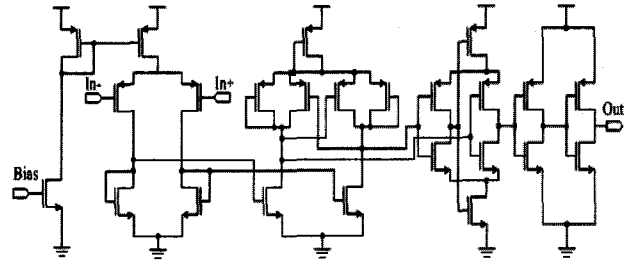


그림 5. 비교기
Fig. 5. Comparator.

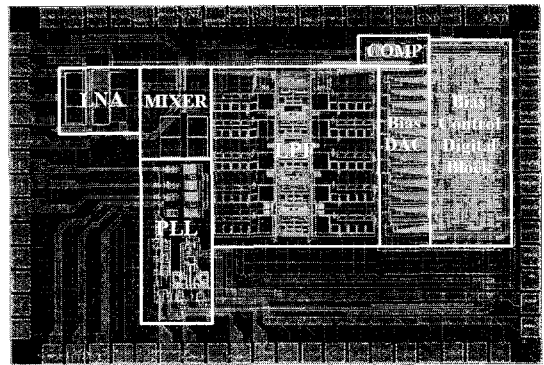


그림 6. 설계된 FM 수신기의 전체 칩 레이아웃
Fig. 6. Total Chip Layout of Designed FM Receiver.

력을 낼 수 있도록 하기 위해 높은 이득을 가지는 비교기를 설계하였다. 그림 5.에 나타난 것과 같이 여러 번의 inverter를 거치므로, 약 70dB 이상의 높은 이득을 낼 수 있게 하였고, 차동 인버터를 거쳐 차동신호를 단일신호로 출력되게 하였다. 따라서 비교기의 출력신호는 1 bit data stream의 디지털 신호 형태로 디지털 블록에 전달된다.

설계된 FM 수신기는 0.5 μ m CMOS 공정으로 설계 되었으며, 그림 6.은 수신기의 전체 Chip Layout을 보여 준다. 전체 칩의 면적은 1.5mm x 2.25mm 이다.

III. 실험 결과

설계된 FM 수신기의 성능을 측정하기 위해 PCB를 제작하였다. 그림 7.은 실험에 사용된 PCB를 보여준다. IC를 중심으로 PCB의 위쪽은 수신기 입력단과 내부 각 회로들의 입/출력 신호 확인 핀, 그리고 Bias를 외부에서 직접 조절하기 위한 가변 저항렬이 있다. 오른쪽은 전원부와 Digital Control 핀이 있으며, 아래쪽과 왼쪽은 PLL을 Test하기 위한 많은 소자들이 배치되어있다.

그림 8.에서 나타나는 것과 같이 LNA의 입력 반사손실은 88MHz에서 108MHz까지 -11dB 이하의 값을 가

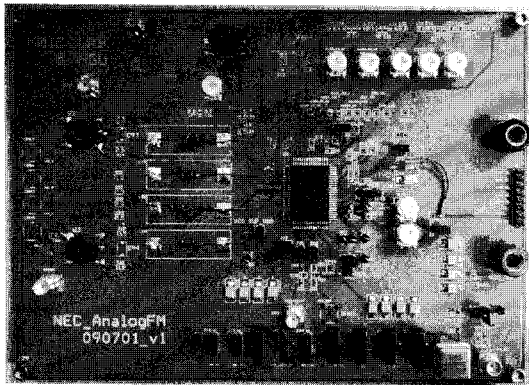


그림 7. 실험을 위해 제작된 PCB
Fig. 7. PCB made for The Experiment.

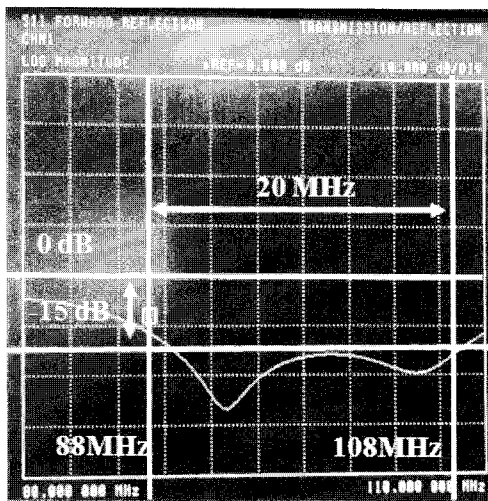


그림 8. 저잡음 증폭기의 입력 반사손실
Fig. 8. Input return loss of LNA.

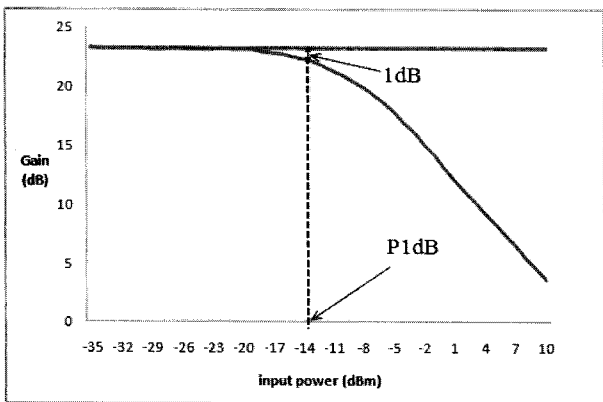
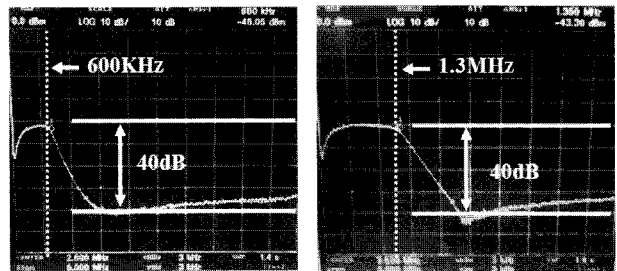


그림 9. LNA와 Mixer의 측정된 변환이득
Fig. 9. Measured Conversion Gain of LNA and Mixer.

지고, 89MHz부터는 -15dB 이하의 입력 반사손실을 가진다.

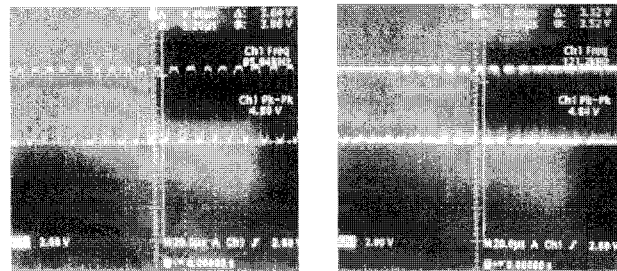
그림 9.은 LNA와 Mixer의 입력 전력을 -35dBm에서 10dBm까지 변화하면서 출력 특성을 측정한 결과를 보



(a) 600KHz (b) 1.3MHz

그림 10. 차단주파수 (a)600KHz 와 (b)1.3MHz 에서의 LPF의 주파수 응답

Fig. 10. Frequency Response of LPF has The Cut-Off Frequency (a)600KHz and (b) 1.3MHz.



(a) (b)

그림 11. 100.7MHz FM 방송을 수신한 비교기 출력신호의 (a) 정지 화면과 (b) 실행 화면

Fig. 11. (a) Stop and (b) Run Screen of Comparator Output Signal Received 100.7MHz FM Broadcast.

여준다. 그림에서 보이듯이 LNA/Mixer의 전체 변환이득은 23.3dB이고, 입력 P1dB 전력은 -14dBm이다. 잡음 지수는 LNA의 입력 단과 Mixer의 출력 단에 Ferrite Core 변환기를 이용하여 차동신호를 단일 신호로 변환하여 측정하였다. 그 결과 15dB의 잡음 지수를 얻을 수 있었다.

LPF의 측정된 이득은 차동 이득 6dB에서 19dB까지이며, 약 4dB 단위로 조절이 가능하다. 그림 10.는 필터의 주파수 응답을 나타낸다. 차단 주파수는 약 600KHz에서 1.3MHz까지 100KHz Step으로 조절이 가능하며, Stopband rejection은 약 40dB 정도이다.

비교기는 입력 차동신호를 비교하여 펄스 신호로 출력할 수 있도록 70dB 이상의 높은 이득을 가지고 있으며, 비교기의 기준전압을 내부 디지털 바이어스 제어기를 조절하여 offset문제를 해결하였다. 그림 11.은 100.7MHz의 FM 방송 신호를 수신기의 비교기 출력 단에서 측정된 신호를 나타낸 것이다. 측정된 신호는 주파수 변조의 특성을 그대로 가지고 있으므로, IF를 중

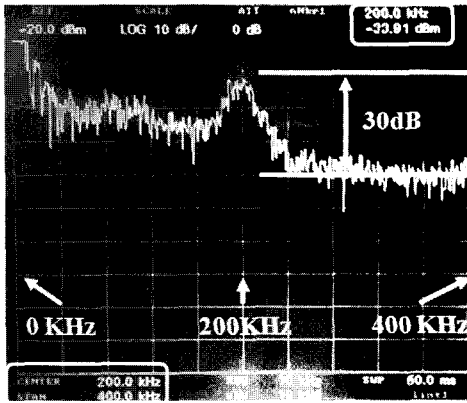


그림 12. 그림 11의 스펙트럼 분석
Fig. 12. Spectrum Analysis of Figure 11.

표 1. 설계된 수신기의 특성 요약
Table 1. The Performance Summary of Designed Receiver.

Section	Parameter	Value	Unit
Power	Supply Voltage	4.5	V
	Power consumption	68.85	mW
LNA & MIXER	Conversion gain (differential)	23.2	dB
	Noise Figure	15	dB
	Input P-1 dB	-14	dBm
LPF	Differential Gain	6 ~ 19	dB
	3-dB Frequency	600 ~ 1300	KHz
	stopband rejection	40	dB
CMP	Gain	> 70	dB
Etc	Process	1P4M 0.5 μ m CMOS	

십주파수로 하여 주파수가 계속 변화된다. 그림 11.(a)는 신호의 정지화면을 나타낸 것이고, (b)는 IF를 중심으로 주파수가 계속 변화되는 신호를 나타낸 것이다. 이 신호의 주파수 특성을 알아보고, 라디오 신호가 제대로 복원 되는지 알아보기 위해, FM 복조가 가능한 스펙트럼 분석기를 이용하여 라디오를 재생해 보았다. 결과는 그림 12.과 같이 IF 대역인 200KHz에서 신호가 나타났으며, FM 라디오의 음성은 1/f 잡음의 영향으로 잡음이 조금 섞여 있었지만, 성공적으로 복조 되었다.

표 1.은 제작된 수신기의 성능을 측정하여 요약한 것이다. 공급 전압은 4.5V이며, 수신기의 전체 DC 전력 소모량은 68.85mW 이다.

그리고 표 2.은 시중에 제품으로 나온 FM 수신기 칩들과의 성능 비교를 나타낸 것이다. [6]과 [7]은

표 2. 다른 복조방식의 FM 수신기와 성능 비교
Table 2. The Performance Comparison with FM Receivers.

	[6]	[7]	[8]	[9]	this work
Method	Quadrature	Quadrature	PLL	PLL	Zero-Crossing
Supply voltage [V]	4.5	1.8 ~ 12	9	5	4.5
Current Consumption [mA]	16	16.5	10	35	15.3
Sensitivity [μ V]	4	2	N/A	N/A	7.4

Quadrature 검파 방식의 Radio IC로, FM mode의 전류 소모와 FM RF단의 감도를 비교하였고, [8]과 [9]는 PLL 검파 방식의 Radio IC이며, RF단이 포함되지 않아 IF단의 전류 소모만 비교되었다.

IV. 결 론

본 논문에서는 88MHz ~ 108MHz 대역의 FM 수신기를 0.5 μ m CMOS 공정으로 구현하였다. 여러 FM 복조 방법 중, Zero-Crossing 복조기에 적합하도록 설계된 본 수신기는 LNA, Mixer, 주파수 합성기, LPF, 비교기와 같은 최소한의 RF/Analog 블록으로 구성되어 있으며, 단일 path의 Low-IF 구조로 제작되었다. FM 신호는 수신감도가 낮기 때문에 수신기에 높은 이득을 요구함으로 본 논문의 수신기는 전체 최대 110dB 이상의 전압이득을 가진다. LNA와 Mixer의 잡음 지수는 전체 대역에서 최대 15dB이며, 입력 P1dB는 -14dBm이다.

LPF는 600KHz에서 1300KHz까지 100KHz 단위로 통과대역을 내부 레지스터로 조절할 수 있으며, 역압대역 감쇄 특성은 40dB 이상이다. 비교기는 70dB 이상의 높은 이득으로, 입력 신호를 펄스 신호로 만들어, zero-crossing을 검출하는데 적합하게 설계하였다. 제작된 칩은 동작 전압 4.5V에서 15.3mA의 DC 전류를 소모하여 전체 전력 소모는 68.85mW로 측정되었다.

참 고 문 헌

[1] Tolga Yalcin, Neslin Ismailoglu "A Low-Power System-on-Chip for Telecommuni

- cation: Single Chip Digital FM Receiver/ Demodulator IP”, Signal. Systems, and Computers, 1999. Conference Record of the Thirty-Third Asilomar Conference, vol. 1, pp. 780-783, Oct, 1999.
- [2] Kwang Bok Lee, “Zero-Crossing Zero-IF Digital Demodulator”, 텔레콤, 제10권, 제 2호, 1994년 12월.
- [3] Pui-in mak, seng-pan U, and Rui P.Martins, “Transceiver Architecture Selection: Review, State-of-the-Art, Survey and Case Study”, IEEE Circuits and Systems Magazine, pp. 6-25, Second Quarter 2007.
- [4] Behzad Razavi, “RF MICROELECTRONICS”, Prentice Hall PTR, pp. 37-50, pp. 166-167, pp. 180-183, 1998.
- [5] 황진홍, 유창식, “SDR을 위한 광대역 주파수 가변 active-RC 채널 선택 필터”, 텔레콤, 제 21권, 제 2호, 91-99쪽, 2006년 2월.
- [6] SANYO, “Monolithic Linear IC For Portable Radio/Cassette Recorders with Manual Tuning Single-Chip Tuner IC,” LA1828 datasheet, June. 2009.
- [7] Philips, “AM/FM Stereo radio circuit,” TEA5711 datasheet, Sept. 1994.
- [8] NTE Electronics, “Integrated Circuit Phase Lock Loop (PLL) FM Demodulator for Portable Car Radio,” NTE1565 datasheet.
- [9] PHILIPS, “Single standard multimedia IF-PLL and FM radio demodulator Datasheet,” TDA9809M datasheet, Jan. 1998.

 저 자 소 개



김 성 응(학생회원)
 2008년 한동대학교 전산전자
 공학부 학사 졸업.
 2008년~현재 한동대학교 정보통신공학과 석사과정.
 <주관심분야 : RF/Analog IC 설계, USN용 PHY와 MAC 설계>



김 영 식(정회원)
 1993년 포항공과대학교 전자전기
 공학과 학사 졸업.
 1995년 포항공과대학교 초고주파
 공학과 석사 졸업.
 1999년 포항공과대학교 초고주파
 공학과 박사 졸업.

1999년~현재 한동대학교 전산전자공학부 부교수
 <주관심분야 : 센서 네트워크 개발, RFID,
 RF/Analog IC 설계, 무선통신용 모델 설계>