

논문 2010-47SD-11-2

# 디지털 입력 시그마-델타 변조 기반의 D급 오디오 증폭기

( A Digital Input Class-D Audio Amplifier )

조준기\*, 노진호\*, 정태성\*, 유창식\*\*

( Jun-Gi Jo, Jinho Noh, Tae-seong Jeong, and Changsik Yoo )

## 요약

본 논문에서는 시그마-델타 변조기에 기반 한 D급 오디오 증폭기를 제안한다. 16-비트 병렬의 디지털 입력신호는 4차 디지털 시그마-델타 변조기에 의해 2-비트의 신호로 직렬화되고, 이 신호는 4차 아날로그 시그마-델타 변조기로 인가된다. 아날로그 시그마-델타 변조기의 출력단의 파워 스위치는 3-레벨로 동작하며, 3-레벨의 펄스 밀도 변조(PDM) 출력 신호는 LC-필터를 통해 저역 통과되어 스피커에 전달된다. 아날로그 시그마-델타 변조기의 첫 단의 적분기는 디지털 시그마-델타 변조기의 출력으로부터 샘플된 이산 시간 영역의 신호를 입력으로 받아들이고, 동시에 파워 스위칭 단의 연속 시간 영역의 출력 신호를 부궤환(feedback) 받기 위해 스위치드-캐패시터 적분기와 연속시간 영역의 적분기를 혼합된 형태로 구현되었다. 제안된 클래스-D 오디오 증폭기는 CMOS 0.13- $\mu\text{m}$  공정을 이용해 제작되었으며 100-Hz 부터 20-kHz의 신호 주파수 영역에서 동작한다. 제작된 D급 오디오 증폭기는 4- $\Omega$  부하 저항에서 최대 18.3-mW를 내고 0.035-%의 전고조파 왜율(total harmonic distortion plus noise : THD+N) 성분과 80-dB의 입력신호 대역폭(dynamic range)을 갖는다. 아날로그 및 디지털 변조기는 1.2-V 전원 전압으로 동작하며 총 457-uW의 전력을 소모한다.

## Abstract

A sigma-delta modulator based class-D audio amplifier is presented. Parallel digital input is serialized to two-bit output by a fourth-order digital sigma-delta noise shaper. The output of the digital sigma-delta noise shaper is applied to a fourth-order analog sigma-delta modulator whose three-level output drives power switches. The pulse density modulated (PDM) output of the power switches is low-pass filtered by an LC-filter. The PDM output of the power switches is fed back to the input of the analog sigma-delta modulator. The first integrator of the analog sigma-delta modulator is a hybrid of continuous-time (CT) and switched-capacitor (SC) integrator. While the sampled input is applied to SC path, the continuous-time feedback signal is applied to CT path to suppress the noise of the PDM output. The class-D audio amplifier is fabricated in a standard 0.13- $\mu\text{m}$  CMOS process and operates for the signal bandwidth from 100-Hz to 20-kHz. With 4- $\Omega$  load, the maximum output power is 18.3-mW. The total harmonic distortion plus noise and dynamic range are 0.035-% and 80-dB, respectively. The modulator consumes 457-uW from 1.2-V power supply.

**Keywords :** class-D amplifier, sigma-delta modulator

## I. 서론

최근에 개발되는 휴대폰, MP3 플레이어, PMP 등의 디지털 멀티미디어 기기들은 스피커가 내장되어 있다.

휴대용 기기는 배터리로 동작하는 만큼 오디오 증폭기도 고효율의 오디오 증폭기가 요구된다. 또한 이들 휴대용 기기의 오디오 신호의 음원은 대부분 디지털 신호이므로 디지털 신호를 바로 증폭할 수 있는 오디오 증폭기가 적합하다.

D급 스위칭 오디오 증폭기는 A급이나 AB, B급 증폭기와 같은 선형 증폭기에 비해 전력 효율이 매우 높기 때문에 휴대용 오디오 시스템에 적합한 특성을 가진다<sup>[1]</sup>. D급 오디오 증폭기를 구현하는 가장 간단한 형태는 펄스 폭 변조 방식(pulse width modulation : PWM)을

\* 학생회원, \*\* 정회원, 한양대학교 전자컴퓨터통신공학과 (Department of Electronics Computer Engineering, Hanyang University)

※ 본 연구는 지식경제부 바이오의료기기전략기술개발 사업의 지원으로 이루어졌음. (과제번호: 10031741)  
접수일자: 2010년8월31일, 수정완료일: 2010년11월6일

이용하는 것으로 입력신호는 삼각파와 비교되어 펄스 폭 변조 파형으로 변환되어 파워 스위칭 단 (power switching stage)을 구동한다<sup>[2]</sup>. 이 개회로(open loop) 펄스 폭 변조 방식은 간단하긴 하지만 선형성과 전원 전압 변동 제거 비(power supply rejection ration : PSRR)가 낮고<sup>[3]</sup> 전자파 방해(Electro-magnetic interference : EMI) 문제가 있다는 단점이 있다. 낮은 선형성과 전원 전압 변동 제거 비는 부궤환 회로를 구성함으로써 개선 할 수 있고<sup>[2]</sup>, 전자파 방해 문제는 시그마-델타 변조 기법을 사용함으로써 피할 수 있다<sup>[4]</sup>.

본 논문은 휴대용 멀티미디어 시스템을 위한 디지털 입력 신호를 받는 시그마-델타 변조를 기반으로 한 저전력 D급 오디오 증폭기를 제안하였다. 제안된 D급 오디오 증폭기는 디지털 오디오 프로세서와 직접 연결되기 위하여 펄스 코드 변조(pulse code modulation : PCM) 신호를 받아 음성 신호로 출력하는 기능을 가진다. 증폭기의 구성은 디지털 시그마-델타 변조기와 아날로그 시그마-델타 변조기, 그리고 파워 스위칭 단으로 이루어져 있으며, 아날로그 시그마-델타 변조기는 디지털 시그마-델타 변조기의 이산시간 영역의 디지털 출력을 입력으로 받아 증폭하는 동시에 파워 스위칭 단의 연속시간 영역의 아날로그 출력을 부궤환으로 받아 출력의 실시간 잡음 성분을 억제할 수 있도록 구현되었다. II장에서는 D급 오디오 증폭기의 구조에 대해 설명하고 III장에서 자세한 회로 구현에 대해 설명한다. 그리고 IV장에서 측정결과를 보이고 마지막으로 V장에서 결론을 맺도록 한다.

## II. 클래스-D 오디오 증폭기의 구조

그림 1에 제안된 시그마-델타 변조에 기반 한 디지털 입력 D급 오디오 증폭기의 구조도를 보였다.

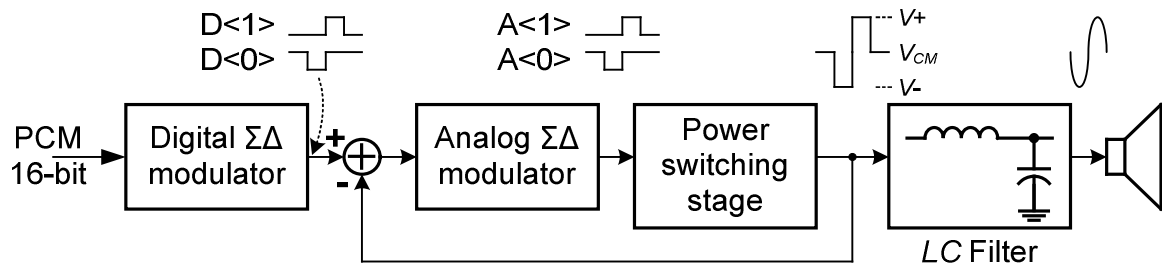


그림 1. 제안된 D급 오디오 증폭기의 구성도  
Fig. 1. Block diagram of the proposed class-D audio amplifier.

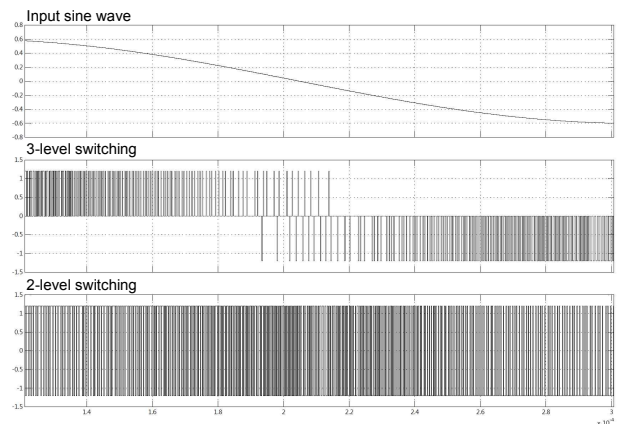


그림 2. 2-레벨 스위칭과 3-레벨 스위칭의 비교  
Fig. 2. Comparison of 2-level switching and 3-level switching.

50-kbps 16-비트 디지털 펄스 코드 변조 오디오 입력 신호는 4-차 디지털 시그마-델타 변조기에 의해 6.4-Mbps로 샘플링 주파수가 높아지고 2-bit의 디지털 신호, D<1:0>로 직렬화 된다. 이 과정에서 시그마-델타 변조기의 특성인 잡음 셰이핑(noise shaping) 작용으로 인해 오디오 대역의 잡음 성분이 고주파 대역으로 이동한다. 아날로그 시그마-델타 변조기는 디지털 시그마-델타 변조기의 2-비트 출력 신호를 입력 받아 파워 스위칭 단에서 3-레벨의 펄스 밀도 변조 (pulse density modulation : PDM) 출력을 내기 위해 2-비트의 신호, A<1:0>를 생성한다. 3-레벨 펄스 밀도 변조 신호는 기존의 2-레벨 펄스 밀도 변조 신호에 비해 스위칭 동작이 적어 전력소모가 적다는 장점이 있다. 2-레벨 펄스 밀도 변조 신호에서 0 값을 표현 하려면 파워 스위치는 V+와 V- 값을 계속 스위칭 해야 하는데 이와 같은 스위칭 동작은 파워 스위치의 각 노드의 기생 캐패시턴스를 충/방전하기 위한 전류 소모를 초래하여 전력 효율을 떨어뜨린다. 반면에 3-레벨 펄스 밀도 변조 신호는 0 값의 표현은 V+와 V-의 중간 값인 VCM에 연결됨

로써 가능하기 때문에 불필요한 스위칭 동작을 피할 수 있고, 따라서 전류소모를 줄일 수 있다. 그림 2에 사인(sine) 입력에 대한 2-레벨 및 3-레벨의 펄스 밀도 변조 파형을 나타내었다. 그림에서도 알 수 있듯이 3-레벨 펄스 밀도 변조 신호의 경우 스위칭 동작은 획기적으로 감소 될 수 있다. 3-레벨 펄스 밀도 변조 신호의 고주파 성분은 칩 외부의 LC 필터를 통해 차단되고 오디오 대역의 신호 성분만이 스피커로 전달된다.

### III. 클래스-D 오디오 증폭기의 구현

#### 1. 아날로그 시그마-델타 변조기

아날로그 시그마-델타 변조기는 그림 3에 보인 구조도와 같이 4-차의 루프 필터(loop filter)를 사용하였으며 피드포워드(feedforward) 경로를 가진 구조를 사용하였다. 입력 피드포워드 경로(a0)는 루프 필터 내에서 신호 성분을 제거하여 전압 동작 범위를 낮출 수 있는데, 이로 인해 루프 필터를 구성하는 적분기의 설계 사양과 전류 소모를 줄일 수 있다. 4-차의 루프 필터의 안정도를 확보하기 위하여, 아날로그 시그마-델타 변조기의  $|NTF| \leq 1.5$  가 되도록 설계 하였다. 오버샘플링

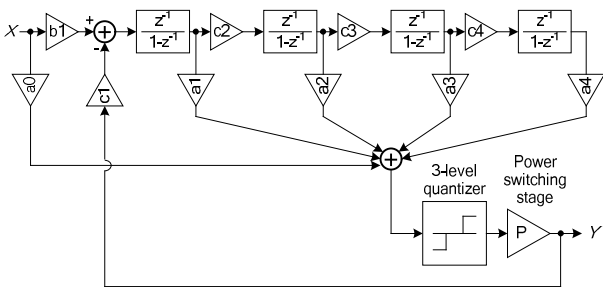


그림 3. 4-차 아날로그 시그마-델타 변조기  
Fig. 3. Fourth-order analog sigma-delta modulator.

비(oversampling ratio : OSR)는 128로 설정하여 샘플링 주파수가 6.4MHz가 되도록 하였다. 루프 필터의 각 적분기의 출력 전압 동작 범위는 0.4Vpp 이내로 유지 되도록 계수들의 값을 결정하였다.

그림 4는 아날로그 시그마-델타 변조기의 회로도로서, 편의상 단일 종단(single ended) 형태로 나타내었으나 실제 회로는 차동(differential) 구조로 설계되었다. 디지털 시그마-델타 변조기의 6.4-Mbps, 2-비트의 디지털 신호는 3-레벨의 아날로그 전압으로 변환되어 아날로그 시그마-델타 변조기에 입력된다. 3-레벨의 입력 전압은 6.4-MHz로 샘플링 된 이산 시간 신호이므로 이를 입력으로 받기 위해서는 이산 시간 영역에서 동작하는 스위치드-캐패시터(switched-capacitor) 적분기 회로가 적합하다. 만약 연속시간 영역의 적분기로 입력 받을 경우, 디지털 2-비트를 3-레벨 아날로그 전압으로 변환하는 과정에서 발생한 스위칭 잡음과, 샘플링 클럭의 지터 성분 등의 잡음 성분이 그대로 입력되어 신호 대 잡음 비(SNR)가 열화 된다. 반면에 파워 스위칭 출력단의 3-레벨 펄스 밀도 변조 출력으로부터 부궤환되는 신호는 파워 스위칭 단의 스위칭 잡음, 전원 전압의 연속시간 영역의 잡음 성분 등 모든 잡음 성분을 모두 억제해야 하므로 연속 시간 영역의 적분기로 입력 받아야 한다. 따라서 제안된 아날로그 시그마-델타 변조기의 첫 번째 단의 적분기는 그림 4에 보인 바와 같이 이산 시간 영역의 입력 신호와 연속 시간 영역의 부궤환 신호를 모두 입력 받을 수 있도록 스위치드-캐패시터 적분기와 연속 시간 영역의 적분기인 능동-RC(active-RC) 적분기를 하나의 적분기에 혼합하여 구현하였다. 캐패시터  $C_{S1}$ 은 디지털 시그마-델타 변조기의 출력으로부터 3-레벨로 변환된 신호를 샘플링하여 입

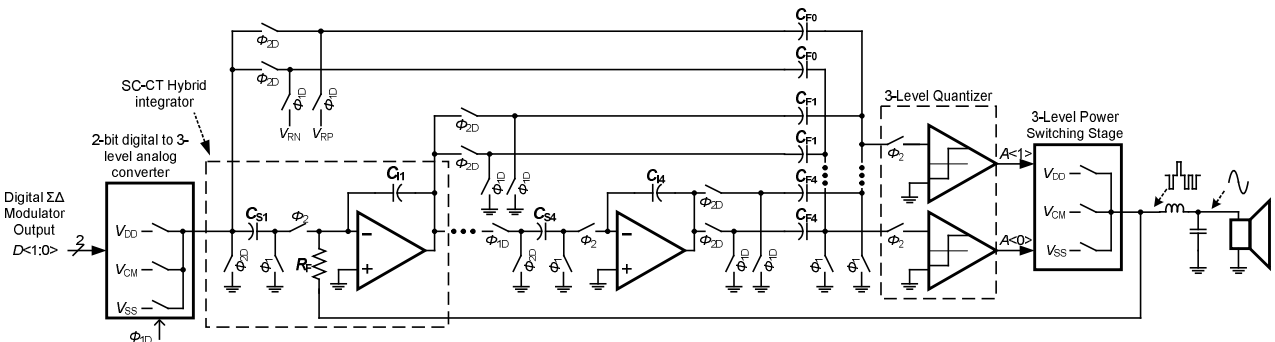


그림 4. 4-차 아날로그 시그마-델타 변조기의 회로도  
Fig. 4. Circuit implementation of the fourth-order analog sigma-delta modulator.

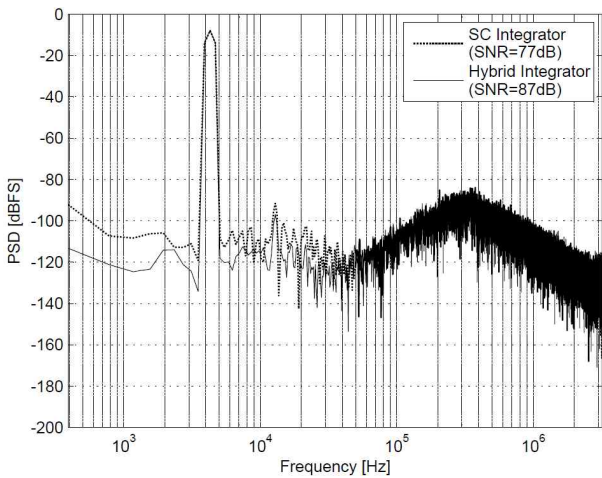


그림 5. 기존의 스위치드-캐패시터 적분기와 제안된 혼합 적분기를 사용한 오디오 증폭기의 출력의 주파수 스펙트럼 밀도의 모의 실험 결과

Fig. 5. Simulated PSD of the class-D audio amplifier outputs with the conventional SC integrator and the proposed hybrid integrator.

력받고, 저항  $R_F$ 는 파워 스위칭 단의 3-레벨의 펄스 밀도 변조 출력 신호를 부궤환 받도록 함으로써, 모든 잡음 성분을 억제할 수 있도록 하였다. 그림 5에 제안된 혼합 적분기를 사용하여 부궤환하는 오디오 증폭기와 기존의 스위치드-캐패시터 적분기를 이용하여 부궤환하는 오디오 증폭기의 출력의 주파수 스펙트럼 밀도를 도시하였다. 이 그림에서 알 수 있듯이 혼합 적분기를 사용한 경우 10-dB의 신호 대 잡음 비의 개선효과가 있다. 부궤환 경로의 계수  $c_1$ 은  $b_1$ 과 같으므로  $R_F$ 값은  $R_F = T_S / C_{S1}$  과 같이 결정된다. 여기서  $T_S$ 는 샘플링 주기이다.  $R_F$ 는 저항 배열로 구성하여 공정에 의한 변화를 보상할 수 있도록 하였다.

### 2. 연산 증폭기

루프필터의 첫 단의 혼합 적분기는 파워 스위칭 단의 출력을 연속시간 영역으로 부궤환 받아야 하므로 광대역의 연산 증폭기가 필요하다. 연산 증폭기는 2 단으로 구성하였으며 대역폭의 손실 없이 위상 여유를 확보할 수 있는 장점이 있는 피드포워드 주파수 보상기술을 사용하였다<sup>[5]</sup>. 설계된 연산 증폭기는 51-dB의 DC 이득과 125-MHz의 단위 이득 대역폭을 가지며 114- $\mu$ A의 전류를 소모한다. 둘째 단과 셋째 단의 적분기에 사용된 연산 증폭기는 1 단 구조의 스위치드-캐패시터 동상 모드 부궤환 회로(common-mode feedback : CMFB)를 가진 연산 증폭기를 사용하였다<sup>[6]</sup>. 이 두 연산 증폭기는

53-dB의 DC 이득과 56-MHz의 단위 이득 대역폭, 그리고 16- $\mu$ A의 전류를 소모한다.

### 3. 3-레벨 양자화기

3-레벨 양자화기는 그림 6에 보인 바와 같이 두 비교기로 구성되어 있으며 각각의 비교기는 전치 증폭기(pre-amplifier)와 두개의 래치(latch)로 이루어져 있다. 양자화기의 기준 전압은 2.4-V의 차동 입력 전압 범위(full-scale input range)를 위해 차동 모드로  $\pm 0.6$ -V이다. 그림 6-(b)는 전치 증폭기의 회로도로서,  $\Phi_{1B}$ 가 로우(low) 일 때 입력과 출력 노드가 연결되어 입력 옵션 전압 값을 입력 트랜지스터의 기생 캐패시터에 저장하고,  $\Phi_{1B}$ 가 하이(high) 일 때 입력신호를 증폭하여 둘째 단으로 전달하는 동작을 한다. 그림 6-(c)는 둘째 단과 셋째 단에 사용된 래치의 회로도로서 입력 신호를 전원 전압 레벨로 변환하는 역할을 한다.

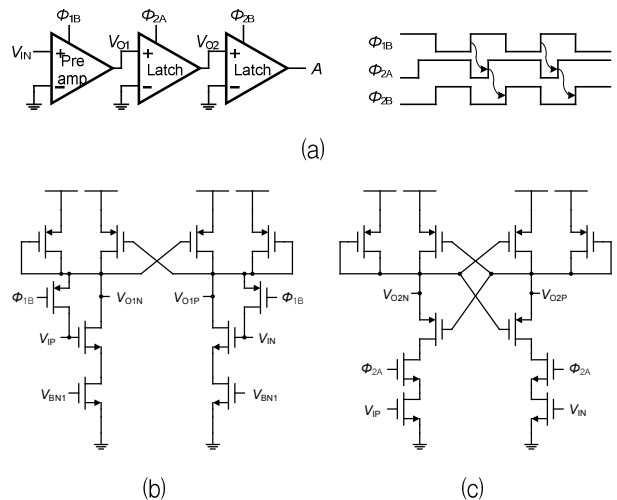


그림 6. (a) 3-레벨 양자화기의 비교기, (b) 전치 증폭기, (c) 래치

Fig. 6. (a) Comparator of the three-level quantizer and its timing, (b) pre-amplifier, and (c) latch.

### 4. 파워 스위칭 출력 단과 LC 필터

그림 7(a)에 파워 스위칭 단과 칩 외부의 LC 필터를 나타내었다. 파워 스위칭 단은 H-브리지(H-bridge) 구조를 사용하였다. H-브리지 출력,  $H_N/H_P$  는 3-레벨을 표현하기 위하여  $V_{DD}$ ,  $V_{SS}$ ,  $V_{CM}$ 으로 연결 될 수 있다. 파워 스위칭 단의 3-레벨 펄스 밀도 변조 출력은 칩 외부의 LC 필터로 전달되고 오디오 대역의 신호 성분만 통과하여 부하저항,  $R_L$ 로 표현된 스피커를 구동하게 된다. 파워 스위칭 단을 구동하기 위한 콘트롤 신호는 2-

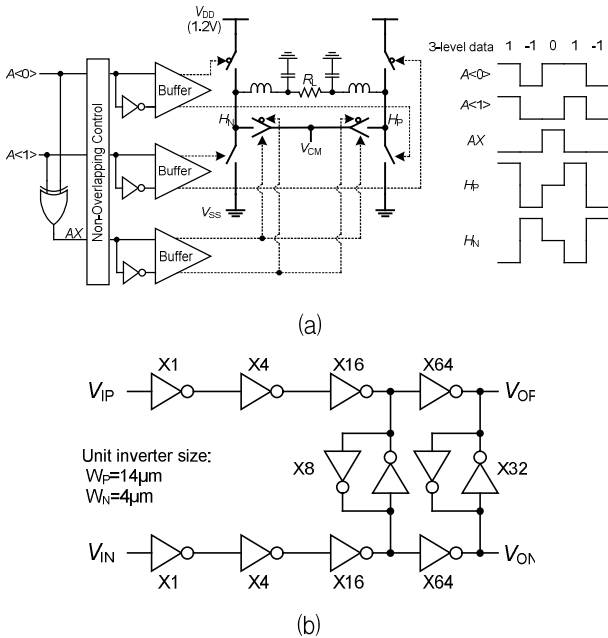


그림 7. (a) 3-레벨 파워 스위칭 단과 LC 필터, (b) 파워 스위칭 단을 위한 버퍼  
 Fig. 7. (a) Three-level power switching stage and LC filter and (b) buffer for the power switch.

비트 양자화기 출력 신호,  $A\langle 1:0 \rangle$ 로 부터 만들어지는데, 이때 콘트럴 신호들은 서로 논-오버래핑(non-overlapping) 되도록 함으로써,  $H_N/H_P$  노드에 연결된 3개의 스위치들이 동시에 턴 온 되어 shoot-through 전류가 흐르는 것을 방지하였다. 본 설계에서는 4-ns의 논-오버래핑 시간을 적용하였다.

파워 스위치를 구동하기 위한 버퍼는 그림 7-(b)에 보인 바와 같이 서로 교차로 연결된 인버터 블록으로 구현하여 차동 모드로 동작하는 H-브리지 출력,  $H_N/H_P$ 가 스위칭 동작 시 서로 같은 시간에 교차하도록 하였다<sup>[7]</sup>. 파워 스위칭 단의 전원 전압은 아날로그 및 디지털 시그마-델타 변조기와 같으므로 파워 스위치들은 구현의 단순함과 비용을 절감을 위해 CMOS 트랜지스터를 사용하였다. pMOS와 nMOS 파워 스위치의 온-저항(on-resistance)은 4-Ω 부하저항에서 75%의 전력 효율을 달성하기 위해 각각 0.54-Ω과 0.64-Ω이 되도록 설계하였다.

IV. 측정 결과

제안된 D급 오디오 증폭기는 0.13μm CMOS 공정을 이용하여 제작되었으며, 제작된 IC의 현미경 사진을 그림 8에 보였다. 제작된 오디오 증폭기의 회로 영역의

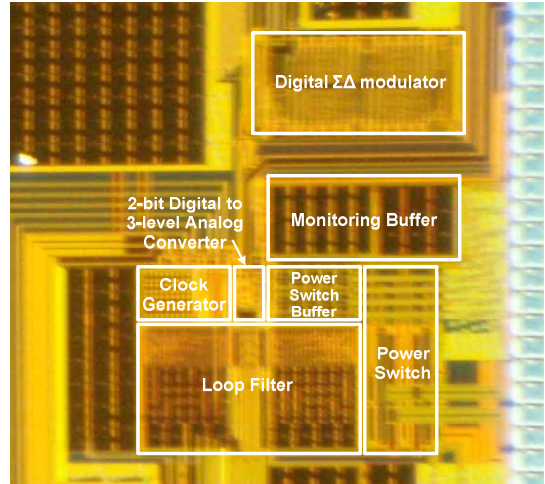


그림 8. D급 오디오 증폭기의 칩 현미경 사진  
 Fig. 8. Die photograph of the class-D audio amplifier.

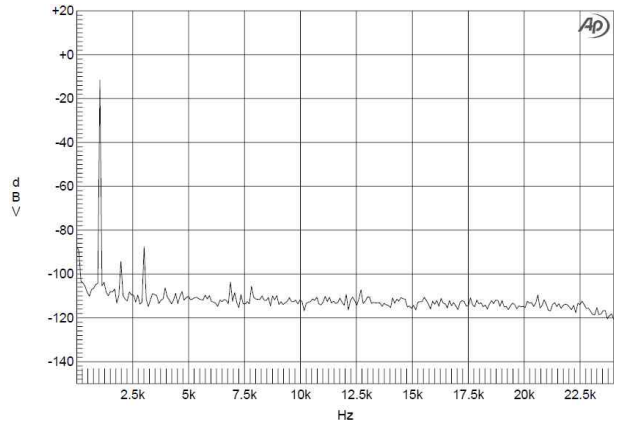


그림 9. 측정된 D급 오디오 증폭기 출력의 주파수 스펙트럼  
 Fig. 9. Measured PSD of the class-D output.

면적은 1.4-mm<sup>2</sup>이다. 그림 9는 4-Ω의 부하저항에서 -7-dBFS, 1-kHz, 50-kbps 디지털 사인 입력에 대한 증폭기의 출력의 주파수 스펙트럼 밀도이다. 측정된 최대 신호대 잡음 비는 77.6-dB이고 출력 전력은 18.3-mW이다. 그림 10은 디지털 입력 신호의 크기에 따른 전고조파 왜율(total harmonic distortion plus noise : THD+N)을 도시한 그래프이다. -7-dBFS 입력 레벨에 대해 0.035%의 전고조파 왜율을 갖는다. 측정된 입력 대역폭은 80-dB이다. 제작된 오디오 증폭기의 성능을 표 1에 정리하였다. 표 1에서 알 수 있듯이 아날로그 및 디지털 시그마-델타 변조기의 총 전류는 매우 작다. 파워 스위칭 단을 포함한 전체 전력 효율은 73.6%로 이는 파워 스위칭 단의 온-저항을 줄임으로써 증가시킬 수 있다.

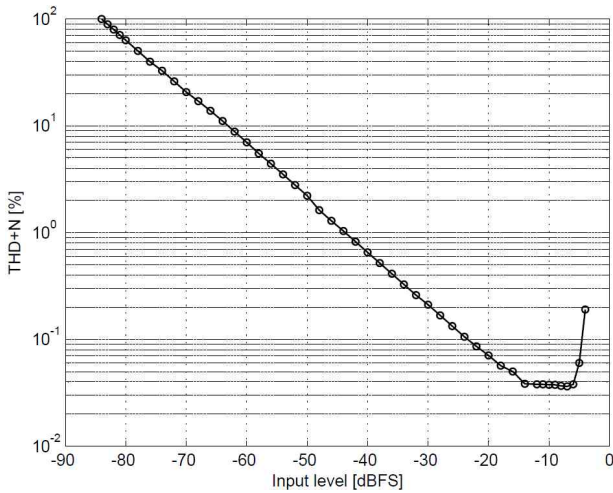


그림 10. 디지털 입력 신호의 크기에 따른 전고조파 왜율

Fig. 10. THD+N versus digital input level.

표 1. 성능 비교

Table 1. Performance comparison.

Performance	This work	[1]	[7]
Modulator architecture	Digital $\Sigma\Delta$ + Analog $\Sigma\Delta$ , Digital input	Analog $\Sigma\Delta$ , Analog input	Digital $\Sigma\Delta$ , Digital input
Technology	0.13 $\mu\text{m}$	0.18 $\mu\text{m}$	0.18 $\mu\text{m}$
Supply	1.2 V	3 V	1.8 V
DR	80 dB	-	-
THD	0.035%	0.022%	0.07%
Modulator power consumption	457 $\mu\text{W}$	7.7 mW	-
Output power	18.3 mW	33.5 mW	350 mW
Efficiency	73.8%	77%	76%
Load impedance	4 $\Omega$	32 $\Omega$	4.3 $\Omega$

#### IV. 결 론

본 논문에서는 휴대용 멀티미디어 기기를 위한 디지털 입력 신호를 받는 시그마-델타 변조 기반의 D급 오디오 증폭기를 제안하였다. 디지털 입력 신호를 처리하면서 동시에 파워 스위칭 단의 연속 시간 영역의 잡음 성분을 억제하기 위하여 스위치드-캐패시터 적분기와 능동-RC 적분기를 혼합한 적분기를 제안하였다. 제안된 오디오 증폭기는 4- $\Omega$ 의 부하 저항에서 80-dB의 입력 대역폭, 0.035-%의 전고조파 왜율, 73.6-%의 전력 효율을 가진다. 또한 전원 전압은 1.2V이고 아날로그

및 디지털 시그마-델타 변조기는 총 457-uW의 전력을 소모한다. 본 논문에서 제안한 D급 오디오 증폭기는 저전력을 필요로 하는 휴대용 멀티미디어 기기의 스피커를 구동하기 위한 증폭기로 사용될 것으로 기대되며 특히 디지털 오디오 프로세서와 직접 연결될 수 있기 때문에 비용 절감의 효과가 있다.

#### 참 고 문 헌

- [1] 강경식, 최영길, 노형동, 남현석, 노정진, "1-비트 4차 델타-시그마 변조기법을 이용한 Drmq 디지털 오디오 증폭기," 전자공학회논문지, 제45권 SD편, 제3호, 44-53쪽, 2008년 3월.
- [2] L. Zhang et al., "Real-time power supply compensation for noise-shaped class D amplifier," presented at the 117th AES Convention, San Francisco, CA, Oct. 2004.
- [3] M. Berkhout, "Integrated 200-W class-D audio amplifier," IEEE J. Solid-State Circuits, vol. 38, no. 7, pp. 1198-1206, Jul. 2003.
- [4] E. Gaalaas, B. Y. Liu, N. Nishimura, R. Adams, and K. Sweetland, "Integrated stereo  $\Sigma\Delta$  class D amplifier," IEEE J. Solid-State Circuits, vol. 40, no. 12, pp. 2388-2397, Dec. 2005.
- [5] 황진홍, 유창식, "IEEE 801.11a 무선랜을 위한 Active-RC 아날로그 채널 선택 필터," 전자공학회 논문지, 제43권 SD편, 제11호, 77-82쪽, 2006년 11월
- [6] J. Roh, S. Byun, Y. Choi, H. Roh, Y.-G. Kim, and J.-K. Kwon, "A 0.9-V 60- $\mu\text{W}$  1-bit fourth-order delta-sigma modulator with 83-dB dynamic range," IEEE J. Solid-State Circuits, vol. 43, no. 2, pp. 361-370, Feb. 2008.
- [7] J. Varona, A. A. Hamoui, and K. Martin, "A low-voltage fully-monolithic delta-sigma based class-D audio amplifier," in Proc. Eur. Solid-State Circuits Conf. (ESSCIRC), Sep. 2003, pp. 545-548.

— 저 자 소 개 —



**조 준 기**(학생회원)  
 2005년 한양대학교 전자전기  
 공학부 학사 졸업.  
 2007년 한양대학교 전자컴퓨터  
 통신공학과 석사 졸업.  
 2007년~현재 한양대학교  
 전자컴퓨터통신공학과  
 박사과정.

<주관심분야 : 아날로그 및 음성 신호 회로 설  
 계>



**노 진 호**(학생회원)  
 2007년 단국대학교 전자공학과  
 학사 졸업.  
 2009년~현재 한양대학교  
 전자컴퓨터통신공학과  
 석박사통합과정.

<주관심분야 : 아날로그 및 음성 신호 회로 설계,  
 Oversampling sigma-delta modulator 설계>



**정 태 성**(정회원)  
 2006년 한양대학교 전자전기  
 공학부 학사 졸업.  
 2008년 한양대학교 전자컴퓨터  
 통신공학과 석사 졸업.  
 2007년~현재 Hynix 반도체  
 Flash 개발사업부.

<주관심분야 : 시그마-델타 변조 ADC설계,  
 Flash memory 구동회로 설계>



**유 창 식**(정회원)  
 1992년 서울대학교 전자공학과  
 학사 졸업.  
 1994년 서울대학교 전자공학과  
 석사 졸업.  
 1998년 서울대학교 전자공학과  
 박사 졸업.

2008년~2009년 실리콘 이미지 (캘리포니아)  
 연구원  
 2002년~현재 한양대학교 전자컴퓨터통신공학과  
 부교수.

<주관심분야 : 유무선 통신용 음성 신호 회로 설  
 계>