

논문 2010-47SD-4-10

알루미늄 양극산화를 사용한 DRAM 패키지 기판

(DRAM Package Substrate Using Aluminum Anodization)

김 문 정*

(Moonjung Kim)

요 약

알루미늄 양극산화(aluminum anodization)의 선택적인 적용을 통하여 DRAM 소자를 위한 새로운 패키지 기판을 제작하였다. 에폭시 계열의 코어(core)와 구리의 적층 형태로 제작되는 일반적인 패키지 기판과는 달리 제안된 패키지 기판은 아래층 알루미늄(aluminum), 중간층 알루미나(alumina, Al_2O_3) 그리고 위층 구리(copper)로 구성된다. 알루미늄 기판에 양극산화 공정을 수행함으로써 두꺼운 알루미나를 얻을 수 있으며 이를 패키지 기판의 유전체로 사용할 수 있다. 알루미나층 위에 구리 패턴을 배치함으로써 새로운 2층 금속 구조의 패키지 기판을 완성하게 된다. 또한 알루미늄 양극산화를 선택적인 영역에만 적용하여 내부가 완전히 채워져 있는 비아(via) 구조를 구현할 수 있다. 패키지 설계 시에 비아 인 패드(via in pad) 구조를 적용하여 본딩 패드(bonding pad) 및 볼 패드(ball pad) 상에 비아를 배치하였다. 상기 비아 인 패드 배치 및 2층 금속 구조로 인해 패키지 기판의 배선 설계가 보다 수월해지고 설계 자유도가 향상된다. 새로운 패키지 기판의 주요 설계인자를 분석하고 최적화하기 위하여 테스트 패턴의 2차원 전자기장 시뮬레이션 및 S-파라미터 측정을 진행하였다. 이러한 설계인자를 바탕으로 모든 신호 배선은 우수한 신호 전송을 얻기 위해서 50 Ω의 특성 임피던스를 가지는 coplanar waveguide(CPW) 및 microstrip 기반의 전송선 구조로 설계되었다. 본 논문에서는 패키지 기판 구조, 설계 방식, 제작 공정 및 측정 등을 포함하여 양극산화 알루미늄 패키지 기판의 특성과 성능을 분석하였다.

Abstract

A new package substrate for dynamic random access memory(DRAM) devices has been developed using selective aluminum anodization. Unlike the conventional substrate structure commonly made by laminating epoxy-based core and copper clad, this substrate consists of bottom aluminum, middle anodic aluminum oxide and top copper. Anodization process on the aluminum substrate provides thick aluminum oxide used as a dielectric layer in the package substrate. Placing copper traces on the anodic aluminum oxide layer, the resulting two-layer metal structure is completed in the package substrate. Selective anodization process makes it possible to construct a fully filled via structure. Also, putting vias directly in the bonding pads and the ball pads in the substrate design, via in pad structure is applied in this work. These arrangement of via in pad and two-layer metal structure make routing easier and thus provide more design flexibility. In a substrate design, all signal lines are routed based on the transmission line scheme of finite-width coplanar waveguide or microstrip with a characteristic impedance of about 50 Ω for better signal transmission. The property and performance of anodic alumina based package substrate such as layer structure, design method, fabrication process and measurement characteristics are investigated in detail.

Keywords: Aluminum anodization, package substrate, transmission line, via in pad

I. 서 론

* 평생회원, 공주대학교 전기전자제어공학부
(Division of Electrical Electronics and Control Engineering, Kongju National University)

※ 본 논문은 2007년도 정부재원(교육인적자원부 학술 연구조성사업비)으로 한국학술진흥재단의 지원을 받아 연구되었음(KRF-2007-331-D00249).

접수일자: 2009년10월22일, 수정완료일: 2010년2월18일

최근 DRAM 제품의 소형화 및 고성능화 경향으로 인해 패키지 기판의 배선 밀도가 높아지고 고속 동작을 요구하고 있다. DRAM 칩의 2열(dual-in-line) 본딩 패드 배치에 대응하면서 신호 배선의 길이가 짧은 특성을

가지는 board on chip(BOC) 패키지가 개발되어 고속 동작이 요구되는 메모리 제품에 적용되어 왔다^[1~2]. 또한 지속적인 칩 사이즈 축소 및 전력소모 증가로 인해 최근 패키지에서 열 특성의 중요성이 점차 증가하고 있다.

BOC 패키지는 에폭시 계열의 코어 소재(FR4, BT 등)와 구리의 적층으로 구성되어 있으며, 드릴링(drilling) 등의 기계적 가공을 통해 비아(via) 구조가 형성된다^[1~2]. 반면에 본 논문에서는 비아 인 패드(via in pad) 구조가 적용된 패키지 기판을 제안한다. 새로운 기판 구조는 알루미늄(aluminum), 알루미나(alumina), 구리(copper)의 3 가지 소재로 구성되며 기존의 에폭시 코어를 두꺼운 알루미나가 대체하고 있다. 에폭시 계열의 소재에 비해 알루미나는 열전도도(FR4: 0.2 W/mK, alumina: 20 ~ 30 W/mK)가 뛰어나며 열팽창 계수(FR4: 12 ~ 16 ppm/°C, alumina: 6.5~6.7 ppm/°C) 또한 우수한 것으로 널리 알려져 있다.

알루미늄 양극산화 기술은 나노 기술 분야, 특히 매우 규칙적인 배열을 가지는 나노 크기의 다공성 알루미나 형성 과정에 사용되어져 왔다^[3~4]. 그러나 본 논문에서 알루미늄 양극산화 기술은 2층 금속 구조(구리층과 알루미늄층)를 가지는 DRAM 소자용 패키지 기판을 제작하는 과정에 사용된다.

일반적인 비아 제작 과정은 기계적인 드릴링 및 도금 공정이 필요로 하며 비아 내부가 비워진 구조를 가진다. 반면에 본 논문에서는 알루미늄 양극산화의 선택적인 적용을 통해 비아 내부가 완전히 채워져 있는 구조로 제작할 수 있다. 또한 패키지 설계 시에 본딩 패드 및 볼 패드 상에 비아를 배치함으로써 비아 인 패드 구조를 적용하였다. 이러한 비아 배치는 보다 높은 배선 밀도를 제공할 수 있는 장점을 가진다^[5~6].

본 논문에서는 알루미늄 양극산화 기반의 패키지 기판의 구조를 제안하고 이를 적용한 설계 방식, 제작 과정 및 측정 등을 포함하여 새로운 패키지 기판의 특성 및 성능을 분석하였다.

II. 패키지 기판 설계 및 제작

PC용 DRAM 패키지는 저가격 확보를 위해 1층 금속 구조를 기판으로 사용한다. 그러나 선택적인 알루미늄 양극산화 기술은 고밀도 2층 금속 구조를 가지는 새로운 패키지 기판의 제안 및 제작을 가능케 한다. 본 논문에서는 DDR2(Double Data Rate 2) DRAM 패키지를

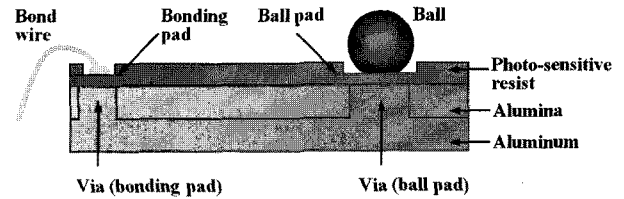


그림 1. 비아 인 패드 구조를 가진 양극산화 알루미늄 기판의 단면 구조

Fig. 1. Schematic cross-sectional view of the anodic aluminum substrate with vias in bonding pad and ball pad.

설계 대상으로 선정하여 양극산화 알루미늄 기판 제작에 적용하였다. 그림 1은 2층 금속 구조를 가진 양극산화 알루미늄 기판의 단면 구조를 보여주고 있다. 제안된 패키지 기판은 알루미늄 기판으로부터 양극산화 과정을 통해 형성되는 알루미나층과 도금 공정을 통한 구리층으로 형성된다. 배선 금속인 구리의 산화방지 및 물리적 보호를 위해 photo-sensitive resist(PSR)로 SU-8를 사용한다.

옥살산 계열의 전해액(oxalic acid-based electrolyte) 내에서 알루미늄 기판은 화학적 반응을 통하여 알루미나(alumina)를 형성하며, 수백 마이크로미터(μm)까지 성장할 수 있다^[7]. 알루미나는 패키지 기판에서 유전체의 역할을 하며, 양극산화 공정 과정에서 일부 영역(비아 영역)은 마스킹 물질로 보호되며 선택적인 영역에서만 알루미나층이 형성된다. 양극산화 과정에서 본 논문의 비아 구조가 저절로 형성되므로, 기존 패키지 기판 공정은 달리 추가 공정 없이 비아를 제작할 수 있는 장점을 가진다. 또한 내부가 비워져 있는 일반적인 비아 구조와는 달리 본 공정의 비아 내부는 알루미나층으로 완전히 채워져 있는 구조이므로 비아의 기생성분을 효과적으로 줄일 수 있다.

그림 1에서와 같이, 패키지 기판 설계에서 비아를 본딩 패드 및 볼 패드 바로 아래에 배치하였다. 이러한 비아 인 패드 설계를 적용함으로써 DRAM 패키지의 배선 설계가 보다 수월해진다. 제안된 패키지 기판은 2층 금속 구조를 적용하였기 때문에 본딩 패드에서 볼 패드까지의 신호 배선은 두 가지 경로로 형성된다. 구리층 배선과 알루미늄층/비아를 통한 전기적 배선 연결이 있다. 따라서 다양한 경로의 신호 배선 설계가 가능한 장점이 있다. 본 연구에서는 알루미늄층과 비아 인 패드 구조는 접지면(ground plane)에만 적용하여 전원선 설계를 단순화시켰다.

그림 2는 DDR2 DRAM 패키지용 양극산화 알루미늄 기판 설계도를 보여주고 있다. 패키지 기판 설계도는 2층(2-layer)으로 구성되며, 비아 인 패드에 의해 상하층이 전기적으로 연결된다. 또한 위층에는 2열(dual-in-line) 본딩 패드, 볼 패드, 신호 배선 등이 있으며, 아래층 전체는 접지면(VSSQ)으로 배치되었다. 보다 우수한 신호 전송을 확보하기 위해서 신호 배선은 약 50 Ω 의 특성 임피던스를 가지는 finite-width coplanar waveguide(CPW) 또는 microstrip의 전송선 구조로 설계되었다. 또한 특성 임피던스를 확보하기 위해 모든 신호 배선은 30 μm 의 폭을 가지며, 신호 배선간의 간격은 50 μm 로 설계되었다. 보다 짧은 current return path를 형성하기 위해서 모든 신호 본딩 패드 사이마다 전원면(VDDQ plane) 또는 접지면(VSSQ plane)을 배치한 interleave 설계 방식을 적용하였다. 따라서 모든 데이터(DQ) 신호 배선은 전원면 또는 접지면에 의해 둘러싸인 형태로 배치 및 설계되었다. 각 신호 배선의 기생성분(RLC)들이 일정한 범위 내에서 균일한 값을 유지하기 위해

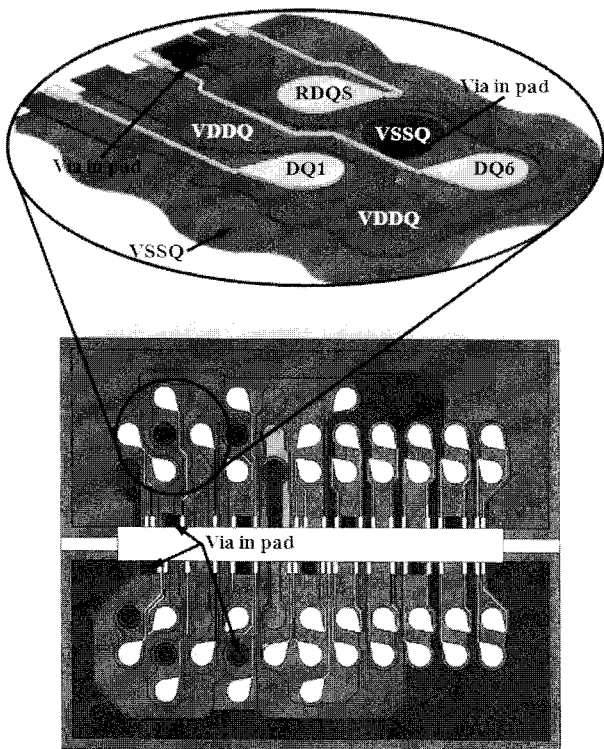


그림 2. 양극산화 알루미늄 기판의 설계도 및 비아 인 패드 구조 주변의 3차원 설계 상세도
 Fig. 2. Layer design of the anodic aluminum substrate and perspective projection around data pins with via in pad structure.

서 특정 값의 범위 내에서 모든 신호 배선의 길이를 조정하였다. 그림 2에서는 데이터 핀(pin) 주변에 배치된 비아 인 패드의 3차원 구조를 보여주고 있다. 비아 인 패드 구조는 본딩 패드와 볼 패드 모두에 적용되었다. 이러한 비아 인 패드의 적절한 배치는 current return path를 줄여서 power delivery network(PDN) 특성을 개선할 수 있다^[8].

그림 3은 양극산화 알루미늄 기판의 제작 과정을 보여주고 있다. 그림 3(a)에서 보듯이, 먼저 양극산화 알루미늄 영역이 정의된다. 양극산화가 진행되는 않는 영역(비아 영역)은 실리콘 질화막(silicon nitride)으로 보호된다. 옥살산 계열의 전해액(oxalic acid-based electrolyte) 내의 알루미늄 기판 상에서 양극산화가 선택적으로 발생하고 두꺼운 알루미늄산화물(anodic alumina)이 형성된다. 그림 3(b)에서와 같이 실리콘 질화막(silicon nitride)으로 보호된 영역은 양극산화가 되지 않으므로 알루미늄이 선택적으로 남게 되며, 이러한 알루미늄 기둥을 본 연구에서는 내부가 채워진 비아(solid via)로 사용한다. 따라서 양극산화 과정에서 동시에 비아가 형성된다. 다음으로 그림 3(c)에서 보듯이 구리 도금 공정(Cu/Ni/Au)이 진행되어 신호 배선이 형성된다. 마지막으로 솔더 레지스트(SU-8)를 도포하여 보호막을 형성한다. SU-8의 감광 특성(photosensitive property)

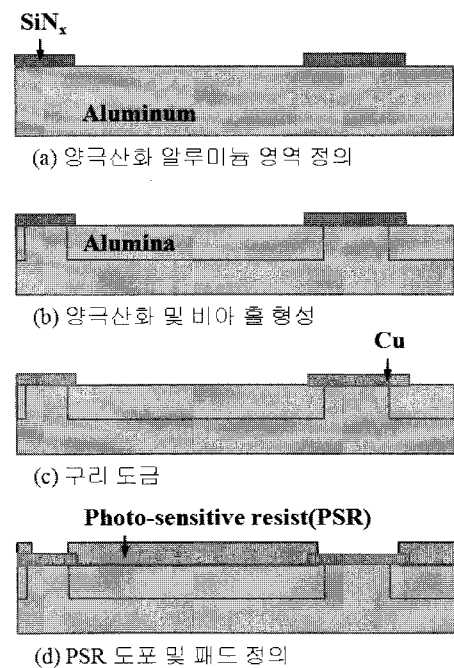


그림 3. 양극산화 알루미늄 기판의 제작 과정
 Fig. 3. Process flow for fabricating the anodic aluminum substrate.

을 사용하여 패드 오픈(pad open)영역을 정의함으로써 패키지 기판 제작을 완료한다.

그림 4는 본딩 패드 주변에 형성된 비아 인 패드의 단면 SEM 사진을 보여주고 있다. 비아 내부가 알루미늄으로 완전히 채워져 있는 것을 확인할 수 있으며, 패드 바로 아래에 비아가 형성되는 비아 인 패드 구조가 명확히 확인되었다. 따라서 내부가 비워져 있는 기존의 비아 구조와는 달리 본 연구의 비아 구조는 내부가 알루미늄으로 채워져 있어 비아 기생 저항 및 기생 인덕턴스(inductance)를 효과적으로 줄일 수 있다. 또한 비아 인 패드의 적용을 통해 기존 설계에 비해 비아 면적을 효과적으로 줄일 수 있음으로 배선 밀도가 개선되고 배선 설계를 보다 쉽게 수행할 수 있게 된다. 그림 4에서 알 수 있듯이, 양극산화 과정을 통해 형성된 알루미늄 나층의 두께는 약 90 μm 이며, 신호 배선의 두께는 대략

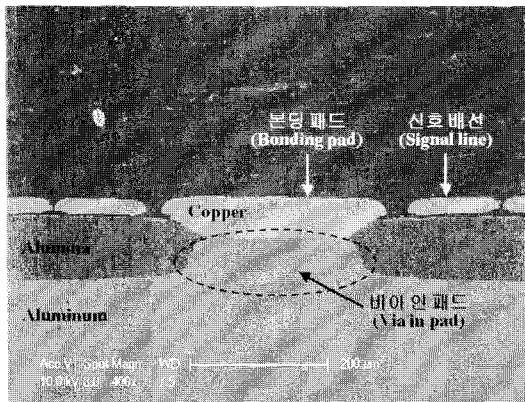


그림 4. 비아 인 패드 구조의 단면 SEM 사진
Fig. 4. Cross-sectional SEM photograph of the via in pad structure.

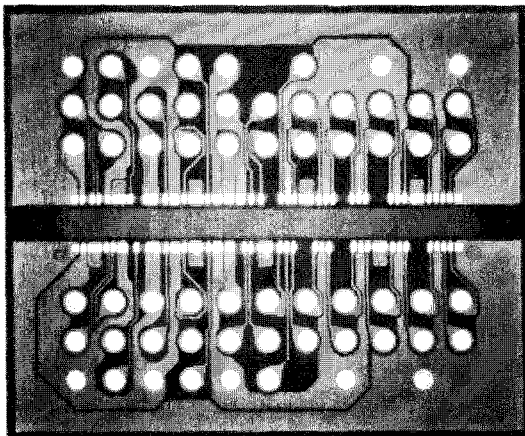


그림 5. 제작된 양극산화 알루미늄 기판의 사진
Fig. 5. Photograph of the fabricated anodic aluminum substrate.

20 μm로 확인되었다. 그림 5는 제작된 양극산화 알루미늄 기판을 보여주고 있다. 기판 크기는 9 × 11 mm² 이며 60개의 볼 패드를 가지고 있다.

III. 결과 및 고찰

DRAM 패키지 사양에서는 각 신호 핀에 해당하는 입출력 커패시턴스의 구체적인 값을 규정해 놓고 있으며, 설계 및 검증 과정에서 이러한 값들을 충족시켜야 한다^[9]. 본 연구에서 모든 신호 핀은 대략 0.5 pF 이하의 기준 커패시턴스 값을 만족할 수 있도록 설계되었다. 패키지 기판 설계 단계 이후에 진행된 post-layout 시뮬레이션 과정을 통해 커패시턴스 사양(capacitance specification)을 만족하고 있는지 여부를 검증하였다. 그림 6은 양극산화 알루미늄 기판 상의 모든 데이터 신호 배선(DQ)의 셀프 커패시턴스(self capacitance)와 루프 인덕턴스(loop inductance) 계산값을 보여주고 있다. 계산 과정에는 널리 적용되고 있는 3차원 전자장 시뮬레이션 툴(Ansoft Q3D)을 사용하였다. 모든 신호 배선의 커패시턴스와 인덕턴스 값의 변동을 줄여서 일정한 범위 내에서 균일한 값을 유지하기 위해서 패키지 기판 설계 단계에서 각 신호 배선의 길이는 조정되었다. 이로 인해 그림 6에서 보듯이 셀프 커패시턴스는 0.4 pF 을 기준으로 그리고 루프 인덕턴스는 1.0 nH를 기준으로 일정한 범위 내에서 큰 변동 없이 분포하고 있다. DQ4 핀에서부터 DQ7 핀까지의 셀프 커패시턴스와 루프 인덕턴스가 다른 핀들의 값보다 큰 이유는 상기 핀들의 볼 패드가 패키지 기판의 바깥쪽에 위치하고 있어 신호 배선의 경로가 더 길기 때문이다.

패키지 및 시스템 설계 과정에서 패키지 기생성분(RLC) 분석은 중요한 의미를 가진다. 패키지 기생성분 분석 과정에서 중요 사항 중 하나는 신호 배선의 전기적 모델을 구성하는 것이다. 이러한 모델 형성 과정에서는 패키지의 물리적 특징과 물성을 정확하게 고려하여야 한다. 저주파 영역에서 패키지 기생성분을 분석하기 위한 목적으로 lumped-element model이 널리 사용되어져 왔다. 상기 모델의 파라미터는 분석적 또는 경험적 수식에 기초하여 추출할 수 있다^[10-11]. 본 연구에서는 셀프 커패시턴스와 루프 인덕턴스를 다음과 같은 수식을 통하여 추출하였다.

$$Y = \frac{1}{Z_0} \left(\frac{1 - S_{11}}{1 + S_{11}} \right) = G + j\omega C, \tag{1}$$

$$C = \frac{\text{Im}(Y)}{\omega} \quad (\text{Open condition})$$

$$Z = Z_0 \left(\frac{1 + S_{11}}{1 - S_{11}} \right) = R + j\omega L, \tag{2}$$

$$L = \frac{\text{Im}(Z)}{\omega} \quad (\text{Short condition})$$

여기서 Z_0 는 측정 장비의 특성 임피던스이다. 개방 조건(open condition) 하에서 신호 배선은 커패시턴스(C)와 컨덕턴스(G)로 모델링되었으며, 단락 조건(short condition) 하에서는 저항(R)과 인덕턴스(L)로 전기적 모델을 구성하였다. 상기 수식을 바탕으로 1-포트(port) S-파라미터 측정을 통하여 DQ6 핀의 기생성분을 추출하였다(DQ6 핀의 위치는 그림 2 참조). DQ6 본딩 패드와 VSSQ 본딩 패드 사이의 개방 및 단락 조건 하에서 S_{11} 파라미터가 두 핀의 볼 패드 영역에서 측정되었다. 인접한 두 핀 사이의 단락 조건을 수행하기 위해 양쪽 본딩 패드 사이(간격 40 μm)를 금선(gold wire)으로 상호 연결시켰다(금선 길이: 약 200 μm 이하). 금선의 길이는 전체 current loop size(약 4.3 mm)에 비해 매우 짧기 때문에 금선의 기생성분은 루프 인덕턴스 계산 시에 생략할 수 있다. 각각의 조건 하에서의 S_{11} 파라미터로부터 Y-파라미터와 Z-파라미터를 계산하였다. 그림 7은 상기 파라미터로부터 추출한 셀프 커패시턴스와 루프 인덕턴스를 보여주고 있다. 일반적으로 도체의 커패시턴스와 인덕턴스는 주파수에 무관하게 일정한 값을 가지는 것으로 알려져 있다^[12]. 그림 7에서 보듯이 DQ6

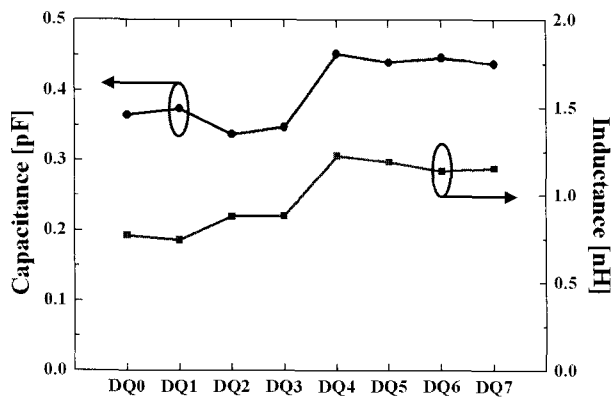


그림 6. 3차원 전자장 시뮬레이션을 사용한 데이터 핀의 셀프 커패시턴스와 루프 인덕턴스 계산값
 Fig. 6. Calculated self capacitance and loop inductance of the data pins using 3 dimension electromagnetic simulation.

핀의 셀프 커패시턴스와 루프 인덕턴스는 주파수에 대해 거의 일정한 값을 가짐을 알 수 있다. DQ6 핀의 셀프 커패시턴스 및 루프 인덕턴스 측정값은 그림 6의 계산값과의 비교를 통해 대략 10 % 내의 오차가 발생하는 것으로 확인되었다.

신호 배선의 특성 임피던스를 분석하기 위해서 2-포트 S-파라미터 측정을 진행하였다. DQ6 및 VSSQ의 볼 패드와 본딩 패드 각각에 고주파용 프로브(probe)를 점점 시킨 후, S-파라미터를 측정하였다. 네트워크 분석기(Agilent E5071B)의 calibration 과정에서 측정 부품(케이블 및 프로브)의 모든 기생성분은 디임베딩(deembedding)하였다. 그림 8은 DQ6 핀의 특성 임피던스를 보여주고 있다. 특성 임피던스는 동작 주파수 범위 내에서 약 50 Ω 의 일정한 값을 가지고 있다. 따라서

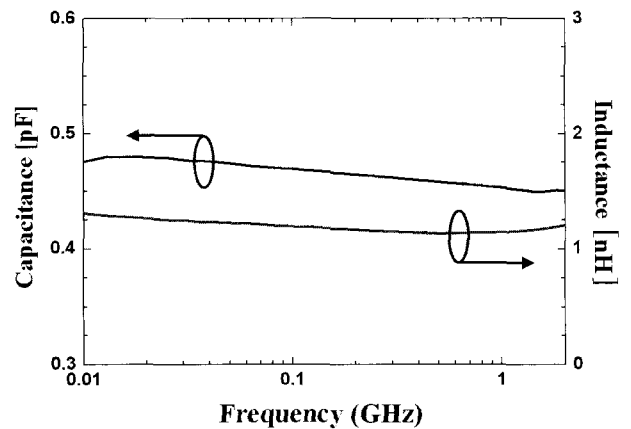


그림 7. 1-포트 S-파라미터 측정을 통한 DQ6 핀의 셀프 커패시턴스와 루프 인덕턴스
 Fig. 7. Parasitics extracted from DQ6 pin using 1-port S-parameter measurement.

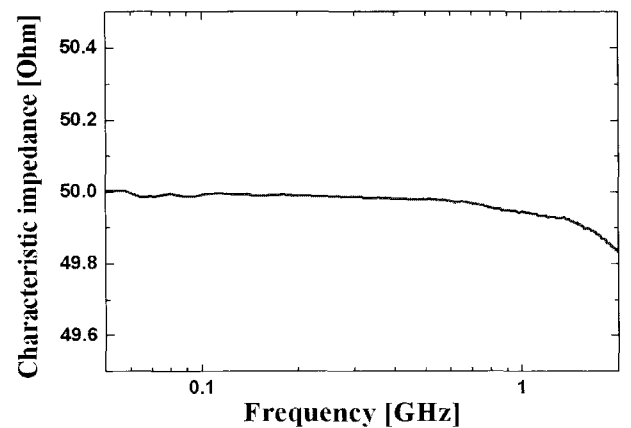


그림 8. 2-포트 S-파라미터 측정을 통한 DQ6 핀의 특성 임피던스
 Fig. 8. Characteristic impedance of DQ6 pin using 2-port S-parameter measurement.

그림 8의 결과를 통해 패키지 기판 설계 과정에서 적용한 특성 임피던스와 일치함을 확인하였다.

IV. 결 론

본 논문에서는 새로운 DRAM 패키지 기판을 제안하였으며, 알루미늄의 양극산화 기술을 적용하여 DDR2 DRAM 패키지 기판을 성공적으로 제작하였다. 알루미늄 양극산화의 선택적인 적용을 통해 내부가 완전히 채워진 비아 구조를 형성하였고 또한 추가 공정 없이 2층 금속 구조가 구현되었다. 패키지 설계 시에 본딩 패드 및 볼 패드 상에 비아를 배치함으로써 비아 인 패드 구조를 적용하였다. 이로 인해 기존 설계에 비해 비아 면적을 효과적으로 줄일 수 있으므로 배선 밀도가 개선되고 배선 설계를 보다 쉽게 수행할 수 있다.

모든 신호 핀은 대략 0.5 pF 이하의 기준 커패시턴스 값을 만족할 수 있도록 설계되었으며, 1-포트 S-파라미터 측정을 통해 셀프 커패시턴스 및 루프 인덕턴스를 추출하였다. DQ6 핀의 셀프 커패시턴스와 루프 인덕턴스 측정값은 계산값과의 비교를 통해 오차가 대략 10 % 범위 내인 것으로 확인되었다. 신호 배선의 특성 임피던스를 분석하여 동작 주파수 범위 내에서 약 50 Ω의 일정한 값을 가짐을 검증하였고 패키지 기판 설계 과정에서 적용한 특성 임피던스와 일치함을 확인하였다.

참 고 문 헌

- [1] C. K. Yew et al., "Board on chip-ball grid array (BOC-BGATM) package - A new design for high frequency application (package design and reliability)," in *Proc. Electron. Components Technol. Conf.*, pp. 353 - 357, 1997.
- [2] W. Koh, "Memory device packaging - from leadframe packages to wafer level packages," in *Proc. High Density Microsystem Design and Packaging and Component Failure Analysis*, pp. 21 - 24, 2004.
- [3] H. Pan et al., "Electrical-bridge model on the self-organized growth of nanopores in anodized alumina oxide," *IEEE Trans. Nanotechnol.*, Vol. 3, no. 4, pp. 462 - 467, 2004.
- [4] S. H. Jeong and K. H. Lee, "Field emission properties of low-density carbon nanotubes prepared on anodic aluminum-oxide template,"

Journal of the Korean Physical Society, Vol. 45, no. 2, pp. 252-255, 2004.

- [5] G. Ramakrishna et al., "Micro-scale plasticity effects in microvia reliability analysis," in *Proc. Electron. Components Technol. Conf.*, pp. 1304 - 1309, 2002.
- [6] F. X. Che and J. E. Luan, "Effect of microstructure design on reliability of FBGA lead-free solder joints," in *Proc. Microelectronics and Packaging Conference*, pp. 1 - 6, 2009.
- [7] W. J. Bernard and S. M. Florio, "Anodic Oxide Growth on Aluminum in the Presence of a Thin Thermal Oxide Layer," *J. Electrochem. Soc.*, Vol. 134, pp. 1205-1211, 1987.
- [8] J. Zhao, J. Zhang, and J. Fang, "Effects of power/ground via distribution on the power/ground performance of CA/BGA packages," in *Proc. Electrical Performance of Electronic Packaging*, pp. 177 - 180, 1998.
- [9] Samsung 1Gb DDR2 SDRAM datasheet, input/output capacitance, www.samsung.com.
- [10] J. Jeong et al., "Electrical characterization of ball grid array packages from S-parameter measurements below 500 MHz," *IEEE Trans. Adv. Packag.*, Vol. 22, no. 3, pp. 343 - 347, 1999.
- [11] C. T. Tsai, "Package inductance characterization at high frequencies," *IEEE Trans. Components, Packaging and Manufacturing Technology, Part B*, Vol. 17, no. 2, pp. 175 - 181, 1994.
- [12] Y. Eo and W. R. Eisenstadt, "High-speed VLSI interconnect modeling based on S-parameter measurements," *IEEE Trans. Components, Packaging and Manufacturing Technology*, Vol. 16, no. 5, pp. 555 - 562, 1993.

저 자 소 개



김 문 정(평생회원)

1997년 경북대학교 전자공학과
학사졸업

1999년 한국과학기술원 전기 및
전자공학과 석사졸업

2003년 한국과학기술원 전기 및
전자공학과 박사졸업

2003년~2006년 삼성전자 메모리사업부
책임연구원

2006년~현재 공주대학교 전기전자제어공학부
조교수

<주관심분야 : DRAM package, system in
package, signal integrity>