

논문 2010-47TC-4-1

# CIC 데시메이션 필터를 이용한 Sigma-Delta A/D 변환기 이득 최적화 방식

( New Gain Optimization Method for Sigma-Delta A/D Converters  
Using CIC Decimation Filters )

장진규\*, 장영범\*\*

( Jin Kyu Jang and Young Beom Jang )

## 요약

이 논문에서는 Sigma-Delta A/D 변환기의 새로운 이득 최적화 방식을 제안한다. 제안된 방식에서는 변조기의 SNR을 최대화하는 다수개의 이득 값 후보군을 먼저 선정한 후에 CIC 데시메이션 필터를 통과시켜 가장 작은 MSE를 보이는 이득 값을 결정하는 방식이다. 실험에 사용된 변조기는 단순화를 위하여 1차의 단일 비트 변조기를 사용하였다. 모의실험을 통하여 변조기의 후보군 중 2위를 기록한 이득 값이 가장 작은 MSE를 보였다. 제안된 방식은 변조기의 SNR을 최대화하는 기존의 아이디어와 데시메이션 필터로 사용되는 CIC 필터의 샘플 합 특성을 이용하여 최적의 이득 값을 결정하는 방식이다.

## Abstract

In this paper, we propose a new gain optimization technique for Sigma-Delta A/D converters. In the proposed scheme, multiple gain set candidates showing maximum SNR in the modulator block are selected, and then multiple gain set candidates are investigated for minimum MSE in decimation block. Through CIC decimation filter simulation, it is shown that second SNR ranking candidate in modulation block is the best gain set.

**Keywords :** Sigma-Delta modulator, Oversampling, CIC(Cascaded Integrator Comb) filter, SNR, MSE

## I. 서론

다양한 방식의 무선통신 서비스가 활발해짐에 따라 많은 양의 데이터를 빠른 속도로 보내야 하므로 높은 데이터 율을 갖는 A/D 변환기의 필요성이 증대되고 있다. A/D 변환기의 종류는 각 스테이지의 일괄 동작으로 고속 변환이 가능하고 고주파 신호에 대한 광범위한 *dynamic range*를 제공하는 pipeline A/D 변환기, 높은

주파수의 신호를 변환할 때 사용하는 Flash A/D 변환기, 속도는 느리지만 내부구조가 비교적 간단하여 데이터 인식에 주로 사용되는 Successive approximation A/D 변환기, 그리고 Oversampling 방식으로 고해상도를 나타낼 수 있고 디지털 오디오용으로 많이 사용되는 Sigma-Delta A/D 변환기로 나뉠 수 있다.<sup>[1~2]</sup>

최근에는 통신용 시스템 반도체에서도 Sigma-Delta A/D 변환기가 활발히 연구되고 있다. Sigma-Delta A/D 변환기는 Oversampling으로 주파수 영역이 넓어지기 때문에 anti-aliasing 필터를 설계하지 않아도 되며, noise shaping 기법으로 인해 신호 대역 안에 있는 잡음을 신호 대역 밖으로 밀어내기 때문에 높은 SNR을 얻어 고해상도로 구현할 수 있는 장점이 있다.

Sigma-Delta A/D 변환기는 주로 아날로그 회로로

\* 학생회원, 상명대학교 컴퓨터정보통신공학과  
(Graduate School, Sangmyung University)

\*\* 정회원, 상명대학교 공과대학 정보통신공학과  
(College of Engineering, Sangmyung University)

※ 이 논문은 2009년도 상명대학교 융·복합 집적화 연구과제 지원에 의하여 연구되었음.

접수일자: 2009년10월19일, 수정완료일: 2010년4월13일

구성되는 변조기(modulator)와 디지털 집적회로인 데시메이션 회로(decimation circuits)로 구성된다. 지금까지의 연구는 변조기와 데시메이션 회로에 대하여 각각 독립적으로 연구되어 왔다. 특히 Sigma-Delta 변조기에 대한 연구는 이득 최적화 연구가 활발히 진행되었다.<sup>[3~4]</sup> 또한 데시메이션 회로에 대한 효율적인 설계 방식도 많은 연구가 진행되었다.<sup>[5~7]</sup>

그러나 이 논문에서는 변조기의 이득 최적화를 위하여 데시메이션 회로를 연동하여 시뮬레이션하는 방식을 제안한다. 즉 변조기와 데시메이션 회로의 통합연구를 통하여 더 나은 Sigma-Delta A/D 변환기를 설계할 수 있음을 보인다.

II장에서는 Sigma-Delta A/D 변조기의 시간영역의 해석에 대하여 알아보고, III장에서는 제안된 변조기의 이득 최적화 방식에 대하여 기술하며, IV장에서는 제안된 방식에 대한 시뮬레이션 결과를 살펴보고 V장에서 결론을 맺는다.

### II. 제안된 Sigma-Delta A/D 변환기 블록도

Sigma-Delta A/D 변환기는 그림 1과 같이 Oversampling 회로로 이루어진 Sigma-Delta 변조기와 이에 대한 1 bit data stream의 높은 샘플링 속도를 낮은 샘플링 속도(Nyquist rate)의 데이터 열로 변환시키는 데시메이션 회로로 구성되어 있다.

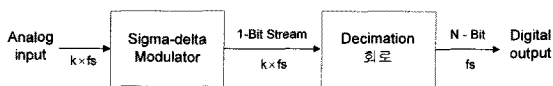


그림 1. Sigma-Delta A/D 변환기 블록도  
Fig. 1. Block diagram of Sigma-Delta A/D Converter.

#### 1. Sigma-Delta 변조기

Sigma-Delta 변조기는 아날로그 입력을 디지털 펄스로 변환하는 데이터 변환기로서 이때 디지털 펄스의 평균값이 아날로그 입력 값의 평균값과 같도록 펄스를 발생시키는 제어형 발전회로인 PCM(Pulse Coded Modulation)과 상응하는 회로이다.<sup>[8]</sup> 이 논문에서는 1차의 단일 비트 구조를 사용하여 이득 최적화 방식을 제안하도록 한다. 따라서 이 논문에서 사용한 변조기 블록의 구조는 그림 2와 같이 적분기(integrator), 비교기(comparator), Latch, 그리고 1비트 DAC로 구성된다.

아날로그 입력 신호와 Negative 피드백을 통한 1 bit

D/A 변환기의 출력의 차가 적분기를 통과한다. 적분기의 출력이 양(+)인 구간에서는 비교기 출력은 “1”이 되고 음(-)인 구간에서는 “0”이 된다. 변조기의 유일한 디지털 회로인 Latch는 비교기의 출력을 클럭에 동기화시

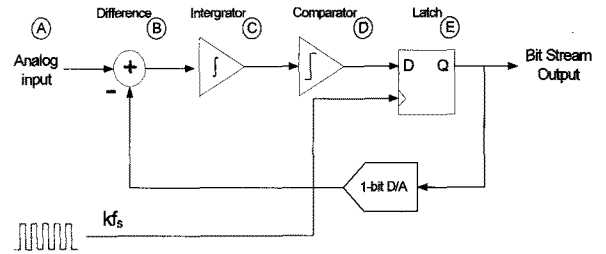


그림 2. Sigma-Delta Modulator의 블록도  
Fig. 2. The Block Diagram of Sigma-Delta Modulator.

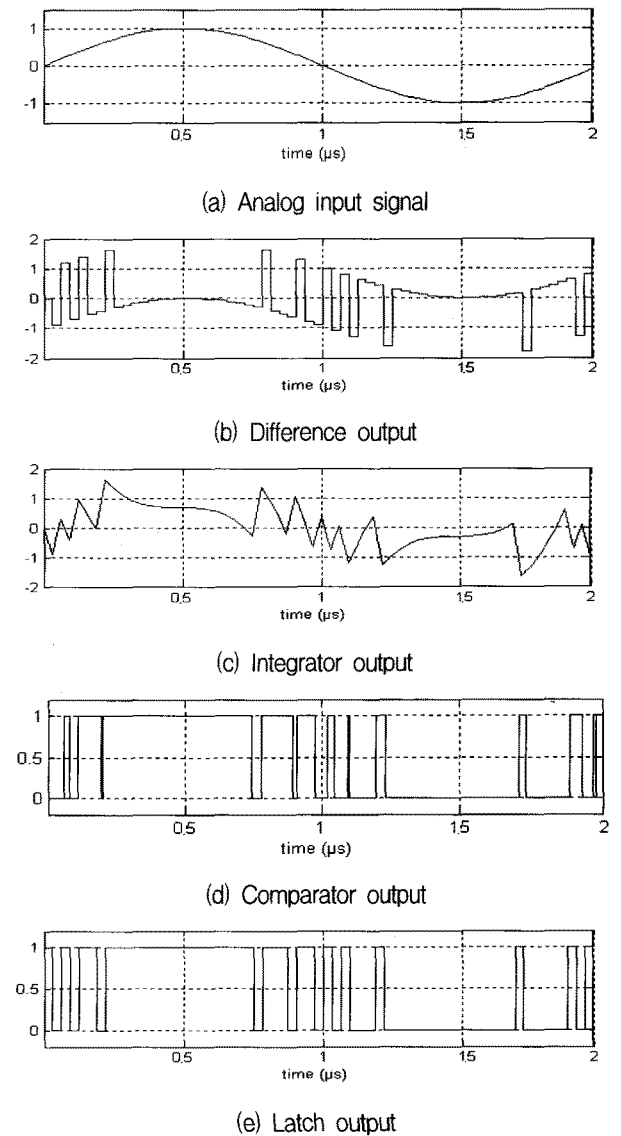


그림 3. Sigma-Delta Modulator의 출력 파형  
Fig. 3. The Output waveform of Sigma-Delta Modulator.

키기 위한 회로이다. 이 Latch의 출력인 1과 0의 bit stream이 데시메이션 회로로 입력된다.

이 bit stream은 1 bit로 출력됨과 동시에 피드백 루프를 통해 1 bit D/A 변환기의 입력으로 들어가며 1 bit D/A 변환기는 디지털 값 1이 입력되면  $+V_{ref}$  값으로 출력되고, 디지털 값 0이 입력되면  $-V_{ref}$  값으로 출력된다. Matlab을 이용하여 그림 2의 각각의 노드에 대한 출력 파형을 나타내면 그림 3과 같다.

그림 3의 실험에 사용된 아날로그 입력은  $-1V \sim 1V$ , 0.5 MHz 주파수의 sin 파 한 주기를 사용하였으며 그림 3(a)와 같다. 이 실험에서 아날로그 입력신호의 최대 주파수는 1 MHz로 가정하였다. 따라서 Nyquist 샘플링 주파수는 2 MHz이며 Nyquist 샘플링인 경우에는 그림 3(a)의 0.5 MHz의 한 주기 내에서는 4번의 샘플링이 발생하여야 한다. 또한 이 실험에서 OSR(Over Sampling Ratio)을 16으로 설정하였다. 따라서 Sigma-Delta 변조기의 샘플링주파수는 32 MHz가 되며 그림 3의 0.5 MHz의 한 주기 내에서는 (b)에서 보듯이 64개의 샘플링이 발생한다. 이 실험에서 빨샘기 출력과 적분기 출력은 각각 그림 3의 (b)와 (c)와 같다. 비교기는 그림 3(c)의 신호를 입력신호로 받아 (d)와 같은 신호를 출력한다. 즉 (c)의 양의 부분은 1로 출력되며 음의 부분은 0으로 출력된다. 비교기의 출력을 클럭에 동기시키기 위하여 마지막으로 Latch를 사용하며 출력신호는 그림 3(e)와 같다. 이 신호는 1-bit D/A를 통하여 1은  $+V_{ref}$ 로 0은  $-V_{ref}$ 로 변환되어 빨샘기로 피드백된다.

## 2. Decimation 회로

Oversampling 방식의 Sigma-Delta A/D 변환기의 데시메이션 회로는 기저대역(baseband)으로 앨리어싱 되는 양자화 잡음을 제거하고 1 bit data stream의 높은 샘플링 속도를 낮은 샘플링 속도의 데이터 열로 변환시키는 기능을 수행한다. 그림 4는 데시메이션 회로의 블록도이다.

그림 4에서 보듯이 데시메이션 회로는 저역통과 필터와 데시메이터로 구성된다. Sigma-Delta A/D 변환기

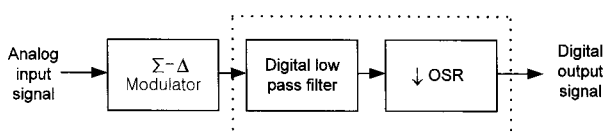


그림 4. Decimation 회로의 블록도  
Fig. 4. Block diagram of Decimation circuits.

용 데시메이션 필터는 일반적으로 CIC(Cascaded Integrator Comb) 필터<sup>[9]</sup>와 HBF(Half Band Filter)를 멀티 스테이지로 구성하여 사용한다.

## III. 제안된 이득 최적화 방식

### 1. 설계사양

Sigma-Delta 변조기의 구조는 단일 비트와 멀티 비트 구조가 있다. 이 논문에서는 선형성이 뛰어난 단일 비트 구조를 사용하여 이득 최적화 설계 방식을 제안하도록 한다. 또한 Sigma-Delta 변조기는 단일 스테이지 구조와 변조기를 cascade로 연결하여 사용하는 멀티 스테이지 구조로 나눌 수 있는데 이 논문에서는 변조기와 데시메이션 회로의 공동 시물레이션을 위하여 변조기의 구조가 단순화되어야 하므로 1차의 단일 스테이지를 채택하였다. 따라서 이 논문에서 이득 최적화 방식을 유도하는데 사용한 사양은 다음과 같다.

<Sigma-Delta A/D 변환기 설계사양>

1. 입력신호 최대주파수 : 1 MHz ( $-1V \sim 1V$ )
2. OSR : 16
3. 샘플링주파수 : 32 MHz
4. 단일 비트 변조기 구조
5. 1차의 단일 스테이지 변조기 구조
6. 2차 CIC 데시메이션 필터 구조
7. HBF 사용하지 않음

### 2. Sigma-Delta 변조기 설계

설계하여야 할 Sigma-Delta 변조기는 그림 5와 같다. 그림 5에서 보듯이 변조기는 이득 a, b, c를 최적화하여 양자화 에러를 최소화하도록 설계하여야 한다.

그림 5에서 sin 파를 입력시켜서 변조기의 출력을 관찰해보도록 한다. 이 실험에 사용한 입력신호는 그림 6(a)와 같은 50 KHz, 1 V 진폭의 sin 파이다. 이 입력신호에 대한 변조기 출력 bit stream은 그림 6(b)와 같다.

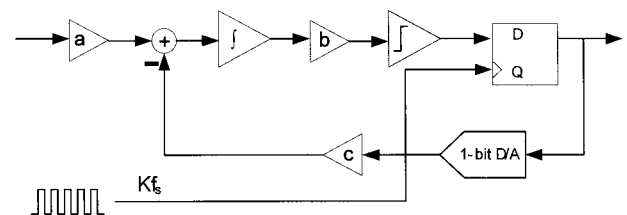
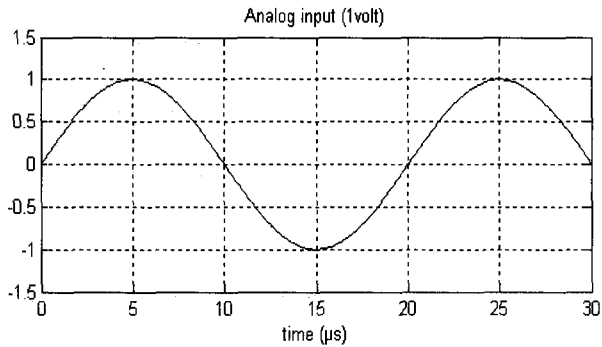
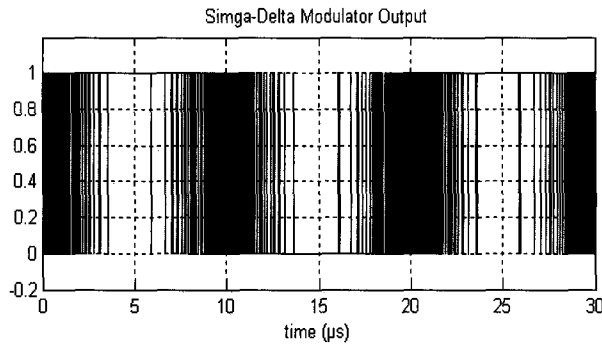


그림 5. 실제 1차 Sigma-Delta A/D 변조기  
Fig. 5. Practical structure of Sigma-Delta A/D modulator.



(a) Analog input (1 Volt)



(b) Sigma-Delta modulator output

그림 6. 변조기의 입력과 출력신호의 파형  
 (a) 입력 sin 파(50 KHz, 1V), (b) 출력 bit stream  
 Fig. 6. Input and output of modulator (input sin wave (50 KHz, 1V), (b) output bit stream.

그림 6(a)의 50 KHz, 1.5 주기의 sin 파 신호에 대하여 6(b)의 변조기 출력은 960개가 된다.

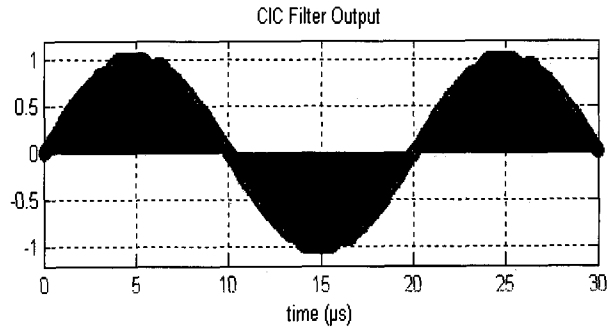
변조기의 출력은 아날로그 신호의 크기를 16개에 대한 1(-)의 수로 변환시키게 된다. 따라서 640개의 샘플마다 샘플 값의 변화가 -16~16 사이로 sin 파와 같은 형태로 변화하는 것을 알 수 있다.

### 3. 데시메이션 필터 설계

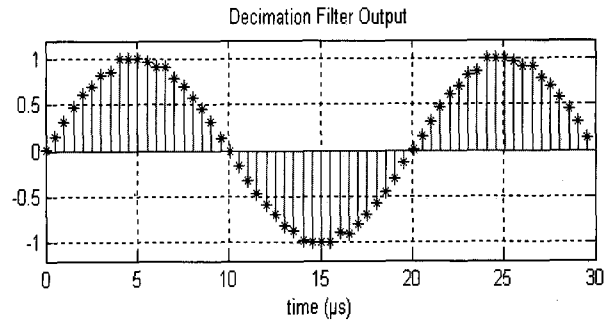
Sigma-Delta A/D 변환기의 데시메이션 필터는 일반적으로 CIC 필터와 HBF의 멀티 스테이지로 구성된다. 그러나 이 논문에서는 변조기와 데시메이션 필터의 관계를 단순화하여 시뮬레이션 하기 위하여 데시메이션 필터로서 CIC 필터만 사용한다. CIC 필터의 전달함수는 다음과 같다.

$$H(z) = \left( \frac{1}{M} \frac{1-z^{-M}}{1-z^{-1}} \right)^L = \left( \frac{1}{16} \frac{1-z^{-16}}{1-z^{-1}} \right)^2 \quad (1)$$

1차의 변조기를 사용하였으므로 CIC 필터의 차수는  $L=2$ 를 사용하였으며, OSR이 16이므로 필터의 데시메



(a) CIC 필터 출력



(b) 데시메이터 출력

그림 7. 50 KHz sin 파 신호에 대한 CIC 데시메이션 회로 출력  
 Fig. 7. CIC decimation circuits output for 50 KHz sin wave input.

이션 인수는  $M=16$ 을 사용하였다. 식 (1)의 Recursive 형을 Non-recursive 형의 CIC 필터로 나타내면 다음과 같다.

$$H(z) = \left( \frac{1}{16} \frac{1-z^{-16}}{1-z^{-1}} \right)^2 = \left( \frac{1}{16} \sum_{i=0}^{15} z^{-i} \right)^2 \quad (2)$$

식 (2)에서 보듯이 CIC 필터는 항상 과거 16개 샘플의 합을 출력으로 내보냄을 알 수 있다.

1 V 진폭의 sin 파에 대한 그림 6(b)의 변조기 출력을 2차의 CIC 필터와 16의 데시메이터를 통과시킨 각각의 출력은 그림 7과 같다.

지금까지의 연구에서는 변조기의 회로만을 시뮬레이션하여 이득 a, b, c를 최적화하였다. 즉, 변조기의 SNR을 최대로 만드는 이득 a, b, c를 구하는 것이 변조기 설계의 최적화였다. 이 논문에서는 그림 6(a)의 50 KHz의 아날로그 sin 파 입력신호에 대한 그림 7(b)의 데시메이션 회로의 출력 값이 아날로그 입력신호와 가장 일치하도록 하는 a, b, c의 값을 구하는 방식을 제안한다. 제안된 방식은 먼저 기존의 이득 최적화 방식을 사용하여 50 KHz의 입력신호의 SNR을 최대로 하는 이득 a,

b, c의 다수개의 후보를 찾는다. 이렇게 구한 다수개의 후보에 대하여 각각 CIC 필터를 통과시킨 후 가장 좋은 MSE 결과를 보인 후보를 최적의 이득으로 결정한다. 제안된 방식을 요약하면 다음과 같다. 제안 방식의 실험을 단순화하기 위해 이 논문에서는 10개의 후보를 선발하기로 한다.

<제안된 이득 최적화 방식>

1. 변조기 이득 최적화 후보 결정: 변조기의 SNR을 최대화하는 이득 후보 1위부터 10위까지 10개의 후보 결정
2. 각각의 후보에 대하여 다음의 실험
  - 2-1. 각각의 후보를 데시메이션 회로에 입력
  - 2-2. 각각의 후보에 대한 데시메이션 회로의 출력을 구함
  - 2-3. 데시메이션 회로의 출력을 1로 정규화
  - 2-4. MSE 계산
3. 각각의 후보에 대한 2의 실험을 통하여 가장 작은 MSE를 보인 최적의 이득 a, b, c를 결정

이와 같이 얻어진 이득 a, b, c의 값이 실제 Sigma-Delta A/D 변환기의 양자화 에러를 최소화하는 최적 설계가 될 것이다. CIC 필터의 차수는 2로 하고 데시메이션 인수는 16으로 설정한 CIC 필터를 Recursive 형으로 구현하면 그림 8과 같다.

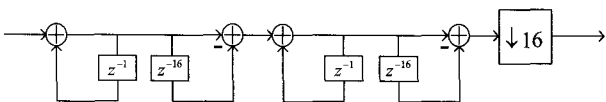


그림 8. Recursive form의 CIC 필터(M=16, L=2)  
 Fig. 8. CIC Filter of Recursive form(M=16, L=2).

IV. 실험 결과 및 고찰

이 절에서는 예제를 통하여 제안된 Sigma-Delta 변조기 이득 최적화 방식의 효율성을 살펴본다. 먼저 제안된 최적화 방식의 순서에 따라 SNR을 최대화하는 이득 후보 1위부터 10위까지 10개의 후보를 선발한다.

SNR을 구하는 방법은 a, b, c 이득 값을 0.1 단위로 0.1부터 2.0까지 변화시키면서 8,000개(20x20x20)의 후보에 대한 Sigma-Delta 변조기의 출력을 모두 구한 후 SNR이 가장 높은 10개의 후보를 구한다.

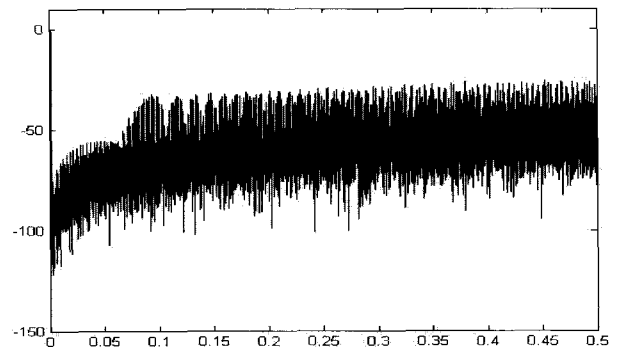
이득 최적 후보 10개를 찾기 위하여 Matlab을 사용

하였다. 이 실험의 입력 신호로는 50 KHz의 주파수의 sin파를 사용하였으며, OSR은 16, Sampling 주파수는 32 MHz를 사용하였다. 그림 5의 이득 a, b, c 값을 변화시키며 Modulator의 1 bit data stream 8192개를 얻은 뒤에, Hann-windowed FFT를 이용하여 입력 신호 대역에서의 신호와 노이즈의 각각의 주파수 스펙트럼을 사용하여 SNR 값을 계산하고 그 중에서 상위 10개의 후보를 표 1에 나타내었다.

이득 a, b, c의 변화는 각각 0.1부터 2까지 20단계의 변화에 대하여 SNR을 측정하였다. 따라서 이득 a, b, c의 8000개 후보에 대하여 상위 SNR 후보 10개를 표 1과 같이 선정하였다. 변조기의 a, b, c의 이득 값이 각각 1.1, 1.0, 1.2일 때 가장 높은 SNR 값이 나타났으며 이는 a, b, c가 모두 1일 때와 비교하여 약 8dB정도 향상된 것을 알 수 있다. a, b, c가 각각 1일 때는 SNR 순위가 8000개 중에서 231번째로 나타났다. 10개 후보 가운데

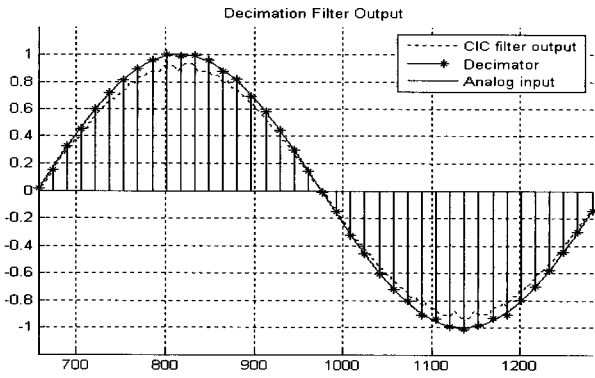
표 1. 이득값 변화에 따른 최대 SNR 후보  
 Table 1. The SNR as the change of Gain values.

ranking	SNR	a	b	c
1	39.8601	1.1	1	1.2
2	39.6615	1.7	1	1.9
3	39.6233	0.9	1	1
4	39.6233	1.8	1	2
5	39.4036	1.5	1	1.7
6	39.3318	1	1	1.1
7	39.181	1.2	1	1.3
8	39.1504	0.8	1	0.9
9	39.1504	1.6	1	1.8
10	38.9802	0.7	1	0.8
231	31.7134	1	1	1

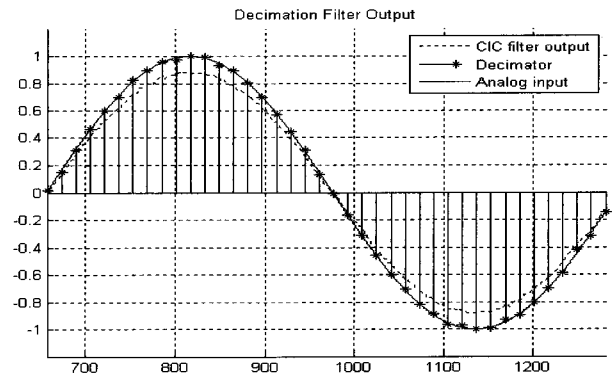


( No.1 a=1.1, b=1.0, c=1.2 )

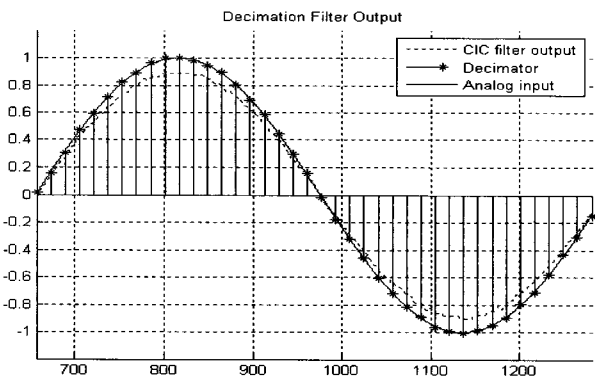
그림 9. SNR이 가장 우수한 이득 후보의 변조기 출력 스펙트럼  
 Fig. 9. Modulator output spectrum for 1st ranking SNR candidate.



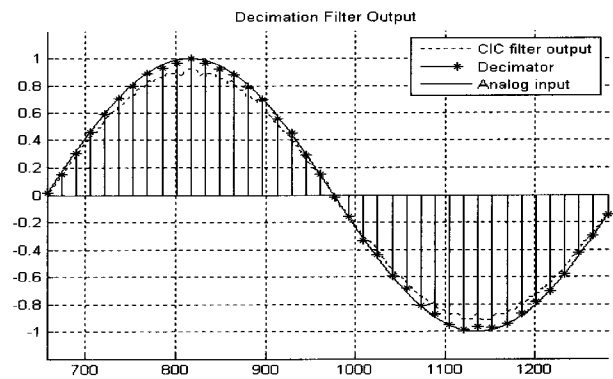
( No.1 a=1.1, b=1.0, c=1.2 )



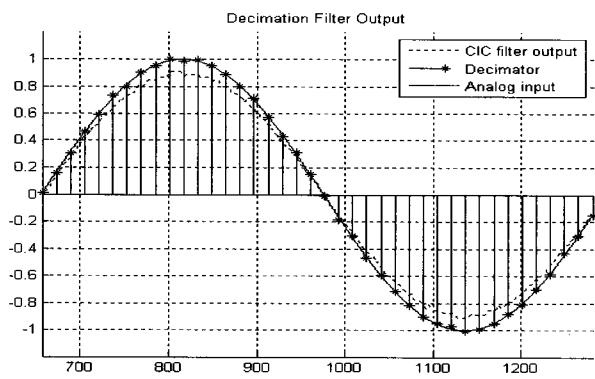
( No.5 a=1.5, b=1.0, c=1.7 )



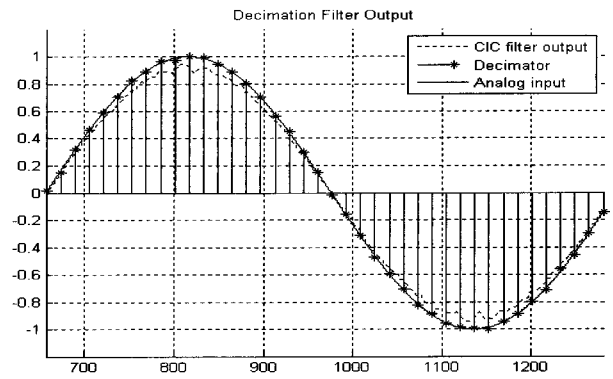
( No.2 a=1.7, b=1.0, c=1.9 )



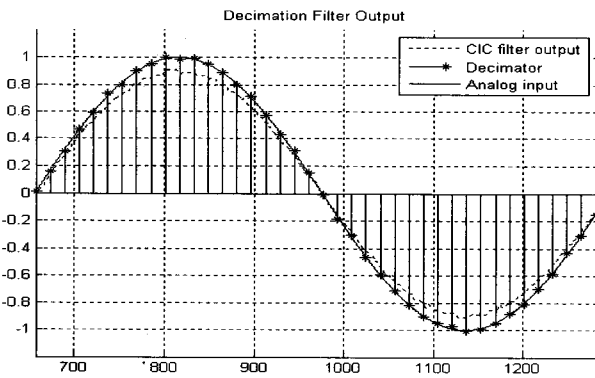
( No.6 a=1.0, b=1.0, c=1.1 )



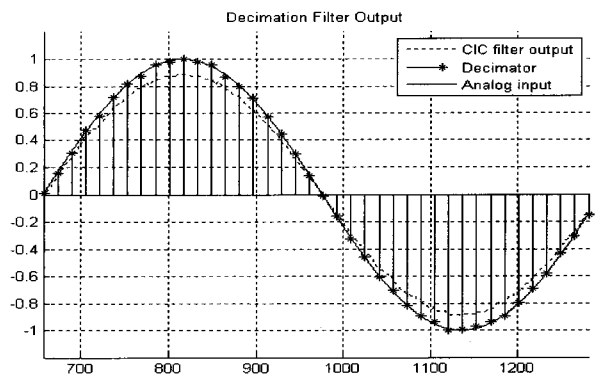
( No.3 a=0.9, b=1.0, c=1.0 )



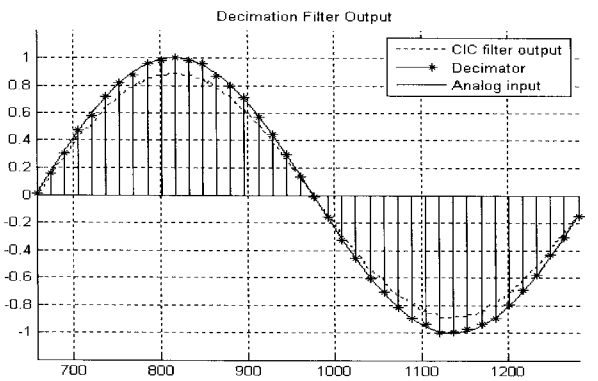
( No.7 a=1.2, b=1.0, c=1.3 )



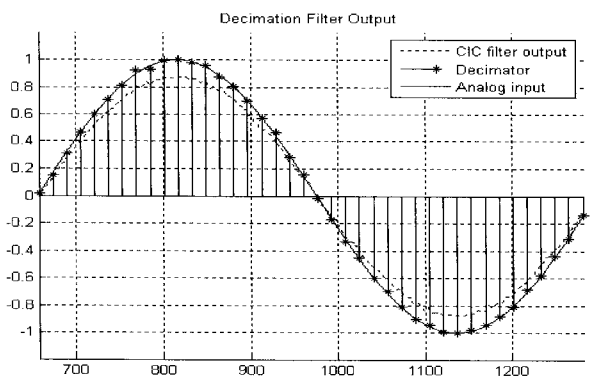
( No.4 a=1.8, b=1.0, c=2.0 )



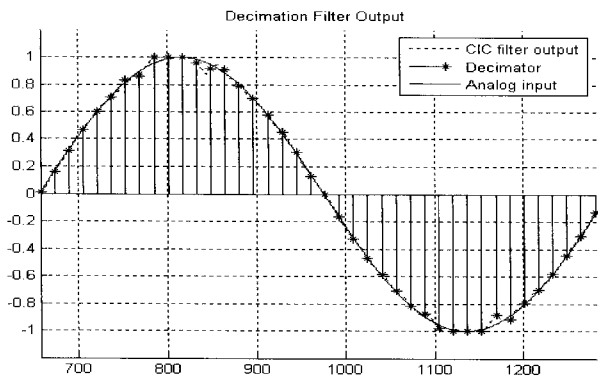
( No.8 a=0.8, b=1.0, c=0.9 )



( No.9 a=1.6, b=1.0, c=1.8 )



( No.10 a=0.7, b=1.0, c=0.8 )



( No.231 a=1.0, b=1.0, c=1.0 )

그림 10. 이득 변화에 따른 데시메이션 필터 출력 파형  
Fig. 10. Waveform of decimation filter output as the change of Gain values.

데서 SNR이 가장 우수한 1위의 변조기 출력 스펙트럼은 그림 9와 같다.

SNR 2위부터 10위까지 나머지 9개의 스펙트럼도 그림 9에 나타낸 1위 후보의 변조기 출력 스펙트럼과 매우 비슷하여 Plot으로 구분하기 어려워 도시하지 않았다. 다음으로 각각의 후보를 데시메이션 회로에 입력하여 출력시킨 후에 MSE를 계산한다. 각 후보에 대한 데시메이션 회로의 출력은 그림 10과 같다.

표 2. 이득값 변화에 대한 MSE

Table 2. The MSE as the change of Gain values.

SNR ranking	SNR	a	b	c	MSE
2	39.6615	1.7	1	1.9	0.00005671
7	39.181	1.2	1	1.3	0.00006818
3	39.6233	0.9	1	1	0.00007907
4	39.6233	1.8	1	2	0.00007907
8	39.1504	0.8	1	0.9	0.00007995
9	39.1504	1.6	1	1.8	0.00007995
1	39.8601	1.1	1	1.2	0.00008217
10	38.9802	0.7	1	0.8	0.00010075
5	39.4036	1.5	1	1.7	0.00010222
6	39.3318	1	1	1.1	0.00021803
231	31.7134	1	1	1	0.00034290

그림 10에서 실선은 아날로그 입력신호이며, 점선은 CIC 필터만을 통과한 출력이고 \*는 데시메이터를 통과시킨 후 최대값을 1로 정규화시킨 출력이다. 그림 10의 11개의 plot을 살펴보면 SNR 231위 후보와 6위 후보가 아날로그 sin 파와 비교하여 오차가 심한 것을 관찰할 수 있다. 이 논문에서는 11개의 후보 중에서 아날로그 sin 파의 샘플링과 가장 오차가 작은 것을 선발하기 위해 MSE(Mean Squared Error)를 사용하기로 한다.

MSE는 그림 10에서 \*로 표시된 40개의 데시메이터 출력 신호와 아날로그 sin 파의 샘플링 값과의 차를 제곱하여 모두 더한 후 한주기의 샘플 수인 40으로 나누어서 구했다. MSE를 구한 결과는 표 2와 같다.

표 2에서는 MSE가 가장 작은 것부터 차례로 나열하였다. 표 2에서 보듯이 MSE가 가장 좋게 나타난 후보는 변조기 출력의 SNR이 2위인 후보임을 알 수 있다. SNR 실험에서 1위였던 후보는 MSE 실험에서는 0.00008217로 7위로 내려갔음을 알 수 있다.

지금까지의 실험을 통하여 변조기의 SNR을 최대화하기 위하여 얻어진 이득 값은 데시메이션 회로를 통과한 MSE를 계산해 보면 최적이지 않음을 알 수 있다. 따라서 변조기의 SNR을 크게 하는 가능한 많은 다수개의 후보를 선발한 후에 각각의 후보에 대한 MSE를 계산하면 더 나은 최적의 이득을 구할 수 있을 것이다. 이 실험에서는 50 KHz의 sin 파를 사용하였으나 다수개의 주파수를 실험한다면 더욱 신뢰할 수 있는 이득 값을 얻을 수 있을 것이다.

## V. 결 론

이 논문에서는 Sigma-Delta A/D 변환기의 변조기 설계의 핵심인 이득 값의 새로운 최적화 방식을 제안하였다. 변조기의 SNR을 최대화하는 다수개의 이득 값 후보를 선별한 후에 각각의 후보에 대하여 데시메이션 필터를 통과시켜 가장 작은 MSE를 나타낸 이득 값을 최적의 이득으로 결정하는 알고리즘을 제안하였다. 기존의 이득 최적화 방식은 변조기에 대한 SNR 실험을 통하여 얻어진다. 반면에 제안된 방식은 변조기와 CIC 데시메이션 필터의 통합 실험을 통하여 더 나은 이득 값을 얻을 수 있음을 보였다.

## 참 고 문 헌

- [1] Michael J. Demler, High Speed Analog To Digital Conversion, Academic Press, pp.24-67, 1991.
- [2] W. Yun-Ti and B. Razavi, "An 8-bit 150-MHz CMOS A/D Converter," IEEE J.Solid-State Circuits, Vol. 35, No. 3, pp. 308-317, March 2000.
- [3] 윤정식, 정정화, "Sigma-Delta modulator의 구조를 갖는 A/D 변환기 설계," 한국통신학회논문지, Vol. 28, No. 1C, 14-23, 2003년 1월.
- [4] 강경식, 최영길, 노형동, 남현석, 노정진, "1-비트 4차 델타-시그마 변조기법을 이용한 D급 디지털 오디오 증폭기," 전자공학회논문지, 제45권, SD편 제3호, 44-53, 2008년 3월.
- [5] 장영범, 양세정, 유선국, "심장박동기용 시그마 델타 A/D 변환기에서의 저전력 데시메이션 필터 구조" 전기학회논문지 53D권, 2호, 111-117, 2004년 2월.
- [6] 변산호, 류성영, 최영길, 노형동, 남현석, 노정진, "시그마-델타 A/D 컨버터용 디지털 데시메이션 필터 설계," 전자공학회논문지, 제44권, SD편 제2호, 34-45, 2007년 2월.
- [7] 정요성, 장영범 "Sigma-Delta A/D 변환기의 새로운 이득 최적화 방식," 전자공학회논문지 제46권, TC편 제9호, 31-38, 2009년 9월.
- [8] R. Steven, Norsworthy, Richard and G. Schreier, Delta-Sigma Data Converters : Theory, Design and Simulation, WILEY, pp. 1-41, 2001.
- [9] E. Hogenauer, "An economical class of digital filters decimation and interpolation," IEEE Transactions, Acoustics, Speech and Signal Processing, Vol. ASSP-29, No. 2, pp. 155-162, April 1981.

## 저 자 소 개



장 영 범(정회원)

1981년 연세대학교 전기공학과 졸업.(공학사)

1990년 Polytechnic University 대학원 졸업.(공학석사)

1994년 Polytechnic University 대학원 졸업.(공학박사)

1981년~1999년 삼성전자 System LSI 사업부 수석연구원.

2002년~현재 상명대학교 정보통신공학과 교수.

<주관심분야 : 통신신호처리, 비디오신호처리, SoC 설계>



장 진 규(학생회원)

2009년 상명대학교 정보통신공학과 졸업.(공학사)

2009년~현재 상명대학교 대학원 컴퓨터 정보통신공학과 석사 과정.

<주관심분야 : 통신신호처리, 비디오신호처리, SoC 설계>