

논문 2010-47SD-3-3

# Offset Self-Calibration 기법을 적용한 1.2V 7-bit 800MSPS Folding-Interpolation A/D 변환기의 설계

(Design of a 1.2V 7-bit 800MSPS Folding-Interpolation  
A/D Converter with Offset Self-Calibration)

김대윤\*, 문준호\*, 송민규\*\*

(Daeyun Kim, Junho Moon, and Minkyu Song)

## 요약

본 논문에서는 offset self-calibration 기법을 적용한 7-bit 1GSPS folding-interpolation A/D 변환기를 제안한다. 제안하는 A/D 변환기는 folding rate 2, interpolation rate 8의 1+6 구조로 고속 동작에 적합하게 설계되었다. 또한 offset self-calibration 회로를 설계하여 공정 mismatch, 기생 저항, 기생 캐패시턴스 등에 의한 offset-voltage의 변화를 감소시켜 A/D 변환기의 성능 특성을 향상 시켰다. 제안하는 A/D 변환기는 1.2V 65nm 1-poly 6-metal CMOS 공정을 사용하여 설계 되었으며 유효 칩 면적은 0.87mm<sup>2</sup>, 1.2V 전원전압에서 약 110mW의 전력소모를 나타내었다. 측정 결과 샘플링 주파수 800MHz, 입력 주파수 250MHz에서 39.1dB의 SNDR 특성을 보여주었으며, offset self-calibration 회로를 사용 하지 않은 A/D 변환기에 비해 SNDR이 약 3dB 향상되었다.

## Abstract

In this paper, a 1.2V 7-bit 1GSPS A/D converter with offset self-calibration is proposed. The proposed A/D converter structure is based on the folding-interpolation whose folding rate is 2, interpolation rate is 8. Further, for the purpose of improving the chip performance, an offset self-calibration circuit is used. The offset self-calibration circuit reduce the variation of the offset-voltage, due to process mismatch, parasitic resistor, and parasitic capacitance. The chip has been fabricated with a 1.2V 65nm 1-poly 6-metal CMOS technology. The effective chip area is 0.87mm<sup>2</sup> and the power dissipates about 110mW at 1.2V power supply. The measured SNDR is about 39.1dB when the input frequency is 250MHz at 800MHz sampling frequency. The measured SNDR is 3dB higher than the same circuit without any calibration.

**Keywords:** 1GSPS, Folding, Interpolation, A/D converter, self-calibration

## I. 서론

최근 고속, 저 전력의 analog-digital interface 기술을 위해 다양한 회로 설계 기법이 연구되고 있으며 공

정 기술 연구 또한 활발히 진행되고 있다. 특히 middle-bit resolution(6-8bit) 과 빠른 변환 속도를 갖는 A/D 변환기(ADC)는 DVD, blu-ray disk 등의 광학 디지털 리드-채널, UWB 등의 차세대 무선 통신 기술 구현에 반드시 필요하다<sup>[1]</sup>. Flash 구조의 ADC의 경우 고속 동작에 가장 적합한 구조이지만 resolution의 증가에 따른 소자 개수의 급격한 증가로 인한 면적 및 전력 소모 등의 문제를 가지고 있다. 따라서 본 논문에서는 flash ADC에 folding 기법과 interpolation 기법을

\* 학생회원, \*\* 정회원, 동국대학교-서울 반도체과학과 (Department of Semiconductor Science, Dongguk Univ-Seoul)

※ 본 논문은 삼성전자(주)의 공정지원 및 교육과학기술부 재원으로 한국과학재단의 기초연구사업 (2009-0076131) 지원을 받아 수행된 연구 결과임  
접수일자: 2009년10월1일, 수정완료일: 2010년2월15일

적용하여 preamp 및 comparator의 개수를 감소시켜 면적과 전력 소모 면에서 flash ADC에 비해 뛰어난, folding-interpolation(F/I) ADC를 제안한다<sup>[2~4]</sup>. 하지만 이러한 F/I 구조의 경우 동작 특성상 전원 전압의 감소 및 소자의 mismatch에 의해 발생하는 offset error에 매우 큰 영향을 받게 된다<sup>[5]</sup>. 뿐만 아니라 고속으로 동작하는 ADC에서 일정 이상의 offset error는 기존 averaging technique에 의해서 만족할 만큼 보상 되지 않는다. 때문에 ADC 설계 과정에서 이러한 문제점을 고려한 설계가 이루어 져야 하지만 middle-bit 이상의 resolution을 갖는 고속 동작의 ADC의 경우 offset error에 대한 문제를 해결하기 쉽지 않다. 따라서 본 논문에서는 7-bit 1GSPS F/I ADC 와 함께 ADC에서 발생하는 offset error를 외부에서의 제어 없이, feedback loop를 통하여 스스로 보정하도록 하는 offset self-calibration 회로를 제안한다<sup>[6~7]</sup>.

본 논문의 기술순서는 다음과 같다. II장에서는 제안하는 offset self-calibration 기법이 적용된 F/I ADC의 전체구조와 설계기법을 논의하며, III장에서는 Layout 과 post-layout 모의실험 결과, IV장에서 측정 결과들을 기술하고, 마지막으로 V장에서 결론을 맺는다.

## II. Offset self-calibration 기법이 적용된 7-bit F/I ADC의 설계

### 1. 제안하는 ADC의 구조

고속의 F/I ADC 에서 가장 중요한 점은 고속 동작을 가능하게 하는 구조의 선택이다<sup>[8]</sup>. Folding 기법의 특성상 낮은 folding rate(FR)은 많은 비교기의 수를 요구하는 단점이 있지만 높은 FR에 비해 입력 주파수의 제한에 보다 유리하여 고속 동작에 적합하다. 따라서 본 논문에서 제안하는 7-bit F/I ADC는 FR을 최소로 선택하여 FR=2, interpolation rate(IR)=8 인 1+6의 분할 구조로 설계 되었으며 고속에서 안정적인 동작 특성을 위해 low distortion 과 넓은 입력 bandwidth를 만족하는 입력단 T/H를 사용하였다.

특히 F/I ADC에서 발생하는 zero-crossing은 ADC의 성능에 직결되는 중요한 요소이다. 일반적으로 zero-crossing은 offset error에 직접적인 영향을 받게 됨에 따라 이러한 offset error를 보정하기 위해 offset self-calibration 회로를 설계하였다. 설계된 calibration 회로는 ADC의 zero-crossing을 형성하는 모든 preamp

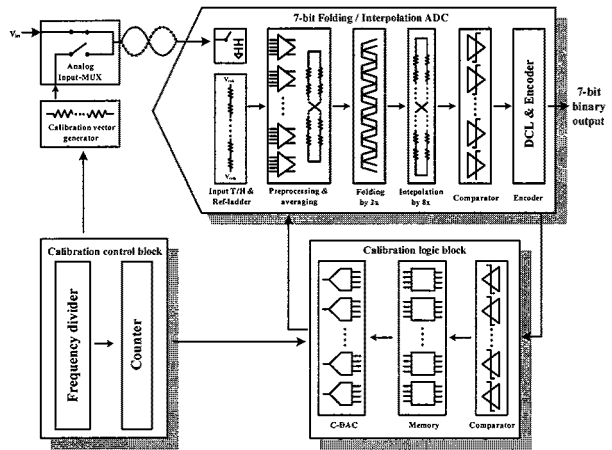


그림 1. Offset self-calibration 7-bit F/I ADC의 전체 구조

Fig. 1. Block diagram of offset self-calibration 7-bit F/I ADC.

들의 offset error를 feedback loop를 통해 스스로 error 정도를 분석한 이후에 이를 보정 할 수 있는 digital code를 선택한다. 이 code는 preamp의 offset을 제어하는 DAC에 인가되어 해당하는 출력을 내보냄에 따라 offset error의 보정을 수행하기 된다. 이러한 방식으로 digital 신호들을 이용한 self-calibration 기법을 사용함으로써 self-calibration 과정 중에 발생할 수 있는 noise를 최소한으로 줄이면서 calibration의 정확성을 향상 시켰다. 이를 통해 F/I ADC의 offset error에 의한 성능 저하를 최소한으로 줄임으로써 고속에서의 성능 특성을 보장하였다. 그림 1은 전체 ADC의 구조를 나타내었다.

### 2. Folding 기법이 ADC의 offset error에 미치는 영향

공정 발달에 따른 전원 전압의 감소는 ADC의 전력

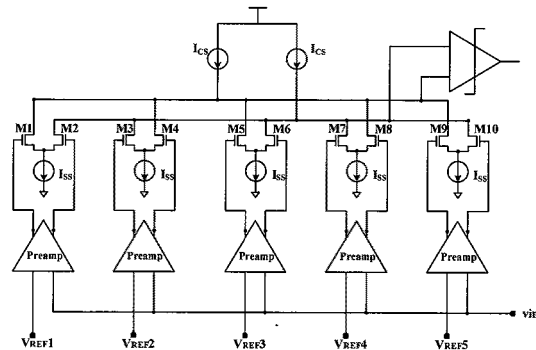


그림 2. FR=4 folding block 회로도

Fig. 2. The schematic of folding block. (FR=4)

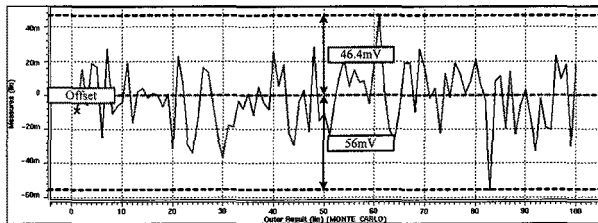
소모를 줄일 수 있다는 장점이 있지만 offset error는 ADC의 특성에 더욱 큰 영향을 미칠 수 있다. 특히 folding 기법의 경우 preamp, folding-amp, analog buffer를 통과하면서 offset error 율은 점점 더 증가하게 된다. 그림 2는 folding ADC에서의 FR=4 인 folding block 회로도 이다.

다음 식은 그림 2와 같은 folding 회로도에서의 offset voltage의 변화에 관한 관련식이다<sup>[9]</sup>.

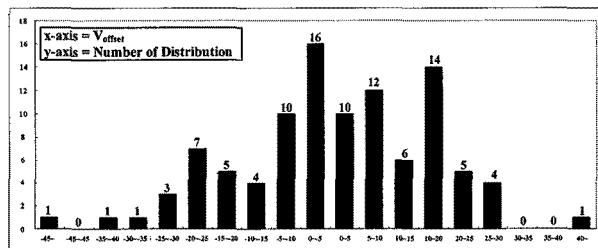
$$V_{offn}^2 = V_{offP}^2 + \frac{V_{offF}^2}{A_P^2} + \frac{\Delta I_{CS}^2}{A_P^2 gm_F^2} + \frac{\Sigma \Delta I_{SS}^2}{A_P^2 gm_F^2} + \frac{V_{offCOMP}^2}{A^2} \quad (1)$$

식 (1)에서  $V_{offP}$ 는 preamp의 offset error,  $V_{offF}$ 는 folding-amp의 offset error,  $V_{offCOMP}$ 는 comparator의 offset error,  $gm_F$ 는 folding-amp의 transconductance,  $A_P$ 는 preamp의 gain,  $A$ 는 folding block 전체의 gain,  $\Delta I_{CS}$ 는 mismatch에 의한 한 쌍의 constant current의 차이,  $\Delta I_{SS}$ 는 tail current의 이상적인 값인  $I_{SS}$ 와의 차이를 의미하며 이러한 값들의 관계에 의해 최종 offset error  $V_{offn}$ 을 나타낼 수 있다. 그림 3은 7-bit F/I ADC의 offset error에 관한 Monte Carlo 모의실험 결과이다.

본 논문의 7-bit F/I ADC의 경우 1.2V의 낮은 전원 전압에서 약 3mV 이내의 offset을 만족하여야 한다. 하지만 그림 3과 같은 offset error 율을 보일 경우 ADC의 안정적인 동작 특성을 보장 할 수 없다. 따라서



(a) Simulation results of offset error



(b) Distribution chart of offset error

그림 3. Monte Carlo 모의실험 결과  
Fig. 3. Monte Carlo simulation results.

offset error를 줄이기 위해서는 amp의 gain 및 전류량과 함께 MOS의 크기를 키워야 하지만 이는 바로 전력 소모 및 면적의 증가로 이어지게 된다. 또한 고속 동작의 특성도 제한을 받게 됨으로 본 논문에서는 offset self-calibration 회로를 제안한다.

### 3. Offset self-calibration 회로의 설계

만약 외부 switch를 이용한 수동 calibration을 구현한다면 calibration 회로 자체는 매우 간단하게 설계가 가능하지만 zero-crossing에 관여하는 모든 preamp의 offset을 개별적으로 calibration 하기에는 많은 어려움이 따르며 외부 잡음에 의한 ADC의 성능 저하가 일어나게 된다. 또한 ADC의 resolution이 올라갈 수록 이러한 switch 개수는 급격히 증가하게 되므로 수동 calibration을 사용하기에는 현실적으로 불가능하다. 따라서 자체적인 feedback loop를 통해 ADC의 offset을 보정해주는 calibration 회로를 설계하였다. 제안한 offset self-calibration 기법의 flow chart는 다음 그림 4와 같다.

그림 4와 같이 calibration 회로는 ADC의 정상 작동 이전에 zero-crossing을 형성하는 모든 preamp에 관해 calibration 과정을 수행하게 된다. Calibration을 하기 위해 생성된 calibration vector가 입력단의 analog input-MUX를 통해 선택적으로 ADC에 인가되게 되고 이때의 출력 값을 토대로 calibration logic 회로를 통해 ADC의 offset error의 보정을 수행한다.

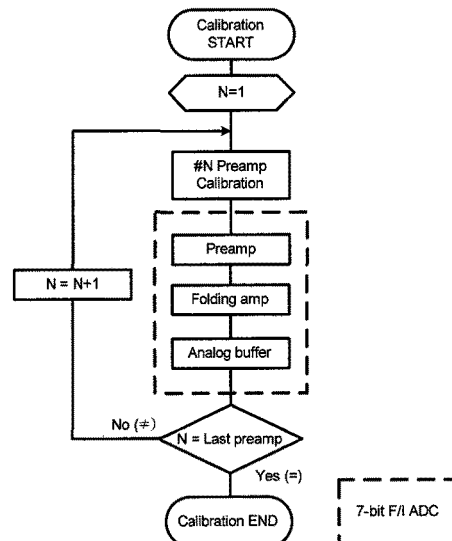


그림 4. Offset self-calibration 기법의 flow chart  
Fig. 4. Flow chart of offset self-calibration technique.

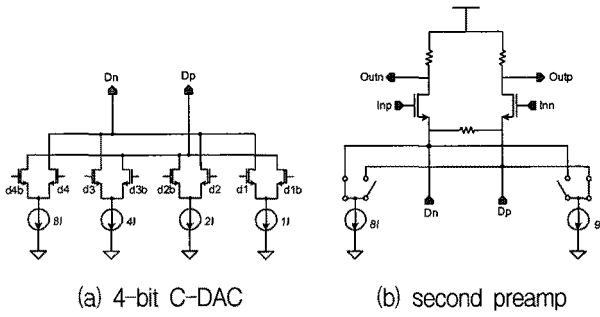


그림 5. C-DAC 로 제어되는 second preamp  
Fig. 5. Second preamp with 4-bit C-DAC.

표 1. DAC 입력에 대한 전류 변화  
Table 1. Output current variation as DAC input.

$d_4$	$d_3$	$d_2$	$d_1$	$I_{outn}$	$I_{outp}$
1	1	1	1	23 I	9 I
1	1	1	0	22 I	10 I
1	1	0	1	21 I	11 I
1	1	0	0	20 I	12 I
1	0	1	1	19 I	13 I
1	0	1	0	18 I	14 I
1	0	0	1	17 I	15 I
1	0	0	0	16 I	16 I
0	1	1	1	15 I	17 I
0	1	1	0	14 I	18 I
0	1	0	1	13 I	19 I
0	1	0	0	12 I	20 I
0	0	1	1	11 I	21 I
0	0	1	0	10 I	22 I
0	0	0	1	9 I	23 I
0	0	0	0	8 I	24 I

만약 이와 같은 calibration 수행을 위해 trimmable MOS를 이용할 경우<sup>[6]</sup> preamp의 입력 capacitance 값을 증가시켜 ADC의 고속 동작을 제한할 수 있는 요인이 될 수 있다. 또한 preamp의 차동 출력 신호를 직접적으로 제어할 경우<sup>[6]</sup> preamp에 걸리는 부하 및 layout에서의 metal routing의 복잡성이 우려되어, 본 논문의 offset calibration 회로는 그림 5와 같은 current-D/A 변환기(C-DAC)로 제어되는 second preamp를 이용하였다<sup>[7]</sup>.

표 1은 C-DAC의 code 입력에 따른 출력 전류의 변화표이다. 표 1과 같이 Differential type의 4-bit C-DAC의 출력은 second preamp의 outn 과 outp에 해당하는 전류를 각기 다르게 제어함으로써 16단계에 걸쳐 offset을 보정한다. 그림 6은 code 입력에 따라 변화하는 second preamp의 출력에 대한 모의실험 결과이다.

설계된 second preamp의 calibration의 범위는

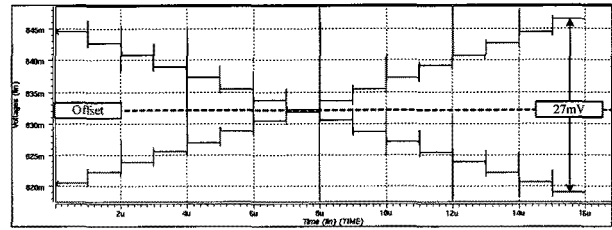


그림 6. DAC code 입력에 따른 second preamp 모의실험  
Fig. 6. Second preamp simulation as DAC input code.

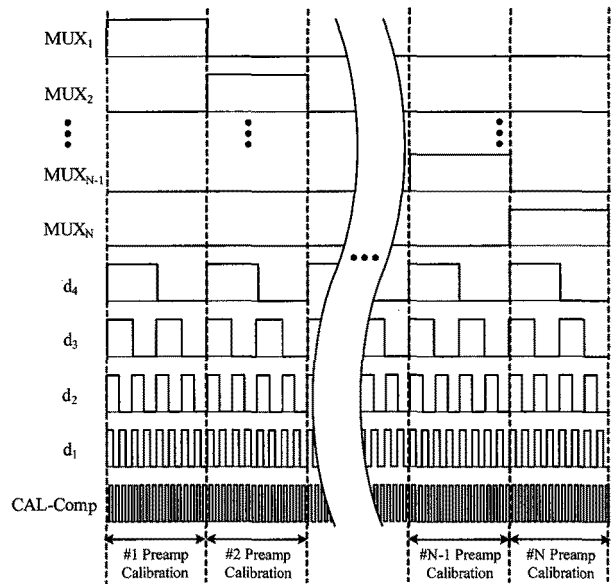


그림 7. Calibration clock의 timing diagram  
Fig. 7. Timing diagram of calibration clock.

27mV, 1 LSB는 약 1.7mV이다. DAC의 resolution이 커진다면 더 넓은 범위와 정교한 calibration이 가능하지만 이는 calibration 회로의 면적의 증가를 의미한다. 따라서 그림 3과 같은 Monte Carlo 모의실험을 통해 7-bit F/I ADC에 적합한 calibration 회로를 설계하였다. Calibration 과정 중 offset이 보정되어지는 C-DAC의 switching 조건은 calibration comparator에 의해 선택되어 memory에 저장되며 ADC의 작동 중 그 조건을 계속 유지시키게 된다. 이 모든 과정은 calibration control block에서 나오는 clock 신호를 이용하여 진행되며 이를 위해 frequency divider와 counter를 이용하였다. 그림 7은 calibration clock의 timing diagram이다.

Calibration 회로 안의 모든 신호들은 analog input-MUX에 들어가는 신호  $MUX_N$ 을 기본으로 수행되어지며 DAC의 입력 신호인  $d_{1-4}$  과 calibration comparator의 clock인 CAL-Comp에 의해 각 preamp

들의 offset을 보정한다. 마지막 preamp의 calibration 이 이루어진 후에 자동으로 ADC의 동작이 시작된다. 제안하는 self-calibration 회로는 FPGA 나 기타 방법 들을 이용하여 생성된 외부 제어 신호를 사용하지 않았 으며, digital 신호의 간략화를 통해 calibration control block 및 모든 self-calibration 회로들을 on-chip 화 할 수 있었다.

### III. Layout 및 post-layout 모의실험 결과

#### 1. 제안하는 ADC의 Layout

제안하는 ADC는 65nm 1-poly 6-metal N-well CMOS 공정을 사용하였다. ADC core 주위에 추가적으로 배치되는 calibration 회로들은 많은 digital 신호들을 이용하여 작동하게 된다. 따라서 ADC core의 analog block에 미치는 영향을 고려하여 guard-ring 으로 calibration 회로들을 분리하여 배치하였다. 마찬가지로 본래 하나의 회로였던 second amp 와 C-DAC 또한 C-DAC 만 독립적으로 ADC core 외부에 배치를 함으로써 ADC의 특성 저하를 최대한 방지하였다. 하지만 second amp 와 C-DAC를 분리 할 경우 C-DAC의 출력이 second amp 와의 긴 metal line에 의하여 발생하는 IR drop에 의한 문제가 생길 수 있다. 따라서 post-layout 모의실험을 통해 기생 값이 제일 적은 layout 방법을 택하였고 모두 동일한 길이의 metal line 을 갖도록 layout 배치를 하였다. ADC core의 면적은

guard-ring을 포함 하여 약 0.46mm<sup>2</sup> 이며 self-calibration 회로가 포함된 ADC의 면적은 약 0.87mm<sup>2</sup> 이다. 그림 8은 ADC의 전체 layout 이다.

#### 2. Post-layout 모의실험 결과

1+6 구조로 설계된 7-bit F/I ADC의 전체 block의 동작 특성과 calibration 회로의 작동 여부를 확인하기 위하여 post-layout 모의실험을 실시하였다. 먼저 ADC 에 128ns의 ramp 입력을 인가하여 7-bit에 해당하는 full code를 확인한 후에 각각 다른 입력 주파수에 대한 주파수 특성을 확인하였다. 그림 9는 인가된 ramp 입력 에 대한 post-layout 모의실험 결과 이며 128 code에 해당하는 디지털 출력을 확인할 수 있다.

그림 10은 입력 주파수 11.71875MHz, 144.53125MHz, 238.28128MHz를 인가하였을 때 그에 따른 주파수 특성을 확인한 post-layout 모의실험 결과 이다.

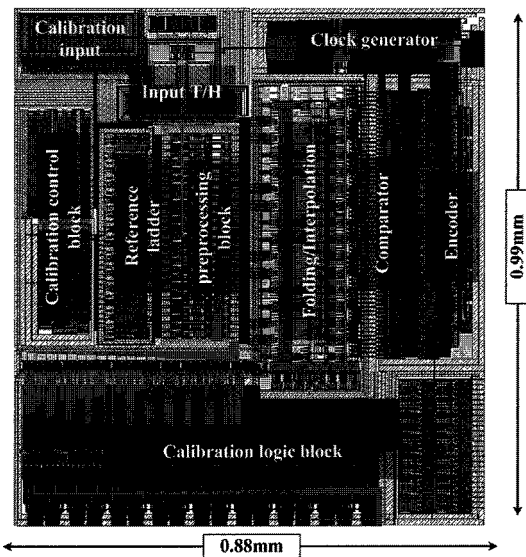


그림 8. 제안된 ADC의 전체 layout  
Fig. 8. Proposed ADC full layout.

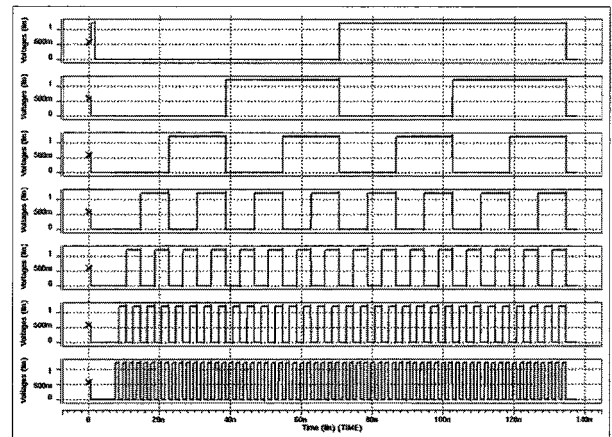


그림 9. Ramp 입력에 대한 모의실험 결과  
Fig. 9. Simulation results as ramp input.

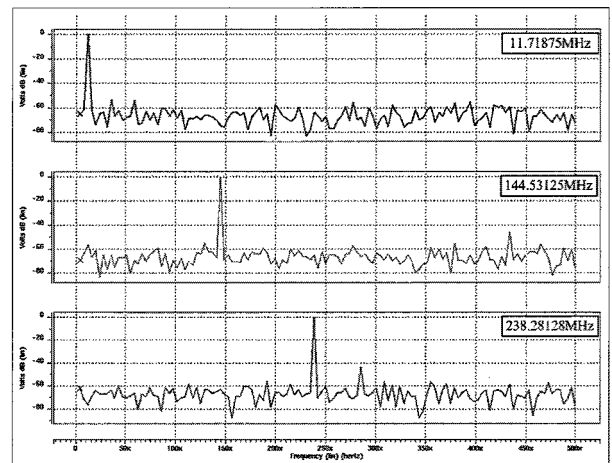


그림 10. 입력 주파수에 따른 FFT 모의실험 결과  
Fig. 10. FFT simulation results as input frequency.

표 2. FFT 모의실험 분석표

Table 2. FFT simulation results table.

@1GSPS	SFDR	SNDR	ENoB
11.71875MHz	49.65dB	42.51dB	6.77bit
144.53125MHz	45.83dB	41.41dB	6.59bit
238.28128MHz	43.08dB	40.19dB	6.38bit

표 3. PVT variation 모의실험 결과

Table 3. PVT variation simulation results table.

@ $f_m=144.53125\text{MHz}$ , $f_s=1\text{GSPS}$			
Power : 1.2V, Temperature : 50°C			
Process	SS	NN	FF
ENoB	6.51 bit	6.59 bit	6.60 bit
Process : NN, Temperature : 50°C			
Voltage(Power)	1.08V	1.2V	1.32V
ENoB	5.87 bit	6.59 bit	6.56 bit
Process : NN, Power : 1.2V			
Temperature	0°C	50°C	70°C
ENoB	6.58 bit	6.59 bit	6.52 bit

설계된 ADC의 SNDR은 11.71875MHz에서 42.51dB, 144.53125MHz에서 41.41dB, 238.28128MHz에서 40.19dB로 설계 목표를 만족하였으며 표 2는 post-layout FFT 모의실험 결과의 SNDR, SFDR, ENoB에 관한 분석표이다.

표 3은 설계된 ADC의 입력 주파수 144.53125MHz에서의 PVT variation 모의실험 결과이다.

이후에 calibration 회로의 정상적인 동작 여부를 확인을 위해 post-layout 모의실험을 실시하였다. 이를 위해 Monte Carlo 모의실험 방법을 이용하여 소자에 random 한 mismatch 값을 지정하였으며 이때의 folding block 출력 결과에 대한 zero-crossing 간격의 이상적인 값과의 차이를 측정하여 calibration 회로의 동작에 따른 offset error의 보정 결과를 확인하였다. 그림 11은 주어진 mismatch 상황에서 128ns의 ramp 입력을 인가하였을 때 offset self-calibration 기법이 적용되지 않은 기존의 F/I ADC 와 offset self-calibration 기법이 적용된 F/I ADC의 folding block에 대한 모의실험 결과이다.

7-bit F/I A/D 변환기에 128ns ramp 입력이 인가될 경우 folding block의 이상적인 zero-crossing 간격은 8ns 로 책정된다. 그림 11의 결과를 보면 mismatch 상황에서 기존 F/I ADC의 경우 zero-crossing 간격이 7.01ns 로 약 1ns의 오차를 보이지만 self-calibration

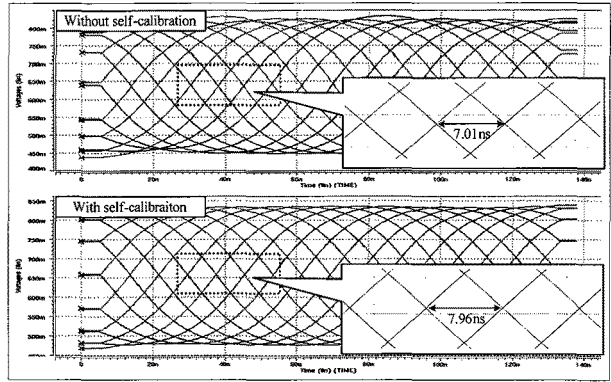


그림 11. Folding block의 모의실험 결과

Fig. 11. Simulation results of folding block.

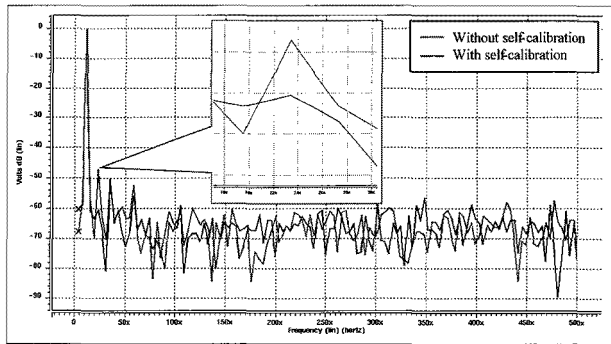


그림 12. Self-calibration FFT 모의실험 결과

Fig. 12. Self-calibration FFT simulation results.

표 4. Self-calibration FFT 모의실험 분석표

Table 4. Self-calibration FFT simulation results table.

@mismatch	SFDR	SNDR	ENoB
Self-Calibration 적용 전	47.08 dB	41.25 dB	6.56 bit
Self-Calibration 적용 후	50.45 dB	42.70 dB	6.80 bit

기법을 사용한 F/I ADC의 zero-crossing 간격은 7.96ns 로 calibration 회로가 원활히 동작하였음을 확인 할 수 있다. 그림 12는 mismatch 상황에서의 11.71875MHz의 입력 주파수에 대한 self-calibration 기법의 적용전과 적용후의 F/I ADC에 대한 비교 FFT 모의실험 결과이며 표 4는 모의실험 분석표 이다.

Mismatch 상황에서의 post-layout FFT 모의실험 결과 self-calibration 기법이 적용된 F/I ADC의 2nd harmonic 성분이 적용 전의 F/I ADC에 비하여 향상된 것을 확인할 수 있다. 이것은 differential 신호에 의하여 생성 되는 zero-crossing 간격이 calibration 회로에 의하여 보정 되었다는 것을 의미하며 따라서 self-calibration 기법이 F/I ADC에서 원활히 수행 된다고 볼 수 있다. Post-layout 모의실험 결과 self-

표 5. Self-calibration process variation simulation 결과  
Table 5. Self-calibration process variation simulation results.

@ $f_{in}=144.53125\text{MHz}$ , $f_s=1\text{GSPS}$		
Power : 1.2V Temp. : 50°C		
Process	SS (Calibration 적용 전)	SS (Calibration 적용 후)
ENoB	6.51 bit	6.64 bit

calibration 기법이 적용된 F/I ADC의 경우 적용전의 F/I ADC에 비해 SNDR 특성이 약 1.5dB 향상됨을 보였다. 표 5는 SS 공정에서의 self-calibration 여부에 따른 모의실험 결과이다.

Process variation는 ADC 내 MOS 들의 문턱 전압 ( $V_{th}$ ) 변화를 발생시키고, 이는 전류 변화에 의한 출력 offset의 변화와 MOS의 saturation margin 감소, reference 전압의 변화 등을 유발한다. 본 논문의 self-calibration 기법의 경우 ADC의 analog 블록을 거쳐 최종적으로 comparator에 인가되는 차동 출력의 비교에 의해 올바른 offset 조건을 선택하고 기억하기 때문에 PVT variation 상황에서도 ADC의 성능 향상에 도움을 줄 수 있다.

#### IV. 측정 결과

본 논문의 1GSPS의 고속 동작을 위해 설계된 ADC는 PLL의 부재로 인해 고속으로 동작하는 pulse generator가 필요하다. 하지만 1GSPS 이상으로 동작하는 pulse generator는 매우 고가의 장비인 관계로 연구실에서 사용하기에 무리가 있다. 따라서 본 ADC의 측정 결과는 800MSPS으로 제한되었음을 밝힌다. 또한 1GSPS로 고속 동작하는 ADC를 원활히 측정하기 위해서는 출력 주파수를 낮추기 위한 down converter가 필요하다. 따라서 그림 13과 같은 16분주의 decimation 회로를 설계 하였다.

Decimation 회로는 MUX의 switch 신호에 따라서 실제 입력 clock 신호 또는 16분주된 clock 신호를 선택적으로 down converter에 인가하도록 설계 되었다. 측정된 결과는 모두 decimation 과정을 거친 출력 결과이며 Gage社의 Compuscope 3200을 사용하여 측정된다. Compuscope 3200은 ADC의 성능 측정을 할 수 있는 software가 내장되어 있는 측정 보드로서 digital capture board에 의해 얻어진 출력 데이터에 의해 SNR, DNL, INL 등의 확인이 가능하다. 그림 14는

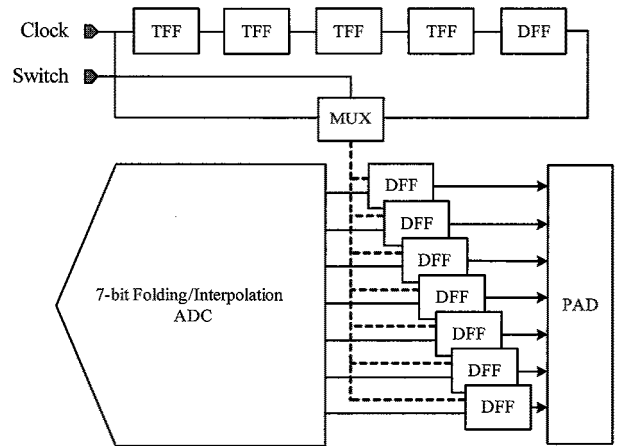


그림 13. Decimation 회로의 전체 구조  
Fig. 13. Block diagram of the decimation.

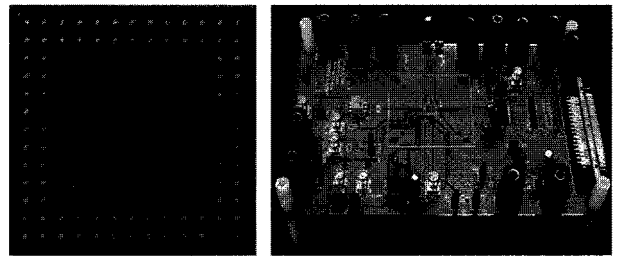


그림 14. 제작된 칩 및 PCB  
Fig. 14. Packaged chip and PCB for Measurement.

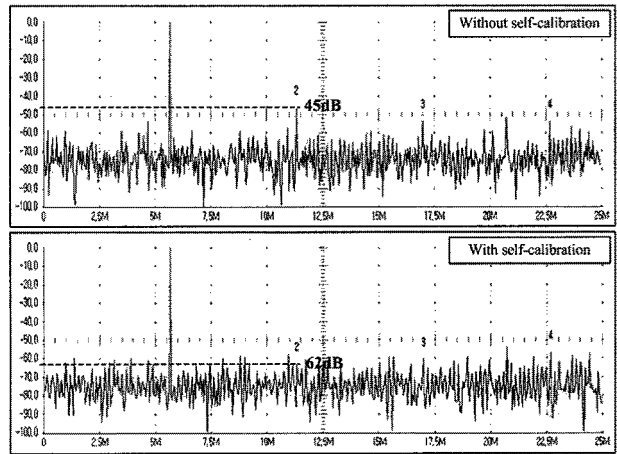


그림 15. 측정된 FFT 신호 스펙트럼  
Fig. 15. Measured FFT signal spectrum.

FBGA 88pin으로 제작된 칩과 PCB이다.

그림 15는 self-calibration 기법의 적용 여부에 따른 FFT 측정 결과이며 샘플링 주파수 800MSPS, 입력 주파수 5MHz에서 측정 되었다.

post-layout에서의 모의실험 결과와 유사하게 2nd harmonic 성분의 감소와 함께 ADC의 SFDR, SNDR, ENoB 모두 향상되는 결과를 보인다. 표 6은 위 측정결

표 6. FFT 측정 결과표

Table 6. Measured FFT results table.

@800MSPS	SFDR	SNDR	ENoB
Self-Calibration 적용 전	44.75 dB	39.98 dB	6.35 bit
Self-Calibration 적용 후	55.51 dB	42.21 dB	6.72 bit

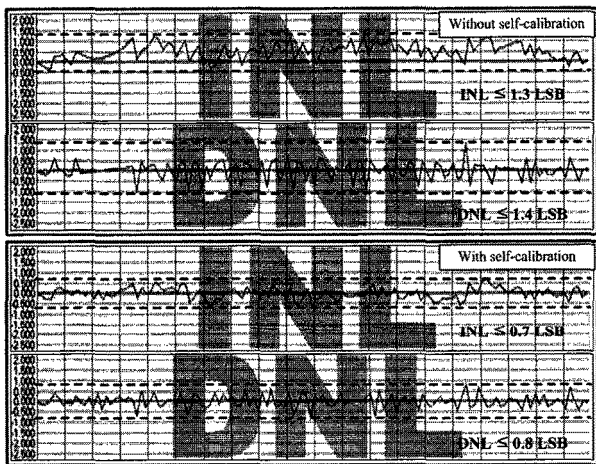


그림 16. 측정된 INL & DNL

Fig. 16. Measured INL & DNL.

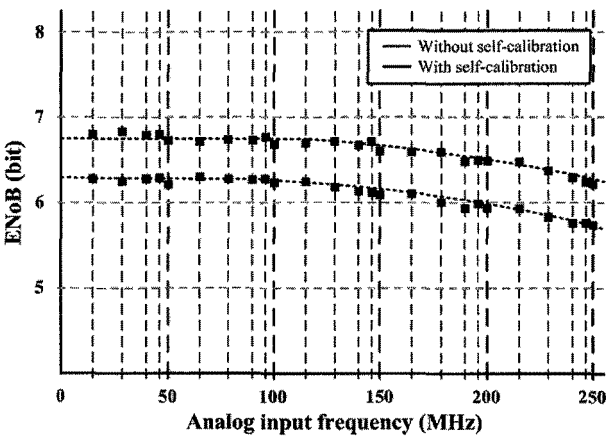


그림 17. 측정된 ENoB (Fs=800MSPS)

Fig. 17. Measured ENoB. (Fs=800MSPS)

과에 대한 분석표이다.

그림 16은 설계된 ADC의 INL 과 DNL의 측정결과이다. Self-calibration 회로의 동작에 의해 INL 과 DNL 특성의 향상을 확인할 수 있다.

그림 17은 800MSPS에서의 입력 주파수에 따른 ADC의 ENoB 결과 그래프 이다. Self-calibration 이 적용된 ADC는 적용되지 않은 ADC에 비해 성능이 우수하며, SNDR 이 전체적으로 약 3dB 상승하였다.

## V. 결 론

본 논문의 ADC는 7-bit F/I ADC를 기본으로 offset self-calibration 기법을 적용하여 offset error 가 ADC 에 미치는 영향이 최소화 되도록 설계하였다. 설계된 7-bit F/I ADC는 고속 동작을 위해 1+6 구조로 설계 되었으며 calibration을 위해 DAC 로 제어되는 second preamp를 삽입하였다. post-layout 모의실험 결과 mismatch 상황에서 self-calibration 기법이 적용되지 않은 F/I ADC에 비해 향상된 SNDR 특성을 보이는 것을 확인하였으며 실제 측정 결과 전체적으로 약 3dB 정도의 SNDR 향상을 보였다. self-calibration 회로를 추가함에 따라 전력소모는 약 40mW 증가 하였으며 면적은 약 2배 증가하였다.

본 논문의 self-calibration 기법은 middle-bit ADC 뿐만 아니라 high-bit ADC에서도 적용이 가능하며

표 7. 설계된 ADC의 사양

Table 7. Performance summary of the designed ADC.

Process	65nm 1-poly 6-metal N-well CMOS	
Conversion rate	1 GSPS	
Resolution	7-bit	
Power supply	1.2V (Analog + Digital)	
Input frequency	1/2 Nyquist	
DNL	Uncalibrated	Calibrated
	±1.4LSB	±0.8 LSB
INL	Uncalibrated	Calibrated
	±1.3 LSB	±0.7 LSB
ENoB @250MHz,800MSPS	Uncalibrated	Calibrated
	5.7bit	6.2bit
SNDR @250MHz,800MSPS	Uncalibrated	Calibrated
	36.1dB	39.1dB
Power dissipation	110mW	
Chip size	0.87 mm <sup>2</sup>	

표 8. 최근 7-bit ADC연구동향

Table 8. Recent research of 7-bit ADC.

Type	Power [mW]	SNDR [dB]	Area [mm <sup>2</sup> ]	Process
ISSCC02 450 MSPS 7-bit Flash	50	35dB @fin=75MHz	0.3	0.18um
JSSC03 300 MSPS 7-bit F/I	200	33dB @fin=160MHz	1.2	0.35um
SOVC06 800 MSPS 7-bit F/I	120	33.6dB @fin=200MHz	0.32	90nm
SOVC07 1.1 GSPS 7-bit pipeline	46/ch	36.1dB @fin=400MHz	0.19/ch	90nm
This work 1 GSPS 7-bit F/I	110	38.5dB @fin=250MHz	0.87	65nm

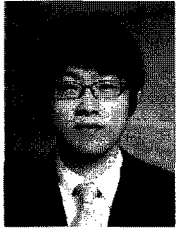


resolution 이 높을수록 calibration의 효과가 더욱 크다. 또한 time-interleaved F/I ADC의 설계에도 많은 도움을 줄 수 있을 것이라 예상 된다. 비록 self-calibration 회로를 추가함에 따라 전력 소모 및 면적의 증가라는 단점이 있지만 고속 ADC의 안정적인 동작 특성을 보장할 수 있다. 표 7은 ADC의 사양 및 측정결과를 정리한 표이며 표 8은 최근 7-bit ADC의 연구동향을 정리한 표이다.

### 참 고 문 헌

- Issue 1, Jan 2004 Pags(s): 3-14
- [9] Hamid Movahedian, Mehrdad Sharif Bakhtiar, "A New Offset Cancellation Technique for Folding ADC," *IEEE International Symposium on Circuits and Systems*, vol 1, pp 200-203, May. 2005.
- [1] Kiyoshi Makigawa, Koichi Ono, Takeshi Ohkawa, Kouji Matsuura and Masahiro Segami, "A 7bit 800Msps 120mW Folding and Interpolation ADC Using a Mixed-Averaging Scheme", *VLSI Circuits, 2006. Digest of Technical Papers. 2006 Symposium on*, pp. 138-139, 2006.
- [2] R. Grift. I. Rutten and M. Veen, "An 8-bit Video ADC Incorporating Folding and Interpolation Technique", *IEEE J. Solid-State Circuits*, vol. SC-22, no. 6, pp. 944-953, Dec. 1987.
- [3] R. Plassche and P. Baltus, "An 8-bit 100-MHz Full-Nyquist Analog-to-Digital Converter" *IEEE J. Solid-State Circuits*, vol. 23, no. 6, pp. 1334-1344, DEC. 1988.
- [4] Peter. Vorenkamp and R. Roovers "A 12-b, 60-MSample/s Cascaded Folding and Interpolating ADC", *IEEE J. Solid-State Circuits*, vol. 32, no. 12, 1876-1886, Dec. 1997.
- [5] Shyh-Chyi Wong, Kuo-Hua Pan, Dye-Jyun Ma, "A CMOS Mismatch Model and Scaling Effects," *IEEE Electron device letters*, vol. 18, no. 6, pp. 261-263, Jun. 1997.
- [6] Robert C. Taft, Chris A. Menkus, Maria Rosaria Tursi, Ols Hidri, Valerie Pons, "A 1.8-V 1.6-GSample/s 8-b Self-Calibrating Folding ADC With 7.26 ENOB at Nyquist Frequency," *IEEE J. Solid-State Circuits*, vol. 39, no.12, pp. 2107-2115, Dec. 2004.
- [7] Cheng-Chung Hsu, Chen-Chih Huang, Ying-Hsi Lin, Chao-Cheng Lee, "A 10b 200MS/s Pipelined Folding ADC with Offset Calibration," *33rd European Solid State Circuits Conference, 2007. ESSCIRC*, pp. 151-154, Sep. 2007.
- [8] Hui Pan and Asad A. Abidi, "Signal folding in A/D Converters", *IEEE Transactions on Circuits and Systems I: Regular Papers*, Volume 51,

— 저 자 소 개 —



김 대 윤(학생회원)  
 2008년 동국대학교 반도체과학과  
 학사 졸업.  
 2010년 동국대학교 반도체과학과  
 석사 졸업.  
 2010년~현재 동국대학교 반도체  
 과학과 박사과정 재학.

<주관심분야 : CMOS 아날로그 회로 설계, 고성  
 능 데이터 변환기, CMOS Image Sensor 설계>



문 준 호(학생회원)  
 2005년 동국대학교 반도체과학과  
 학사 졸업.  
 2007년 동국대학교 반도체과학과  
 석사 졸업.  
 2007년~현재 동국대학교 반도체  
 과학과 박사과정 재학.

<주관심분야 : CMOS 아날로그 회로 설계, 고성  
 능 데이터 변환기, 저 전력 혼성모드 회로 설계>



송 민 규(정회원)  
 1986년 서울대학교 전자공학과  
 학사 졸업.  
 1988년 서울대학교 전자공학과  
 석사 졸업.  
 1993년 서울대학교 전자공학과  
 박사 졸업.

1993년~1995년 동경대학교 초빙연구원.  
 1995년~1997년 삼성전자 ASIC 설계팀 연구원.  
 1997년~현재 동국대학교 반도체과학과 교수.  
 <주관심분야 : CMOS 아날로그 회로 설계, 저 전  
 력 혼성모드 회로 설계, 데이터 변환기 설계>