

논문 2010-47SD-3-5

저비용, 저전력 카메라 폰 구현을 위한 하드웨어 자원 공유가 가능한 카메라 제어 프로세서의 설계

(Design of a Hardware Resource Sharable Camera Control Processor for Low-Cost and Low-Power Camera Cell Phones)

임 규 삼*, 백 광 현**, 김 석 기***

(Kyusam Lim, Kwang-Hyun Baek, and Suki Kim)

요 약

본 논문에서는 저비용, 저전력 카메라 폰 구현을 위한 하드웨어 자원 공유가 가능한 구조의 카메라 제어 프로세서를 제안한다. 제안한 카메라 제어 프로세서의 구조는 내부에 직접 접근 경로를 내장함으로써 베이스 밴드 프로세서가 카메라 제어 프로세서의 하드웨어 자원을 직접 활용할 수 있도록 하여 베이스 밴드 프로세서의 기능 확장과 성능 향상을 도모하는데 그 목적이 있다. 또한, 제안한 구조와 결합하여 블록 단위 클럭 차단 기법을 적용하여 저전력 소비를 구현한 결과를 기술하였다. 따라서 제안한 카메라 제어 프로세서는 시스템의 하드웨어 자원 효율성을 향상시켜 저전력, 저비용 카메라 폰 시스템 구현을 가능하게 한다. 제안한 카메라 제어 프로세서는 0.18um CMOS 공정을 사용하여 제작되었으며 면적은 3.8mm x 3.8mm이다.

Abstract

In this paper, we propose a hardware resource sharable camera control processor (CCP) for low-cost and low-power camera cell phones. The main idea behind the proposed architecture is that adds direct access paths in the CCP to share its hardware resources so that the baseband processor expands its capabilities and boosts its performance by utilizing CCP's hardware resources. In addition, we applied a module grain clock-gating method to reduce power dissipation. Hence, the CCP can realize low-power and low-cost camera cell phones with greater hardware efficiency. This chip was fabricated in a 0.18um CMOS process with an active area of 3.8mm x 3.8mm.

Keywords : Camera cell phone, mobile phone, camera control processor

I. 서 론

나날이 증대되는 카메라 폰의 인기에 힘입어 현대의 휴대폰 시스템에서 카메라 기능은 필수적인 요소로 자리 매김 하였다. 최초의 카메라 폰의 출현 이후 고화질

의 사진을 촬영하고자 하는 사용자들의 요구에 부응하기 위해서 관련 업계에서는 이미지의 화소수를 증대하기 위한 노력을 지속하고 있으며 또한 카메라 기능을 포함한 다양한 멀티미디어 기능 수행을 위하여 멀티미디어 기능이 내장된 Multimedia-Enhanced Baseband Processor^[1] 또는 멀티미디어 데이터 전달 처리를 위한 Multimedia SoC^[2] 개발에 대한 노력을 지속하고 있다. 이러한 노력들의 결과로 현대의 휴대폰들 수백만 화소급의 사진 촬영뿐만 아니라 MP3 재생, 동영상 재생 등의 다양한 멀티미디어 기능을 내장하고 있다. 그러나 휴대폰에 내장된 다양한 멀티미디어 기능에 대한 사용빈도에 대한 연구 결과^[3]에 의하면 사용자들의 주된 사

* 학생회원, ***평생회원, 고려대학교 전자전기공학과 (Department of Electrical Engineering, Korea University)

** 평생회원, 중앙대학교 전기전자공학부 (School of Electrical and Electronics Engineering, Chung-Ang University)

※ 본 결과물은 엠텍비전(주)의 지원으로 이루어졌습니다.

접수일자: 2009년12월4일, 수정완료일: 2010년2월15일

용 기능은 사진 촬영을 위한 카메라 기능이며, 사실상 가장 꾸준한 수요를 보이는 휴대폰 분류는 웹 페이지 게재가 용이한 크기의 사진 촬영이 가능한 1-2백만 화소급의 영상 센서를 내장한 저가형 카메라 폰 분류라 볼 수 있다. 그러므로 이러한 사용자들의 요구에 부응하고 시스템 구현 비용을 저감하기 위해서는 다양한 멀티미디어 기능 수행이 가능한 1-2백만 화소급의 카메라 기능만을 전담하여 수행할 수 있는 카메라 제어 프로세서를 사용하여 저비용의 카메라 폰 시스템을 구현하는 것이 필요로 하다고 볼 수 있다.

따라서 본 논문에서는 최대 2백만 화소급의 사진 촬영 및 카메라 기능 수행이 가능하고 하드웨어 자원 효율성을 향상시키기 위한 하드웨어 자원 공유가 가능한 구조의 카메라 제어 프로세서 (CCP: Camera Control Processor)를 제안하고 설계한 결과를 기술하였다. 제안한 CCP의 구조는 내부의 각 기능 블록으로 Baseband Processor가 직접 접근할 수 있는 직접 접근 경로 (DAP: Direct Access Path)를 설계하여 카메라 기능을 수행하지 않는 경우에 Baseband Processor가 CCP의 하드웨어 자원을 활용할 수 있도록 하여 Baseband Processor의 기능 확장과 성능 향상을 도모한 구조이다. 이와 더불어 휴대 시스템의 최우선 고려 사항 중 하나인 저전력 소비를 구현하기 위해 블록 단위 클럭 차단 기법을 적용하여 소비 전력을 저감한 결과를 기술하였다.

II. Camera Control Processor

Multimedia SoC를 내장한 현대의 카메라 폰 시스템을 하드웨어 자원의 효율성 관점에서 보면 Baseband Processor는 멀티미디어 기능 수행에 있어서 미미한 역할을 수행하므로 하드웨어 자원 효율성이 낮다고 볼 수 있다. 그러나 폰 시스템에서의 Baseband Processor의 역할은 매우 중요하므로 시스템 구현 비용을 저감하기 위해서는 Baseband Processor의 하드웨어 자원을 최소화하기보다는 Multimedia SoC의 하드웨어 자원을 최소화 하는 것이 용이하다고 볼 수 있다.

따라서 본 논문에서 제안한 CCP는 최대 2백만 화소급의 사진 촬영 및 카메라 기능 수행을 위한 최소한의 하드웨어 자원을 사용하여 Multimedia SoC로 구성된 시스템과 고비용의 시스템과 동일하게 Baseband Processor의 처리 과부하(Processing Overload)를 저감

하도록 설계한 구조이다. 따라서 하드웨어 자원 효율성을 향상 시켜 상대적으로 저비용으로 시스템 구현이 가능하도록 설계한 구조이다.

2.1 CCP의 하드웨어 구조

그림 1에 CCP의 세부 구조와 직접 접근 경로들을 도시하였다. CCP의 주요 구성은 영상 데이터 수신을 위한 Camera Interface, 메모리로의 데이터 입/출력을 관리하는 Memory Management Unit (MMU), JPEG Image 압축 및 복원을 수행하기 위한 JPEG Codec, 2D 그래픽 가속을 위한 2D Graphic Accelerator, LCD Display기능을 수행하기 위한 Display Controller, 직접 접근 경로들의 제어와 Baseband Processor와의 통신을 위한 Baseband Interface 로 구성되어 있다. 각 직접 접근 경로들은 폰 기능 수행 시 CCP의 하드웨어 자원의 활용성을 고려하여 설계 되었으며 그림 1의 DAP (A)는 다음에 기술한 (가), (나), (다)의 경우를 위하여 설계된 경로이며 그림 1의 DAP (B)는 다음에 기술한 (라)의 경로를 위하여 설계된 경로이다.

- 가. 폰 시스템의 메모리 공간을 확장할 수 있도록 CCP의 메모리를 활용하기 위한 직접 접근 경로.
- 나. Multimedia Messaging Service (MMS) 기능 또는 JPEG Image 보기 기능 수행 시 CCP의 JPEG Codec을 활용하기 위한 직접 접근 경로.
- 다. 2D 그래픽 기능 수행 시 CCP의 2D Graphic Engine을 활용하기 위한 직접 접근 경로.
- 라. User Interface (UI) Display 기능 수행 시 Baseband Processor와 LCD 사이의 직접 통신을 위한 직접 접근 경로.

2.2 직접 접근 경로를 이용한 하드웨어 자원 공유 방법

Baseband Processor는 DAP (A)를 사용하여 CCP의 메모리, JPEG Codec, 그리고 2D Graphic Accelerator로의 직접 접근이 가능하다. 따라서 Baseband Processor는 CCP의 하드웨어 자원을 활용할 수 있으므로 폰 기능 수행 시 성능 향상 및 기능 확장을 도모할 수 있다. 보다 자세히, MMS 기능 수행에 있어서 수신된 메시지에 첨부된 JPEG Image 복원을 수행하기 위하여 Baseband Processor는 JPEG Image를 CCP의 내부 메모리에 DAP (A)를 사용하여 저장한다. 이후

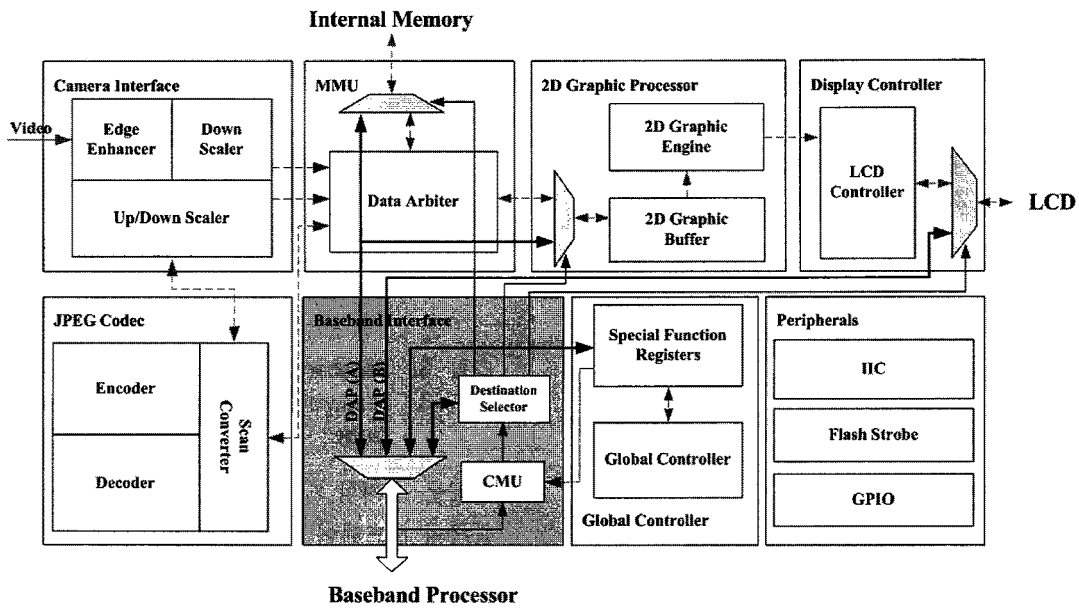


그림 1. 제안한 CCP의 하드웨어 구조와 직접 접근 경로들
 Fig. 1. Hardware architecture of the proposed CCP and direct access paths.

JPEG Codec을 구동시켜 JPEG Image 복원 동작을 수행한 후 복원된 Image를 LCD에 Display하여 MMS 기능 수행 또는 JPEG Image View 기능 수행에 있어 Baseband Processor의 성능 향상을 도모 할 수 있다.

또한, 2D 게임 기능 수행의 경우도 마찬가지로 2D Graphic 을 CCP의 2D Graphic Buffer에 DAP (A)를 사용하여 저장한 후 2D Graphic Accelerator를 구동하여 LCD에 Display 하는 방법으로 2D 게임 기능 수행에 있어 성능 향상을 도모 할 수 있다. 따라서 Baseband Processor는 직접 접근 경로들을 사용하여 CCP 내부 하드웨어 자원을 용이하게 활용 할 수 있으므로 폰 기능 수행에 있어 성능 향상과 기능 확장을 도모 할 수 있다.

한편, DAP (B)는 단순히 UI Display 기능을 수행 할 경우 CCP를 Power-Down상태를 유지 하면서 Baseband Processor가 UI Graphic을 LCD에 직접 표시하기 위해 설계된 경로로써 Baseband Processor로 하여금 LCD를 직접 제어 할 수 있도록 설계한 경로이다. 따라서 Baseband Processor와 LCD와의 직접 통신을 위한 추가적인 연결 변경 회로에 대한 필요성을 제거하며 CCP를 Power-Down 상태를 유지하면서 UI Display 기능 수행이 가능하므로 불필요한 전력 소모를 방지할 수 있다.

2.3 Baseband Interface 블록의 구조

Baseband Interface 블록은 많은 양의 영상데이터를 교환하여야 하므로 Parallel Interface형태로 설계 되었 으며 Baseband Processor와의 통신을 용이하게 하기 위하여 Chip Select (CSn), Write Enable (WEn), Read Enable (REn), Address Bus (Addr), 그리고 Data Bus (Data) 신호들로 구성된 Memory Interface 방식을 사용하였다. 따라서 Baseband Processor는 External Memory Interface를 사용하여 CCP와의 통신이 가능하며 통신을 위한 연결선 수를 줄이기 위하여 Indirect Addressing 방식을 적용하여 2개의 Address 신호선들 만을 사용하여 통신이 가능하도록 설계하였다. 표 1에 Baseband Processor가 2bit Address 신호들을 사용하여 CCP를 제어 및 참조하기 위한 간접 주소 방식 (In-direct Address Mode) 표를 나타내었다.

표 1에 나타낸 바와 같이 현재 설정된 경로 선택기 (Destination Selector)의 값 "00"은 LCD로의 직접 접근

표 1. 간접 주소 방식 표
 Table 1. In-direct address table.

Addr	00(LCD)	01(Int.)	10(Control)	11(SFR)
00	LCD RS	U. Addr	Addr	CMU
01	Main-LCD	L. Addr	U. Param	GPIO
10	Sub-LCD	Data	L. Param	GPIO control
11	D. Selector	D. Selector	D. Selector	D. Selector

경로가 선택되어짐을 의미하며, 경로 선택기의 값 "01"은 내부 메모리, JPEG Codec 그리고 2D Accelerator로 직접 접근 경로가 선택되어짐을 의미하며, 경로 선택기의 값 "10"은 CCP를 제어하기 위한 제어 레지스터(Controller Register)가 선택되어짐을 의미하며, 마지막으로 경로 선택기의 값 "11"은 경우는 Clock 제어 및 GPIO 제어 등을 수행하기 위한 특수 기능 레지스터(SFR: Special Function Register) 경로 선택을 위해 사용된다. 경로 선택기를 설정하여 목적 경로를 선택한 이후에 2 bit Address 신호들은 다시 선택된 경로들에 대하여 제어 및 참조하기 위한 파라미터 및 데이터들을 구분하여 저장하기 위하여 사용된다. 경로 선택기의 선택 경로를 변경하기 위하여, 모든 경로에서 Address "11"은 경로 선택기의 설정(경로 변경)을 위한 주소로 전용 할당하였다.

이와 더불어, CCP와 Baseband Processor의 통신에 있어서 CCP의 동작 상태 (예, Power-Down 시)에 무관하게 Baseband Processor가 항상 CCP를 제어 할 수 있도록 하기 위하여 경로 변경에 필요한 Write/Read Clock을 Baseband Processor로부터 입력되는 Interface 신호들(CSn, WEn, REn)을 사용하여 생성하였으며 그 방법과 파형을 그림 2에 도시하였다.

그림 2에 도시한 바와 같이 Write Clock은 CSn 신호와 WEn 신호의 논리 OR 연산을 통해서 생성되며 Read Clock은 CSn 신호와 REn 신호의 논리 OR 연산을 통해 생성된다. 생성된 Write/Read Clock은 Clock 제어기 (CMU: Clock Management Unit)을 통해 Baseband Interface 블록으로 공급되며 Baseband Interface 블록은 Write/Read Clock을 사용하여 경로 선택기 설정 및 목적 경로의 제어를 위한 제어 레지스터 갱신 동작을 수행한다. 따라서 Baseband Processor는 CCP의 동작 상태와 무관하게 항상 통신이 가능한

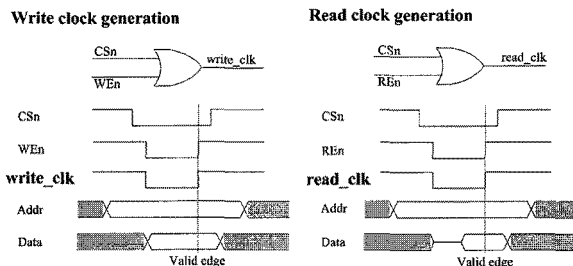


그림 2. 쓰기/읽기 Clock 생성 방법
Fig. 2. Write/Read clock generation method.

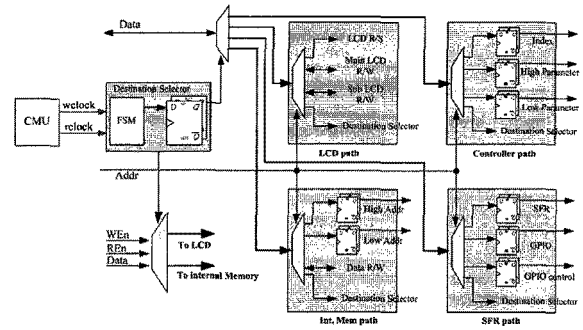


그림 3. Baseband Interface 블록의 하드웨어 구조
Fig. 3. Hardware architecture of the baseband interface block.

상태를 유지할 수 있다. 그림 3에 Baseband Interface 블록의 하드웨어 구조를 도시하였다.

2.4 저전력 소비를 위한 CCP의 블록 단위 Clock 차단 기법

그림 4에 저전력 소비를 위해 CCP에 적용한 블록 단위 Clock 차단 기법을 도시 하였다. 그림 4에 도시한 바와 같이 블록 단위 Clock 차단기의 구조는 2.3절에 기술한 방법으로 경로 선택기를 이용하여 SFR 경로를 선택한 후에 Clock제어 레지스터를 설정함으로써 이루어지며 레지스터의 설정 값에 따라 해당 블록에 대한 Clock을 공급 및 차단 할 수 있도록 설계 하였다. 따라서 Clock 제어기를 사용하여 블록 단위의 독립적인 동작이 가능하며 Baseband Processor가 특정 블록을 구동 할 경우 해당 블록에만 Clock이 공급되도록 레지스터를 설정하여 최적화된 전력 소비가 가능하도록 설계한 구조이다.

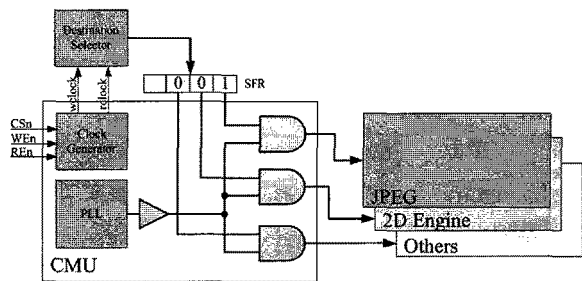


그림 4. Clock 제어기의 하드웨어 구조
Fig. 4. Hardware architecture of the CMU.

III. 설계 수행 및 실험 결과

표 2에 제안한 CCP의 설계 수행 결과를 동일한 화소

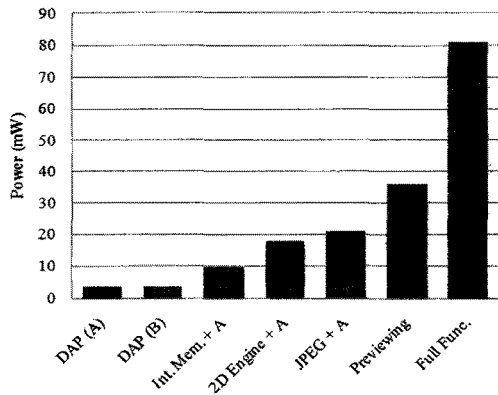


그림 5. 소비 전력 측정 결과

Fig. 5. Measurement results of power dissipation.

표 2. ASIC 설계 수행 결과 및 CCP와 Multimedia SoC의 비교 표

Table 2. ASIC implementation results comparing with Multimedia SoC.

Feature	CCP	Multimedia SoC ^[2]
Technology	0.18um, 1P6M, CMOS	0.13um, 5-layer Cu, dual-Vth, CMOS
면적	3.8mm x 3.8mm	7.7mm x 7.6mm
최대 화소수	1632x1224	1632x1224
동작 주파수	30MHz	216MHz
내장 CPU	-	389MIPS (Dhrystone 2.1)
내장 DSP	-	216MMACS
Graphic	2D Acceleration	3D Acceleration
소비 전력	Dynamic: 81mW Standby: 150uA	Dynamic: 150mW Standby: 100uA, 15uA
동작 전원	1.8V(Core), 3.3V (I/O)	1.2V(Core), 3.3V(I/O)

수의 카메라 기능 수행이 가능한 Multimedia SoC와 비교하여 요약하였다. 제안한 CCP는 Verilog HDL을 사용하여 설계하였으며 0.18um CMOS Standard Cell 공정을 사용하여 구현되었다. Die 면적은 3.8mm x 3.8mm이며 처리가 가능한 최대 화소수는 2백만 화소 (1632 x 1224) 이다. CCP 의 동작 주파수는 30MHz이며 최대 소비 전력은 Core전원 1.8V, I/O 전원 3.3V인 조건에서 81mW이고 Power-Down 상태에서의 소비 전류는 150uA이다.

그림 5에 CCP의 소비 전력을 측정한 결과를 나타내었다. 그림 5에 나타낸 바와 같이 DAP (A), (B)를 독립적으로 사용할 경우의 소비 전력은 3.6mW, DAP (A)를 사용하여 CCP 내부 메모리만을 구동할 경우의 소비 전력은 18mW, 2D Graphic Accelerator 만을 구동 할 경우의 소비 전력은 21mW, JPEG Codec만을 구동 할 경우의 소비 전력은 21mW이다. 카메라 기능 수행의 경

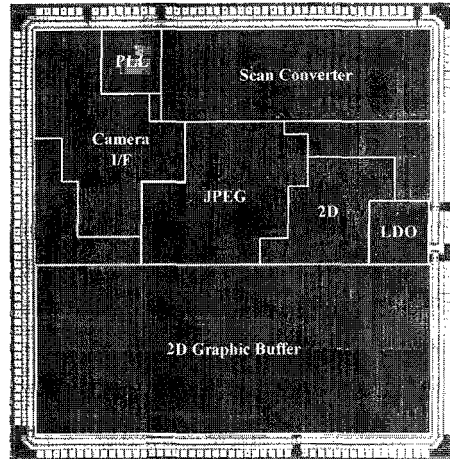


그림 6. CCP의 Die 사진

Fig. 6. Die microphotograph.

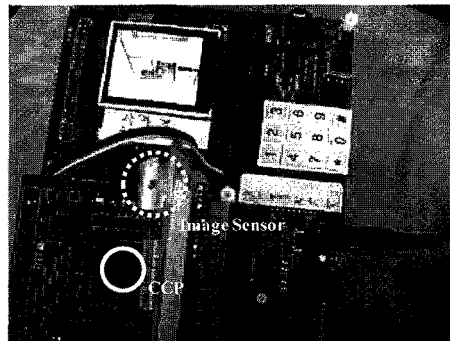


그림 7. CCP의 평가 시스템

Fig. 7. Evaluation system for the CCP.

우, Image Capture/Previewing 기능 수행 시의 소비 전력은 36mW이고 모든 블록이 구동되는 경우 (Image Capture/Previewing + 2D Graphic Acceleration + JPEG Compression)의 소비 전력은 81mW이다. 모든 경우에서의 동작 주파수는 30MHz이고 전원 조건은 Core 1.8V, I/O 3.3V인 조건이다. 그림 6에 CCP의 Die 사진을 도시하였으며 그림 7에 CCP의 평가 시스템을 도시하였다.

IV. 결 론

본 논문에서는 저비용, 저전력 카메라 폰 시스템 구현을 위한 하드웨어 자원 공유가 가능한 구조의 CCP를 제안하고 설계한 결과를 기술하였다. 제안한 CCP의 구조는 내부 하드웨어 자원을 Baseband Processor가 활용 할 수 있도록 내부에 직접 접근 경로를 설계하여 Baseband Processor로 하여금 기능 확장과 성능 향상을 도모할 수 있도록 하여, 폰 기능 수행에 있어 효율적

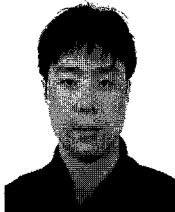
인 하드웨어 자원 활용이 가능하도록 한 구조이다. 또한, 휴대폰 시스템에서 최우선 고려사항 중에 하나인 저전력 소비 특성을 구현하기 위하여 제안한 구조와 더불어서 블록 단위의 Clock 차단 기법을 적용하여 CCP의 소비 전력을 저감한 결과를 기술하였다.

표 2의 비교 결과에 의하면 CCP는 Multimedia SoC와 동일한 2백만 화소급의 카메라 기능 수행이 가능함에도 불구하고 Multimedia를 위해 특화된 SoC^[2]를 사용하여 카메라 폰을 구현하는 것보다 상대적으로 저비용, 저전력 특성을 보여주고 있다. 따라서 제안한 CCP를 사용하여 카메라 폰 시스템을 구현할 경우 효율적인 하드웨어 자원 활용이 가능하므로 저비용, 저전력 카메라 폰 시스템 구현이 가능하다.

참 고 문 헌

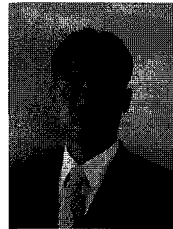
- [1] T. Lueftner et al., "A 90-nm CMOS Low-power GSM/EDGE multimedia-enhanced baseband processor with 380-MHz ARM926 Core and Mixed-Signal Extensions," IEEE J. of Solid-State Circuits, vol.42, no.1, pp.135-144, Jan. 2007.
- [2] T. Kamei, et al., "A resume-standby application processor for 3G cellular phones," in IEEE Int. Solid-State and Circuits Conf., vol.1, pp.336-531, Feb. 2004.
- [3] Tim Kindberg, Mirjana Spasojevic, Rowanne Fleck, and Abigail Sellen, "The ubiquitous camera: An in-depth study of camera phone use," IEEE J. of Pervasive Computing, vol.4, no.2, pp.42-50, Jan.-Mar. 2005.
- [4] H. Yamauchi, S. Okada, Y. Matsuda, T. Mori, T. Watanabe, A. Kobayashi, I. Ogura, and Y. Harada, "One-chip 15 frame/s mega-pixel real-time image processor," in IEEE Int. Solid-State and Circuits Conf., pp.144-145, Feb. 2001.

저 자 소 개



임 규 삼(학생회원)
 2002년 대전대학교 전자공학과
 공학사
 2007년 고려대학교 마이크로/
 나노시스템학과 공학석사
 2008년 현재 고려대학교
 전기전자공학과 박사과정

2002년~2007년 엠텍비전(주) 선임연구원
 2010년 현재 LG 디스플레이 선임연구원
 <주관심분야 : SoC 설계 및 검증 방법>



백 광 현(평생회원)
 1990년 고려대학교 전자전산공학과
 공학사
 1998년 고려대학교 전자공학과
 공학석사
 2002년 UIUC 공학박사

1990년~1996년 삼성전자 LSI 사업부 선임연구원
 1998년~2001년 University of Illinois CSL
 Research Assistant
 2001년~2006년 Rockwell Scientific Senior
 Scientist
 2010년 현재 중앙대학교 전자전기공학부 부교수
 <주관심분야 : Mixed-Mode Integrated Circuits
 and Systems>



김 석 기(평생회원)
 1973년 고려대학교 전기공학과
 공학사
 1975년 고려대학교 전기공학과
 공학 석사
 1980년 Minnesota University
 전기공학과 공학 박사

1995년~현재 고려대학교 전기전자전파공학부
 교수
 <주관심분야 : Mixed mode IC, Analog IC>