

논문 2010-47SD-3-6

다중 안테나 통신 시스템을 위한 효율적인 심볼 검출기 설계 연구

(Efficient Symbol Detector for Multiple Antenna Communication Systems)

장수현*, 한철희**, 최성남**, 곽재섭**, 정윤호***

(Soohyun Jang, Chulhee Han, Sungnam Choi, Jaeseop Kwak, and Yunho Jung)

요약

본 논문에서는 2개의 송수신 안테나를 갖는 MIMO 통신 시스템을 위한 면적 효율적인 심볼 검출기의 구조를 제안한다. 제안된 심볼 검출기는 MIMO 전송 기법 중 공간 다이버시티 모드뿐 아니라 공간 다중화 모드를 모두 지원하며, ML 수준의 성능을 제공한다. 또한, 다단 (multi-stage) 파이프라인 구조와 극좌표 형태의 복소수 승산 방법을 사용하여 연산 블록의 공유와 연산기의 단순화를 진행하였고, 이를 통해 하드웨어 복잡도를 크게 감소시켰다. 제안된 하드웨어 구조는 하드웨어 설계 언어 (HDL)를 이용하여 설계 되었고, Xilinx Virtex-5 XC5VLX220 FPGA에 기반하여 구현되었다. 그 결과 기존의 설계 구조와 비교하여 35.3% 감소된 logic slices, 85.3% 감소된 DSP48s (dedicated multiplier)로 구현 가능함을 확인하였다.

Abstract

In this paper, an area-efficient symbol detector is proposed for MIMO communication systems with two transmit and two receive antennas. The proposed symbol detector can support both the spatial multiplexing mode and spatial diversity mode for MIMO transmission technique, and shows the optimal maximum likelihood (ML) performance. Also, by sharing the hardware block with multi-stage pipeline structure and using the complex multiplier based on polar-coordinate, the complexity of the proposed architecture is dramatically decreased. The proposed symbol detector was designed in hardware description language (HDL) and implemented with Xilinx Virtex-5 FPGA. With the proposed architecture, the number of logic slices for the proposed symbol detection is 52490 and the number of DSP48s (dedicated multiplier) is 52, which are reduced by 35.3% and 85.3%, respectively, compared with the conventional architecture.

Keywords : MIMO, ML, Spatial Diversity, Spatial Multiplexing, Symbol Detector

I. 서론

최근 가정 및 기업 혹은 핫스팟 환경에서 고속의 무

선 데이터 전송에 대한 수요가 늘어감에 따라 수백 Mbps 및 Gbps급 이상의 데이터 전송 속도를 지원할 수 있는 차세대 무선 통신 시스템에 대한 관심이 고조되고 있다. 이러한 초고속 데이터 전송을 충족시킬 수 있는 전송 기술로써, 다중안테나 (multiple-input multiple-output, MIMO) 시스템에 대한 연구가 활발히 진행되고 있다^[1]. MIMO 기술은 송신 안테나 수에 비례하여 시스템의 용량을 증가시킬 수 있으므로, IEEE 802.11n WLAN, IEEE 802.16e Mobile WiMAX 등 최신 무선 통신 시스템에 적용되고 있다^[2~4].

MIMO 시스템은 송·수신단에 여러 개의 안테나를 이

* 학생회원, *** 평생회원-교신저자, 한국항공대학교 항공전자 및 정보통신공학부

(Korea Aerospace University, School of ETCE)

** 정회원, 삼성탈레스 주식회사 (Samsung Thales CO., LTD.)

※ 이 논문은 2009년 정부(교육과학기술부)의 재원으로 한국연구재단의 지원(2009-0071983)과 (주)삼성탈레스의 지원을 받아 수행되었고, CAD Tool 은 IDEC 으로부터 지원받았음.

접수일자: 2009년11월11일, 수정완료일: 2010년2월5일

용하여 동시에 서로 다른 데이터를 전송함으로써 시스템의 대역폭 증가 없이 고속의 데이터를 전송할 수 있는 공간 다중화 (spatial multiplexing, SM) 기술과 송신 단에서 별도의 코딩을 거친 후 수신단에서 선형연산을 통해 다이버시티 이득을 얻고자 하는 공간 다이버시티 (spatial diversity, SD) 기술^[5]로 구분 된다. 전송 신뢰도를 향상시키는 공간 다이버시티 기술은 수신단에서 선형 연산을 통해 maximum likelihood (ML) 심볼 검출이 간단히 이루어지는데 비해, 전송률을 향상시키는 공간 다중화 기술은 수신단에서 다중화된 데이터들을 분리해야 하는 어려움이 있다^[6~8]. 또한, MIMO 시스템은 하드웨어 복잡도가 크기 때문에 무선 통신 단말의 소형화 추세를 고려했을 때 최소의 복잡도를 갖는 구조로 설계하는 것이 매우 중요하다. 특히, MIMO 심볼 검출기는 하드웨어 면적 측면에서 매우 큰 비중을 차지하므로 최소의 복잡도를 갖는 심볼 검출기의 설계가 절실히 요구된다. MIMO 시스템의 하드웨어 복잡도는 데이터 스트림의 수에 따라 증가하므로 단말의 소형화 추세를 고려했을 때 2개의 송수신 안테나를 갖는 구조가 가장 적절하며, 이에 본 논문에서는 2개의 송수신안테나를 갖는 (2x2) MIMO 시스템을 위한 효율적인 심볼 검출기의 하드웨어 구조를 제시한다.

공간 다중화 심볼 검출 기술은 신호의 검출 방식에 따라 최적 검출 기법, 준 최적 검출 기법으로 나뉘고 준 최적 검출 기법은 선형 검출 기법과 비선형 검출 기법으로 다시 나뉜다. 최적의 성능을 보이는 ML 검출 기법의 경우, 송신 안테나 수와 변조 차수가 높아짐에 따라 연산 복잡도가 지수적으로 증가하기 때문에 실시간 구현에 어려움이 있다. 이와 같은 문제점을 해결하기 위해 modified ML (MML) 검출 기법이 논문 [9]에 제안되었다. 이 논문에서는 ML 검출 기법과 동일한 성능을 보이면서 필요한 ML metric 계산 횟수를 신호 성상도의 배수만큼 줄일 수 있는 효율적인 알고리즘을 제안한다. 하지만, MML 검출 기법은 ML 검출 기법에 비해 복잡도를 크게 낮추었으나, 특히 64QAM을 지원하는 경우 다수의 곱셈기가 필요하게 되어 여전히 실시간 구현이 어려운 문제를 갖는다. 또한, 대부분의 통신 시스템의 경우 SM 모드 뿐 아니라 single input single output (SISO), single input multiple output (SIMO), space time block code (STBC) 등 공간 다이버시티 모드도 지원 할 필요가 있다^[10~11]. 따라서, 본 논문에서는 MIMO 시스템에서 모든 전송 모드를 지원 가능하고,

극좌표 형태의 복소수 승산 방법을 통해 요구되는 곱셈기 수를 최소화 하는 MIMO 심볼 검출기의 최적 하드웨어 구조를 제안한다.

본 논문의 구성은 다음과 같다. 먼저, II장에서는 MIMO 시스템 모델을 제시한다. III장에서는 기존의 공간 다중화 심볼 검출 기술인 ML과 MML 알고리즘에 대해 설명하고, IV장에서는 제안된 하드웨어 구조를 제시 한다. V장에서는 제안된 하드웨어 구조에 대한 구현 결과를 제시하고, 끝으로 VI장에서 본 논문의 결론을 맺는다.

II. MIMO 시스템 모델

본 논문에서는 그림 1과 같이 N_T 개의 송신 안테나와 N_R 개의 수신 안테나로 구성되고, $N_R \geq N_T$ 를 만족하는 무선 통신 채널을 고려한다. 수신 신호 벡터는 수식 (1)과 같이 표현 할 수 있다.

$$\mathbf{y} = \mathbf{H} \cdot \mathbf{X} + \mathbf{N} = \begin{bmatrix} \mathbf{h}_1 & \mathbf{h}_2 & \cdots & \mathbf{h}_{N_T} \end{bmatrix} \cdot \mathbf{X} + \mathbf{N}$$

$$= \begin{bmatrix} h_{11} & h_{12} & \cdots & h_{1N_R} \\ h_{21} & h_{22} & \cdots & h_{2N_R} \\ \vdots & \vdots & \ddots & \vdots \\ h_{N_T1} & h_{N_T2} & \cdots & h_{N_TN_R} \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \\ \vdots \\ x_{N_T} \end{bmatrix} + \begin{bmatrix} n_1 \\ n_1 \\ \vdots \\ n_{N_R} \end{bmatrix} \quad (1)$$

여기서 x_j , ($j=1,2,\dots,N_T$)는 j 번째 송신 안테나로부터 전송되는 송신 심볼, y_i , ($i=1,2,\dots,N_R$)는 i 번째 수신 안테나에서 수신 신호를 각각 나타내며, $h_{j,i}$ ($j=1,2,\dots,N_T$, $i=1,2,\dots,N_R$)는 j 번째 송신 안테나와 i 번째 수신 안테나 사이의 페이딩 채널을 의미한다. n_i , ($i=1,2,\dots,N_R$)은 평균은 0이고 σ^2 의 분산을 가지는 additive white gaussian noise (AWGN)을 의미한다.

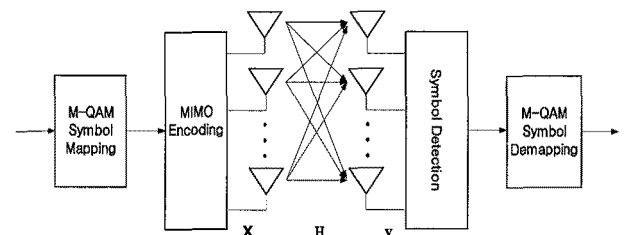


그림 1. MIMO 시스템 모델
Fig. 1. MIMO System Model.

III. 기존 신호 검출 알고리즘

1. ML 심볼 검출 기법

수신 신호에 대해 최적의 성능을 보이는 ML 기법은 수식 (2)로 표현 할 수 있다.

$$\mathbf{X}_{ML} = \arg \min_{\mathbf{X}} \|\mathbf{y} - \mathbf{H} \cdot \mathbf{X}\| \quad (2)$$

ML기법은 수신된 신호 \mathbf{y} 와 모든 전송 가능한 심볼 \mathbf{X} 와의 유클리디언 거리를 계산하여 가장 작은 유클리디언 거리에 해당하는 송신신호 벡터를 송신된 신호로 결정한다. 이런 ML기법은 최적의 성능을 보이지만, 모든 전송 가능한 후보들의 수가 변조차수와 송신 안테나의 개수가 증가함에 따라 그 복잡도가 지수적으로 증가하므로 실시간 하드웨어 구현이 어려운 단점이 있다.

2. MML 심볼 검출 기법

논문 [9]에서는 ML 심볼 검출 기법보다 계산량이 현격히 줄어들면서 성능 열화가 없는 MML 기법이 제안되었다. MML 기반 심볼 검출 과정은 표 1에 기술되어 있다. 여기서 \mathbf{h}_i 는 채널 행렬 \mathbf{H} 의 i 번째 열을 나타내고, C 는 변조 차수를 가리키며, 함수 $Q(\cdot)$ 는 slicing (quantization) 함수를 나타낸다. 표 1에서 볼수 있듯이 MML

표 1. MML 심볼 검출 과정^[9]
Table 1. MML symbol detection algorithm^[9].

(1)	metric = big number
(2)	$a = \mathbf{h}_2^H \mathbf{y}$
(3)	$b = \mathbf{h}_2^H \mathbf{h}_1$
(4)	$norm = \ \mathbf{h}_2\ ^2$
(5)	for $l = 1 : C $
(6)	$x_1 = C(l)$
(7)	$\tilde{\mathbf{y}}_1 = \mathbf{y} - \mathbf{h}_1 x_1$
(8)	$x_2 = Q(a - b x_1)$
(9)	$metric_temp = \ \tilde{\mathbf{y}}_1 - \mathbf{h}_2 x_2\ ^2$
(10)	if $metric_temp < metric$
(11)	$x_{ML} = [x_1 \ x_2]^T$
(12)	$metric = metric_temp$
(13)	end
(14)	end

심볼 검출 기법을 사용하면 N_T 를 송신 안테나 개수라고 할 때, 심볼 검출을 위해 필요한 ML metric 계산횟수는 C^{N_T-1} 이다. 기존의 ML 심볼 검출기법이 C^{N_T} 가지의 ML metric을 계산해야 함을 고려할 때 대략 성상도 크기만큼 계산량이 줄어든 것을 알 수 있다^[9].

하지만, MML 심볼 검출 기법은 ML 검출 기법에 비해 복잡도를 크게 낮추었으나, 특히 64QAM을 지원하는 경우 다수의 곱셈기가 필요하게 되어 여전히 구현 측면에 있어서 어려움이 존재한다.

IV. MIMO 심볼 검출기의 제안된 하드웨어 구조

본 장에서는 2x2 MIMO 시스템에서 모든 전송 모드를 지원 가능하고 하드웨어 복잡도 측면에서 최적화된 MIMO 심볼 검출기의 하드웨어 구조를 제안한다. 최근 무선 통신 시스템은 높은 성능과 전송률 모두를 만족하기 위해서 SM 모드 뿐 아니라 SISO, SIMO, STBC 등 공간 다이버시티 모드도 지원할 필요가 있다. 만약 이 두 가지 모드의 심볼 검출기가 독립적으로 설계된다면 하드웨어 복잡도가 매우 커 효율적이지 못할 뿐 아니라, 전체 시스템의 하드웨어 구현에도 큰 부담이 된다. 제안된 하드웨어 구조는 공간 다중화 심볼 검출기 모드와 공간 다이버시티 심볼 검출기 모드에서 수행되는 연산과정의 유사성에 착안하여 공통으로 사용되는 연산 블록을 공유하게 함으로써 현격히 하드웨어 복잡도를 줄일 수 있다.

그림 2는 제안된 2x2 MIMO 심볼 검출기의 하드웨어 구조를 도시하며, 표 2는 본 논문에서 제안하는 모든 전송 모드 지원 가능한 심볼 검출 과정을 정리한 것이다. 제안된 MIMO 심볼 검출기의 구조는 input preprocessor module (IPM), parameter calculation module (PCM), decision variable calculation module (DVCM), X2C calculation module (X2CCM), Euclidean distance calculation module (EDCM), 1D LLR calculation module (1DCM), 2D LLR calculation module (2DCM), quantization module (QM)등의 블록으로 구성된다. 우선, 표 2과 같이 두 개의 입력 벡터가 IPM을 통해 MIMO 모드에 맞게 재정렬 되고, PCM을 통해 파라미터 p_1, p_2, p_3 를 계산한다. 만약, 공간 다이버시티 모드일 경우, 이 세 개의 파라미터를 이용하여 DVCM 및 1DCM을 거쳐 log likelihood ratio (LLR) 계산이 이루어지며, 공간 다중화 모드일 경우 X2CCM 및 EDCM을 거쳐 유

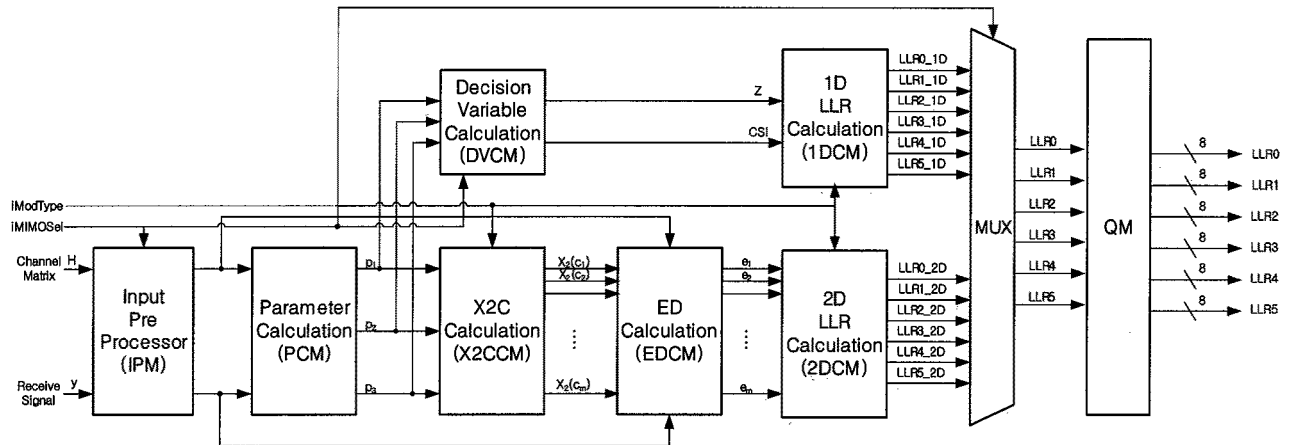


그림 2. 2x2 MIMO 시스템 위한 제안된 심볼 검출기 블록 다이어그램
 Fig. 2. Block diagram of the proposed symbol detector for 2x2 MIMO system.

표 2. 제안된 2x2 MIMO 심볼 검출기의 알고리즘 플로우
 Table 2. Algorithmic Flow for the proposed 2x2 MIMO Symbol detector.

단계	세부 블록	동작
1	INPUT	$\mathbf{H} = \begin{pmatrix} h_{11} & h_{21} \\ h_{12} & h_{22} \end{pmatrix} \quad \mathbf{y} = \begin{pmatrix} y_1 \\ y_2 \end{pmatrix}$
2	IPM	PCM의 입력단을 표 3과 같이 설정해주는 기능 수행 a, b, c, d, e
3	PCM	MIMO 모드에 맞게 설정된 입력 값 이용, 각 모드에서 필요로 하는 연산을 수행 $p_1 = \mathbf{a}^H \mathbf{b} \quad p_2 = \mathbf{c}^H \mathbf{d} \quad p_3 = \ \mathbf{e}\ ^2$
4	X2CCM	공간 다중화 모드 모든 $c_m (m=1, 2, \dots, C)$ 에 대해 $x_2(c_m)$ 계산 $x_2(c_m) = \mathbf{Q}(p_1 - p_2 c_m, p_3)$
		다이버시티 모드 PCM으로부터 p_1, p_2, p_3 를 입력 받아 CSI 및 Decision Variable 값을 계산 수행
5	EDCM	c_m 및 $x_2(c_m)$ 이용하여 ED 계산 $e_m = \ \mathbf{y} - \mathbf{h}_1 c_m - \mathbf{h}_2 x_2(c_m)\ ^2$
6	2DCM	LLR = min(Bit 0 group) - min(Bit 1 group)
7	1DCM	Simplified LLR ^[12] 이용
7	QM	LLR을 8 bit으로 양자화
8	OUTPUT	Quantized LLR 출력

클리디언 거리를 계산한다. 이 과정에서는 표 2에서 보듯이, $p_2 c_m, \mathbf{h}_1 c_m - \mathbf{h}_2 x_2(c_m)$ 그리고, 놈의 제곱 연산 등의 복잡한 연산이 필요하게 된다. 이에 성상도 상의 모든 좌표인 c_m 이 결국 상수라는 점을 고려하여, 극좌표 형태의 복소수 승산 방법을 통해 연산의 복잡도를 단순화 시켰다. 또한, 놈 연산의 근사화를 통해 성능 열화 없이 추가적인 복잡도를 낮추었다. 유클리디언 거리 계산 이후 2DCM에서 LLR이 계산되며, 마지막으로 1DCM 및 2DCM에서 얻어진 LLR 값이 8 bit 양자화되어 출력된다.

1. Input Preprocessor Module (IPM)

제안된 IPM은 그림 3과 같이 STBC module (STBCM)과 non-STBC module (NSTBCM)로 나뉘어 구성된다. 그림 3-(a)의 IPM은 채널 계수 값과 수신 심볼을 입력으로 받아 MIMO 모드에 따라 필요로 하는 PCM 입력단을 그림 3-(b)와 3-(c)의 MUX 컨트롤을 통해 표 3과 같이 세팅해주는 기능을 수행 한다. 특히, 공간 다중화 모드로 동작 시 멀티 스테이지 구현을 통해 연산 블록 공유가 가능하도록 입력된 채널의 열벡터를 스위칭 해주는 기능을 포함한다.

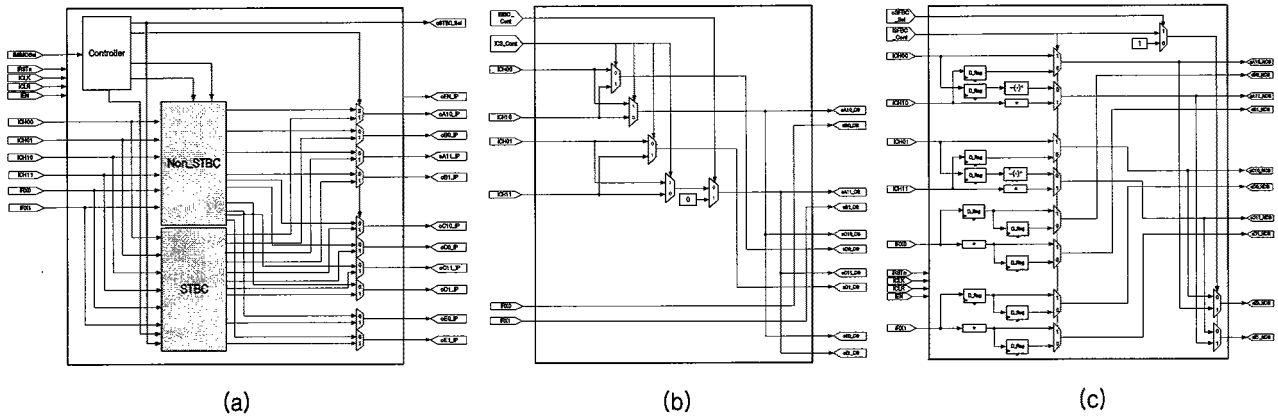


그림 3. 제안된 (a) IPM, (b) STBCM, (c) NSTBCM 구조

Fig. 3. Block diagram of the proposed (a) IPM, (b) STBCM and (c) NSTBCM.

표 3. MIMO 모드에 따른 PCM 입력값 설정

Table 3. Input data mapping of PCM according to MIMO mode.

Mode	$p_1 = \mathbf{a}^H \mathbf{b}$		$p_2 = \mathbf{c}^H \mathbf{d}$		$p_3 = \ \mathbf{e}\ ^2$	
SISO	$\mathbf{a} = \begin{pmatrix} h_{11} \\ 0 \end{pmatrix} \quad \mathbf{b} = \begin{pmatrix} y_{11} \\ y_{12} \end{pmatrix}$		-		$\mathbf{e} = \mathbf{a}$	
SIMO	$\mathbf{b} = \begin{pmatrix} y_{11} \\ y_{12} \end{pmatrix} \quad \mathbf{a} = \begin{pmatrix} h_{11} \\ h_{12} \end{pmatrix}$		-		$\mathbf{e} = \mathbf{a}$	
MISO	1st Clock	2nd Clock	-			
	$\mathbf{b}_1 = \begin{pmatrix} y_{11} \\ y_{12} \end{pmatrix} \quad \mathbf{a}_1 = \begin{pmatrix} h_{11} \\ h_{21} \end{pmatrix}$	$\mathbf{b}_2 = \begin{pmatrix} y_{11} \\ y_{12} \end{pmatrix} \quad \mathbf{a}_2 = \begin{pmatrix} h_{21} \\ -h_{11} \end{pmatrix}$			$\mathbf{e}_1 = \mathbf{a}_1$	$\mathbf{e}_2 = \mathbf{a}_2$
STBC	1st Clock	2nd Clock	1st Clock	2nd Clock	1st Clock	2nd Clock
	$\mathbf{a}_1 = \begin{pmatrix} h_{11} \\ h_{21} \end{pmatrix} \quad \mathbf{b}_1 = \begin{pmatrix} y_{11} \\ y_{12} \end{pmatrix}$	$\mathbf{a}_2 = \begin{pmatrix} h_{21} \\ -h_{11} \end{pmatrix} \quad \mathbf{b}_2 = \begin{pmatrix} y_{11} \\ y_{12} \end{pmatrix}$	$\mathbf{c}_1 = \begin{pmatrix} h_{12} \\ h_{22} \end{pmatrix} \quad \mathbf{d}_1 = \begin{pmatrix} y_{21} \\ y_{22} \end{pmatrix}$	$\mathbf{c}_2 = \begin{pmatrix} h_{22} \\ -h_{12} \end{pmatrix} \quad \mathbf{d}_2 = \begin{pmatrix} y_{21} \\ y_{22} \end{pmatrix}$	$\mathbf{e}_1 = \mathbf{a}_1$	$\mathbf{e}_2 = \mathbf{c}_2$
SM	1-4 Clock(LLR(b_1))	1-4 Clock(LLR(b_2))	1-4 Clock(LLR(b_1))	1-4 Clock(LLR(b_2))	1-4 Clock	1-4 Clock
	$\mathbf{a}_1 = \begin{pmatrix} h_{21} \\ h_{22} \end{pmatrix} \quad \mathbf{b}_1 = \begin{pmatrix} y_1 \\ y_2 \end{pmatrix}$	$\mathbf{a}_2 = \begin{pmatrix} h_{11} \\ h_{12} \end{pmatrix} \quad \mathbf{b}_2 = \begin{pmatrix} y_1 \\ y_2 \end{pmatrix}$	$\mathbf{c}_1 = \begin{pmatrix} h_{21} \\ h_{22} \end{pmatrix} \quad \mathbf{d}_1 = \begin{pmatrix} h_{11} \\ h_{12} \end{pmatrix}$	$\mathbf{c}_2 = \begin{pmatrix} h_{11} \\ h_{12} \end{pmatrix} \quad \mathbf{d}_2 = \begin{pmatrix} h_{21} \\ h_{22} \end{pmatrix}$	$\mathbf{e}_1 = \mathbf{a}_1$	$\mathbf{e}_2 = \mathbf{a}_2$

MIMO 시스템에서 심볼 검출기의 출력은 soft output 인 LLR를 기반으로 하는 기법이 가장 좋은 성능을 보여 준다^[12]. 모든 전송 심볼 벡터의 확률이 동일하다고 가정하고 지수함수의 특징을 이용한 max-log approximation을 적용하면 2x2 MML MIMO 심볼 검출기의 LLR metric은 아래와 같이 수식 (3), (4)로 정의된다.

$$LLR(b_{1,i}) = \min_{c \in C_i^-} |y - \mathbf{h}_1 c - \mathbf{h}_2 x_2(c)|^2 - \min_{c \in C_i^+} |y - \mathbf{h}_1 c - \mathbf{h}_2 x_2(c)|^2 \quad (3)$$

$$LLR(b_{2,i}) = \min_{c \in C_i^-} |y - \mathbf{h}_1 x_1(c) - \mathbf{h}_2 c|^2 - \min_{c \in C_i^+} |y - \mathbf{h}_1 x_1(c) - \mathbf{h}_2 c|^2 \quad (4)$$

여기서 $b_{j,i}$ 는 j번째 송신 안테나 전송 심볼의 i번째 비트를 의미하며, C_i^- , C_i^+ 는 i번째 비트가 각각 -1,+1인 x_i 들의 집합을 의미한다. 위의 수식처럼 LLR(b_1), LLR(b_2)를 동시에 계산하는 경우 송신 안테나 개수에 비례해서 연산량이 증가하게 된다. 하지만 vertical encoding이 적용된 MIMO 시스템의 경우, 송신 심볼에 대한 LLR(b_1), LLR(b_2)가 동시에 출력될 필요가 없다. 이에 제안된 구조는 표 3과 같이 IPM에서의 출력값을 이용하여 LLR(b_1)값을 처음에 계산한 다음 채널 열벡터의 스위칭을 통해 LLR(b_2)을 연달아 계산한다. 이처럼, 채널 열벡터의 스위칭 컨트롤을 통해 연산 블록을 공유함으로써 하드웨어 효율성을 높일 수 있다.

2. Parameter Calculation Module (PCM)

PCM은 그림 4와 같이 세 개의 파라미터 p_1, p_2, p_3 를 각각 구하는 연산기로 이루어져 있으며, IPM으로부터 MIMO 모드에 맞게 맵핑된 입력 값으로 모든 모드에 공통적으로 필요로 하는 연산을 수행하게 된다. 여기서 다이버시티 모드로 동작 시 p_1, p_2 는 decision variable 값이며, p_3 는 channel state information (CSI) 값이 되며, 공간 다중화 모드로 동작 시 p_1, p_2, p_3 는 각각 X2CCM의 입력으로 맵핑된다.

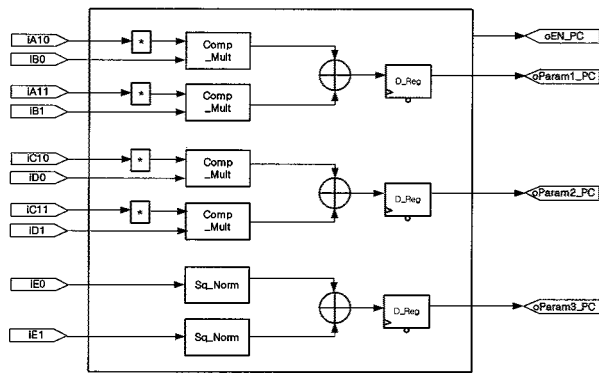


그림 4. 제안된 PCM
Fig. 4. Block diagram of the proposed PCM

3. X2C Calculation Module (X2CCM)

X2CCM은 그림 5와 같이 크게 p_2c_m 을 구하는 polar-coordinate based multiplier typel module (PMT1M)과 최종 출력인 $x_2(c_m)$ 을 구하는 slicer

module (SCM)로 이루어져 있다. 수식 (5)에서 보듯이 slicer 연산 과정에 포함된 나눗셈 연산은 decision boundary를 p_3 배 만큼 확장함으로써 나눗셈 연산을 제거 할 수 있다.

$$x_2(c_m) = Q \left(\frac{\mathbf{h}_2^H}{\|\mathbf{h}_2\|^2} [y - \mathbf{h}_1 c_m] \right) = Q(p_1 - p_2 c_m, p_3) \quad (5)$$

그러나, 무엇보다도 X2CCM에서 하드웨어 복잡도 측면에 있어서 가장 이슈가 되는 블록은 모든 정상도 심볼에 대응하는 $x_2(c_m)$ 값을 구하는 PMT1M이다.

4. Polar-coordinate based Multiplier Type1 Module (PMT1M)

수식 (5)에서 보듯이 p_2c_m 을 구하는 과정에서 정상도의 심볼 수 만큼의 곱셈 연산이 필요하게 되므로 변조 방식을 64QAM으로 가정하면, 64번의 곱셈 연산이 병렬적으로 이뤄져야한다. 따라서, 여전히 구현 측면에 있어서 어려움이 존재한다. 이에 그림 5-(b)와 같이 제안된 PMT1M의 구조는 하드웨어 자원의 멀티 스테이지 구현을 통해 효율성을 높일 수 있다. 멀티 스테이지 구현이란 다수 개의 하드웨어 자원을 병렬적으로 사용하는 대신 입력 값을 달리 하면서 하드웨어 자원을 공유하는 것이다. 다만, 멀티 스테이지 구현 시 유의할 점은

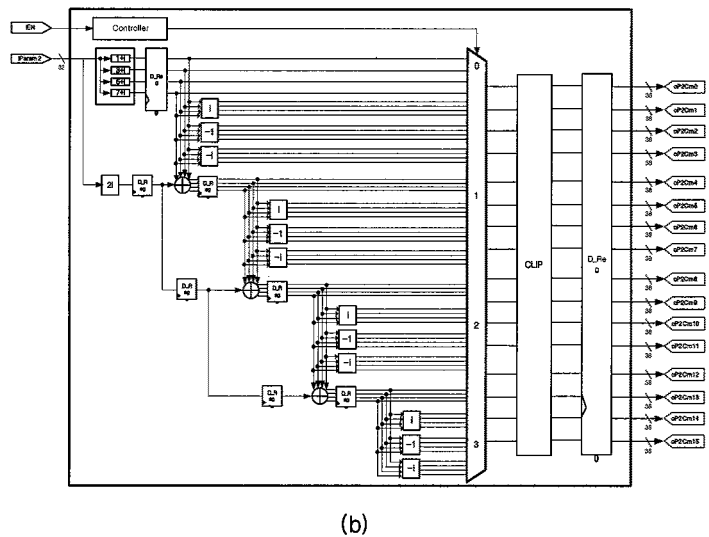
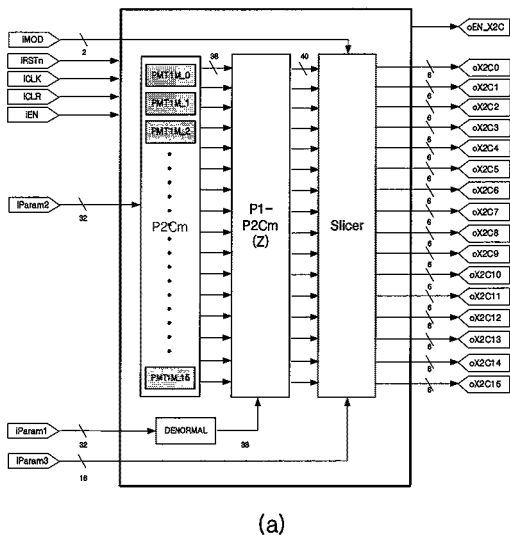


그림 5. 제안된 (a) X2CCM, (b) PMT1M 구조
Fig. 5. Block diagram of the proposed (a) X2CCM and (b) PMT1M.

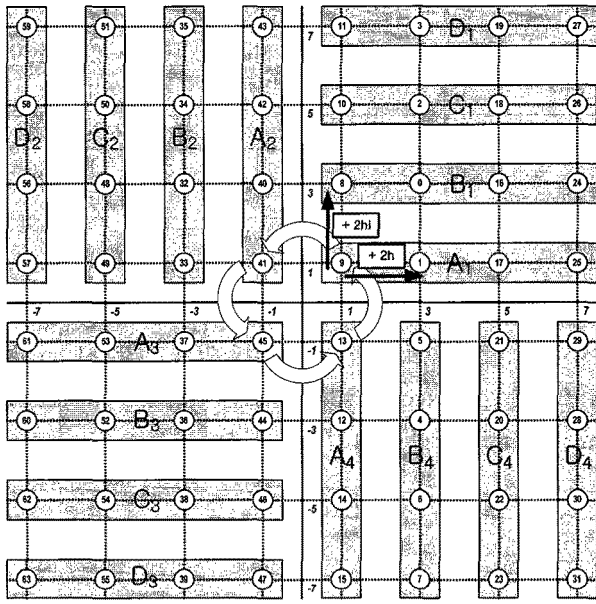


그림 6. 제안된 PMT1M 알고리즘의 성상도 상에서의 동작 방법
 Fig. 6. The proposed PMT1M operation on constellation.

모뎀 수신단의 타이밍 분석을 통해 throughput 저하가 크지 않는 범위 내에서 적절한 스테이지 수를 결정하여야 한다. 일반적으로 k 스테이지 구현 시 전체 하드웨어 복잡도는 약 1/k 배로 줄어들며, 제안된 구조에서는 QPSK, 16QAM, 64QAM 등 다양한 변조 차수 자원을 고려하여 스테이지 수를 4로 설정하였다.

또한, 제안된 구조에서는 연산의 단순화를 통해 복잡도 감소를 유도하였다. 성상도 상의 모든 좌표인 c_m 이 결국 상수라는 점에 착안하여 p_{2c_m} 연산에 필요로 하는 곱셈기를 shift & adder로 구현 할 수 있으며 성상도의 대칭 특성을 이용해 하드웨어 구현을 더욱 간단히 할 수 있다. 그림 6에서 보듯이 1사분면 A_1 부분의 4개의 심볼을 먼저 구한 뒤 2, 3, 4분면의 A_2, A_3, A_4 부분의 심볼은 1사분면에서 구한 심볼에 각각 90도, 180도, 270도를 회전시킨 값이 되며, 이들 값은 첫 번째 클럭의 출력이 된다. 이와 같은 방법으로, 이후의 3클럭 동안 동일하게 적용되어 B, C, D에 위치한 p_{2c_m} 값을 차례대로 구할 수 있다. 여기서 회전 인자는 부호 반전으로 간단히 구현할 수 있다. 이와 같이, PMT1M의 제안된 구조에서는 멀티 스테이지와 성상도의 특성을 이용해 p_{2c_m} 연산의 복잡도를 크게 낮추었으며 하드웨어 자원의 효율성을 극대화 시켰음을 확인할 수 있다.

5. ED Calculation Module (EDCM)

EDCM은 수식 (6)에서 같이 c_m 및 $x_2(c_m)$ 을 이용하여 유클리디언 거리인 e_m 을 계산하며, 그림 8에서 보듯이, 크게 $h_1c_m - h_2x_2(c_m)$ 을 구하는 블록과 최종 출력 e_m 을 구하는 블록으로 구성되어 있다.

$$e_m = \|y - h_1c_m - h_2x_2(c_m)\|^2 \quad (6)$$

EDCM 역시 X2CCM과 마찬가지로, 수식 (6)를 하드웨어로 구현함에 있어서 어려움이 존재한다. e_m 을 구하기 위해서는 $h_1c_m, h_2x_2(c_m)$ 그리고 최종적으로 유클리디언 거리를 구하기 위해 곱의 제공 등의 연산이 필요하다. $h_1c_m, h_2x_2(c_m)$ 등의 연산은 X2CCM에서와 같이 멀티 스테이지 기법을 이용하여 하드웨어 복잡도를 현격히 줄일 수 있다. 하지만 성상도 상의 모든 좌표인 c_m 과는 달리, $x_2(c_m)$ 은 채널 계수 벡터 h 에 따라 정해지는 변수이므로 PMT1M처럼 단순한 상수 연산으로 해결 할 수 없다. 따라서 하드웨어 복잡도 측면에서 효율적인 구조인 polar-coordinate based multiplier type2 module (PMT2M)을 제안한다. 제안된 PMT2M은 그림 6에서 보듯이, 성상도 상의 (1+i) 좌표를 기준으로 6 bit의 인덱스로 입력되는 $x_2(c_m)$ 에 따라 부호를 결정하는 bit와 x축, y축으로 얼마만큼 쉬프트 할지를 결정하는 bit로 나뉘면 뒤, 그림 7과 같은 MUX 컨트롤을 통해 shift & adder 연산 및 회전연산으로 간단히 구현 할 수 있다. 또한, 수식 (6)에서 보듯이 유클리디언 거리 e_m 을 구하기

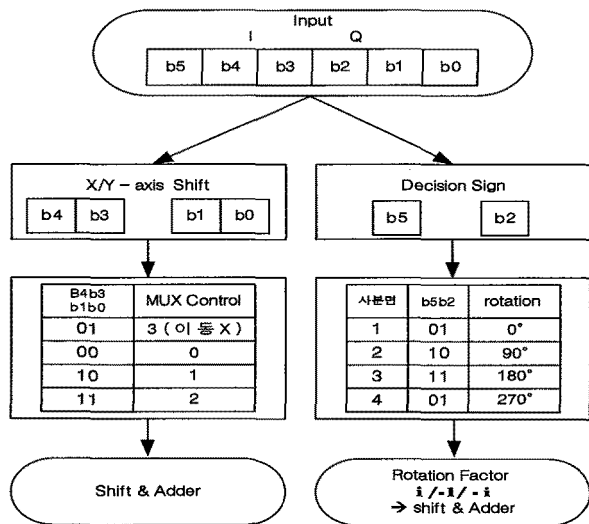


그림 7. 제안된 PMT2M 알고리즘 순서도
 Fig. 7. Flowchart for the proposed PMT2M.

위해 놈의 제곱 연산이 필요하며, 64QAM을 가정 했을 때 한 개의 놈 제곱 연산기는 4개의 곱셈기로 구성되며 총 256개의 곱셈기가 필요하게 된다. 하지만 제안된 멀티스테이지 구조에서는 복잡도를 1/4배로 줄일 수 있으므로 64개의 곱셈기만을 필요로 한다. 또한, 추가적으로 놈 연산을 수식 (7)과 같은 근사화 방식으로 사용하면 성능 열화가 없으면서 곱셈 연산이 덧셈 연산으로 대체되므로 연산량을 효율적으로 감소시킬 수 있다^[13].

$$\|x_n\| = \frac{3}{8}(|Re(x_n)| + |Im(x_n)|) + \frac{5}{8} \max(|Re(x_n)|, |Im(x_n)|) \quad (7)$$

여기서 x_n 은 임의의 복소수이다. 이와 같이, EDCM의 제안된 구조에서는 멀티 스테이지와 정상도의 특성을 이용해 $h_1 c_m$, $h_2 x_2(c_m)$ 연산의 복잡도를 크게 낮추었으며, 또한 유클리디언 거리를 계산하는 과정의 놈 연산 근사화는 추가적으로 연산 복잡도를 감소시킨다.

V. 제안된 심볼 검출기의 설계 및 구현 결과

제안된 심볼 검출기 구조는 멀티 스테이지 구조 적용 및 PMT1M 과 PMT2M의 극좌표 형태의 복소수 승산 방법을 통해 하드웨어 복잡도를 현격히 낮추었으며, 놈 연산의 근사화를 통해 추가적인 복잡도를 줄였다. 2x2 MIMO 기반 심볼 검출기의 제안된 하드웨어 구조는 Verilog-HDL을 이용하여 설계되었고, Xilinx Virtex-5 XC5VLX220 FPGA에 기반하여 구현되었다. 제안된 심볼 검출기의 구조가 복잡도 면에서 효율적이라는 것을 검증하기 위해, 논문 [9]에서 제안된 MML 심볼 검출

표 4. MIMO 심볼 검출기 논리 합성 결과 비교

Table 4. Comparison for the logic synthesis results of the 2x2 MIMO symbol detector.

	Slices	DSP48s
논문 [9]	81152(100%)	352(100%)
Proposed	52490(64.7%)	52(14.7%)

방식을 하드웨어로 설계 및 구현하였고, 표 4는 비교 결과를 정리하여 보여준다. FPGA 구현 결과, 논문 [9]에서 제안된 MML 기반 심볼 검출기와 비교 시 35.3% 감소된 logic slices, 85.3% 감소된 DSP48s (dedicated multiplier)로 구현 가능함을 확인하였다.

VI. 결론

본 논문에서는 2x2 MIMO 기반 다중 안테나 시스템을 위한 효율적인 심볼 검출기 구조를 제안하고 하드웨어로 구현 및 검증하였다. 멀티 스테이지 구현을 통해 하드웨어의 효율성을 높였으며, 제안된 PMT1M 및 PMT2M을 통해 복잡도 측면에서 가장 큰 비중을 차지하는 곱셈 연산을 간단한 쉬프트 및 가산기 (shifter & adder)로 구현함으로써 복잡도를 크게 낮추었다. 또한, 유클리디언 거리를 구하는 과정에서 필요한 놈 연산의 근사화를 통해 성능 열화 없이 추가적인 복잡도를 줄였다. MIMO 심볼 검출기는 MIMO 시스템에서 가장 큰 블록 중의 하나이므로, 제안된 심볼 검출기는 MIMO 시스템의 하드웨어 복잡도를 줄이는데 큰 공헌을 할 수 있을 것으로 예상된다.

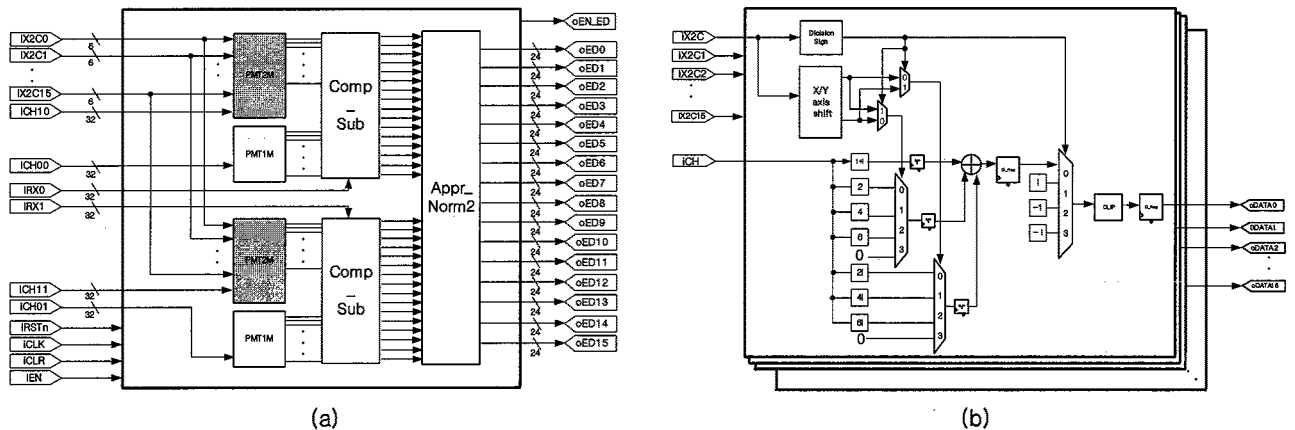


그림 8. 제안된 (a) EDCM, (b) PMT2M 구조
Fig. 8. Block diagram of the proposed (a) EDCM and (b) PMT2M.

참고 문헌

- [1] A. F. Naguib, N. Seshadri, and A. R. Calderbank, "Increasing data rate over wireless channel," *IEEE Signal Process. Mag.*, vol. 17, no. 2, pp. 744-765, Mar. 1998.
- [2] H. Sampath, S. Talwar, J. Tellado, V. Erceg, and A. Paulraj, "A fourth-generation MIMO-OFDM: broadband wireless system: Design, performance, and field trial results," *IEEE Commun. Mag.*, vol. 40, no. 9, pp. 143-149, Sept. 2002.
- [3] A. van Zelst, Tim C. W. Schenk, "Implementation of a MIMO OFDM-Based wireless LAN system," *IEEE Trans. on Signal Processing*, vol. 52, no. 2, pp. 483-494, Feb. 2004.
- [4] G. L. Stuber, J. R. Barry, S. W. McLaughlin, Y. Li, M. A. Ingram, and T. H. Pratt, "Broadband MIMO-OFDM wireless communications," *Proc. IEEE*, vol. 92, no. 2, pp. 271-297, Feb. 2004.
- [5] V. Tarokh, H. jafarkhani, and A. R. Calderbank, "Space-time block codes from orthogonal design," *IEEE Trans. Inf. Theory*, vol. 45, no. 5, pp. 1456-1467, July 1999.
- [6] H. Bolcskei and E. Zurich, "MIMO-OFDM wireless systems: basics, perspectives, and challenges," *IEEE Trans. Wireless Commun.*, vol. 13, no. 4, pp. 31- 37, Aug. 2006.
- [7] Y. Jung, "Design and Implementation of efficient symbol detector," *전자공학회논문지 제 45권 SD편 제 10호*, pp. 1024-1031, 2008년, 10월.
- [8] M. Cho, Y. Jung, J. Kim, "An Efficient Symbol Timing Synchronization Scheme for IEEE 802.11n MIMO-OFDM based WLAN Systems," *전자공학회논문지 제 46권 TC편 제 5호*, pp. 549-567, 2009년, 5월.
- [9] J. Kim, Y. Kim, K. Kim, "Computationally efficient signal detection method for next generation mobile communications using multiple antennas," *SK Telecommun. Review*, vol. 17, no 1C, pp.183-191, Feb. 2007.
- [10] IEEE Std. 802.11n, "Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications," 2009.
- [11] IEEE Std. 802.16e, "Local and Metropolitan Area Networks-Part 16: Air Interface for Fixed Broad-band Wireless Access System", Oct. 2004.
- [12] F. Tosato, P. Bisaglia, "Simplified soft-output demapper for binary interleaved COFDM with application to HIPERLAN/2," in *Proc. ICC*, vol.2, pp.664-668, May 2002.
- [13] A. Adjoudani, et al, "Prototype experience for MIMO BLAST over third-generation wireless system," *IEEE J. Select. Areas Commun.*, vol. 21, no. 3, pp. 440-451, Apr. 2003.

— 저 자 소 개 —



장 수 현(학생회원)
2009년 한국항공대학교 항공전자 및 정보통신공학부 학사 졸업.
2009년~현재 한국항공대학교 항공전자 및 전자공학과 석사 과정

<주관심분야 : 무선 통신 시스템용 모뎀 프로세서의 알고리즘 및 SoC 설계>



한 철 희(정회원)
1997년 중앙대 전자공학과 학사 졸업.
1999년 연세대 전자공학과 석사 졸업.
2007년 연세대 전기전자공학과 박사 졸업.

2006년~2007년 삼성탈레스 선임연구원
2007년~현재 삼성탈레스 전문연구원
<주관심분야 : 무선 통신 시스템용 모뎀 알고리즘 개발 및 구현, 적응 디지털 신호처리>



최 성 남(정회원)
1992년 아주대학교 전자공학과 학사 졸업.
1992년 DASHsystem 입사 .
1995년 삼성전자 입사
1997년~2001년 삼성탈레스 선임연구원

2002년~현재 삼성탈레스 전문연구원
<주관심분야 : 무선 통신 시스템 설계, 영상신호 처리>



곽 재 섭(정회원)
1990년 광운대학교 전자통신 공학과 학사 졸업.
1990년 삼성전자 입사
1990년~2000년 삼성전자 방산개발실 책임연구원
2000년~현재 삼성탈레스 통신연구소 수석연구원

<주관심분야 : 무선 통신 시스템 설계>



정 윤 호(평생회원)
1998년 연세대 전자공학과 학사 졸업.
2000년 연세대 전기컴퓨터공학과 석사 졸업.
2005년 연세대 전기전자공학과 박사 졸업.

2005년~2007년 삼성전자 통신연구소 책임연구원
2007년~2008년 연세대학교 전자공학과 연구교수
2008년~현재 한국항공대학교 항공전자 및 정보통신공학부 조교수

<주관심분야 : 무선 통신 시스템용 모뎀 및 영상 처리 프로세서의 알고리즘 및 SoC 설계>