

무연 솔더 접합부를 갖는 플립칩에서의 언더필 및 범프 피치 변화에 의한 열 피로 수명 예측 해석

김성걸⁺, 김주영⁺⁺

(논문접수일 2009. 4. 1, 심사완료일 2009. 10. 11)

Simulation of Thermal Fatigue Life Prediction of Flip Chip with Lead-free Solder Joints by Variation in Bump Pitch and Underfill

Kim Seong Keol⁺, Kim Joo-Young⁺⁺

Abstract

This paper describes the thermal fatigue life prediction models for 95.5Sn-4.0Ag-0.5Cu solder joints of Flip chip package considering Under Bump Metallurgy(UBM). A 3D Finite element slice model was used to simulate the viscoplastic behavior of the solder. For two types of solder bump pitches, simulations were analyzed and the effects of underfill packages were studied. Consequently, it was found out that solder joints with underfill had much better fatigue life than solder joints without underfill, and solder joints with 300 μ m bump pitch had a longer thermal fatigue life than solder joints with 150 μ m bump pitch. Through the simulations, flip chip with lead-free solder joints should be designed with underfill and a longer bump pitch.

Key Words : Solder joints(솔더결합부), Flip chip(플립칩), UBM, Underfill(언더필), Fatigue life(피로수명), Viscoplastic behavior(점소성 거동)

1. 서론

전자·정보통신 산업이 급격하게 발전함에 따라 휴대전화, 카메라, 노트북 등과 같은 멀티미디어 시스템 전자제품들의 소형화, 고속화, 고성능화, 다기능화에 대한 요구가 증대되

고 있다. 이러한 전자제품들의 진화에 따라 빠른 신호처리가 가능한 칩과 다른 주변 장치들 간의 상호 신호전달을 위한 미소 전자 패키징(Micro-electronic Packaging) 기술 개발의 중요성 강조되고 있다⁽¹⁾. 기존의 IC 패키지(Package) 형태인 QFP(Quad Flatpack), SOP(Small Outline Packaging)

+ 서울산업대학교 기계설계자동화공학부 (rhett@snut.ac.kr)

주소: 139-743 서울시 노원구 공릉2동 172

++ 서울산업대학교 에너지 환경 대학원 Nano/IT 공학과

의 칩 접속방법인 와이어 본딩(Wire Bonding)이나 TAB (Tape Automated Bonding) 기술로는 현재 이러한 요구를 충족시키는데 한계가 있다. 이에 따라 칩의 가장자리만을 통해 접속을 시키는 기존 방법과는 달리 칩의 모든 면적을 활용하는 면 배열 방식을 활용한 BGA(Ball Grid Array), 플립 칩(Flip Chip)기술이 급속도로 사용되고 있다⁽²⁾. 특히, 플립 칩은 칩과 기판의 패드 사이에 솔더 범프(Solder Bump)를 위치시켜 연결을 이루는 기술로서, IC 패키징에 있어서 가장 발전된 기술로 인정되고 있다. 이에 따라 플립 칩 기술에 대한 연구 및 개발의 중요성이 증대되고 있고, 또한 플립 칩 솔더 접합부가 미세화 됨에 따라 물리적, 열피로에 대한 신뢰성이 중요한 연구과제로 대두되고 있다^(3,4). 따라서 본 연구에서는 UBM(Under Bump Metallurgy) 층이 적용된 미세 피치의 플립 칩 무연 솔더 접합부를 대상으로 유한요소해석 프로그램인 ANSYS를 이용하여 주기적 열 사이클(Thermal Cycle)로 인한 열 피로(Thermal Fatigue) 파단이 예상되는 솔더 접합 부위에 변형률의 분포를 살펴보고, 해석을 통해 얻어진 점소성 변형률 에너지 밀도 값(Viscoplastic Strain Energy Density)을 가지고 Darveaux가 제안한 피로 수명 예측(Fatigue Life Prediction)식을 적용하여 이론적 피로 수명을 예측하였다. 특히, 솔더 접합부의 언더필(Underfill) 유무에 따른 피로 수명과 플립 칩에 사용된 솔더 범프의 사이즈, 칩과 기판사이의 간격(Stand-off Height) 및 피치의 감소에 따른 피로 수명 예측 값의 변화를 비교, 분석하였다.

2. 열 피로 수명 예측 모델링

2.1 응력 모델(Stress Model)

외부 하중에 대한 정확한 해석을 위해서는 구성 물질들의 재료 물성치와 각 재료들의 구성 방정식을 정확히 알아야 한다. 특히, 솔더 범프의 복잡한 재료 거동을 해석하기 위해서 구성 방정식의 선택은 중요한 요소이다. 본 연구에서는 여러 가지 구성 방정식 중, 비탄성 변형률(Inelastic Strain Rate)과 변형 저항률(Deformation Resistance Rate)로 이루어진 Anand 모델을 사용하였다. Anand 모델은 식 (1) ~ (4) 와 같이 유동 방정식(Flow Equation)과 열 방산 방정식(Evolution Equation)으로 나눌 수 있는데, 그 복잡성에도 불구하고 많은 연구자들에 의해 사용되고 있다⁽⁵⁾.

유동 방정식(Flow Equation)

$$\frac{d\epsilon_p}{dt} = A[\sinh(\zeta\sigma/s)]^{1/m} \exp\left(\frac{-Q}{kT}\right) \quad (1)$$

열 방산 방정식(Evolution Equation)

$$\frac{ds}{dt} = \left\{ h_0 (|B|)^a \frac{B}{|B|} \right\} \frac{d\epsilon_p}{dt} \quad (2)$$

$$B = 1 - \frac{s_0}{s} \quad (3)$$

$$s^* = s \left[\frac{d\epsilon_p/dt}{A} \right] \exp\left(\frac{Q}{kT}\right)^n \quad (4)$$

Table 1⁽⁶⁾에는 본 연구에 사용된 95.5Sn-4.0Ag-0.5Cu 무연솔더에 대한 다양한 Anand 상수 값을 나타내고 있다.

2.2 손상 모델(Damage Model)

본 연구에서는 솔더에 대한 손상 모델로서, Darveaux가 제안한 균열 진전(Crack Propagation) 모델을 사용하였다. 균열 진전 모델에서는 유한요소해석을 통해 계산되어진 점소성 변형률 에너지 밀도(Viscoplastic Strain Energy Density) 값과 균열진전의 상관관계를 밝혀내는 것으로 아래와 같은 식으로 정의될 수 있다⁽⁷⁾.

Table 1 Anand's constants for 95.5Sn-4.0Ag-0.5Cu solder

Constant	Parameter	Sn95.5 -0.4Ag -0.5Cu	Meaning
C ₁	S ₀ (MPa)	1.3	Initial value of deformation resistance
C ₂	Q/R(1/K)	9000	Activation Energy/ Boltzmann's constant
C ₃	A(1/sec)	500	Pre-Exponential Factor
C ₄	ζ	7.1	Multiplier of stress
C ₅	m	0.3	Strain Rate sensitivity of stress
C ₆	h ₀ (MPa)	5900	Hardening Constant
C ₇	s [^] (MPa)	39.4	Coefficient of deformation resistance saturation value
C ₈	n	0.03	Strain Rate sensitivity of saturation value
C ₉	a	1.56	Strain Rate sensitivity of hardening

$$N_0 = K_1 \Delta W_{ave}^{K_2} \quad (5)$$

$$\Delta W_{ave} = \frac{\sum \Delta W \cdot V}{\sum V} \quad (6)$$

$$\frac{da}{dN} = K_3 \Delta W_{ave}^{K_4} \quad (7)$$

식 (5)에 N_0 는 균열이 시작되는 시점에서의 초기 균열 수명(Crack Initial Life)이고, ΔW_{ave} 는 온도 사이클 당 평균 점소성 변형 에너지 밀도 변화량을 의미하는데 이는 식 (6)을 통해 계산되어 진다. 그리고 ΔV 는 균열이 발생하는 부위

의 요소 부피 합계를 의미하고, 식 (7)은 매 온도 사이클 당 균열의 진전 속도를 나타낸다. 식 (5)와 (7)에 사용된 균열 진전 모델 상수 $K_1 \sim K_4$ 는 Table 2⁽⁸⁾에 그 값을 제시하였다. 식 (8)을 이용하여, 총 파괴 수명(N_f)을 구할 수 있는데,

$$N_f = N_0 + \frac{a}{da/dN} \quad (8)$$

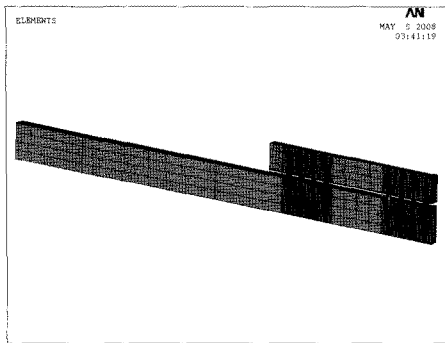
이 식에서 a 는 솔더 접합부에서 범프가 접합된 표면의 지름으로 정의할 수 있다.

Table 2 Crack propagation model constants

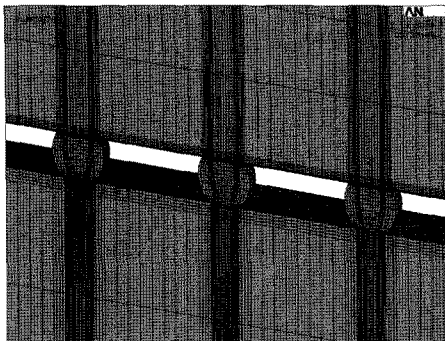
Constant	Value
K_1	22400(cycle/psi)
K_2	-1.52
K_3	5.86E-7(in/cycle/psi)
K_4	0.98

3. 플립칩 솔더 접합부의 모델링

본 연구에 사용된 플립칩 패키지 모델은 언더필의 유무와 미세피치 간격을 고려하여 4가지 형태의 3차원 슬라이스(Slice) 유한요소모델링을 하였다. Fig. 1, 2는 각각의 형상에 대한 유한요소모델을 나타내고 있다. 플립칩 패키지 전체 모델은 실리콘 칩(Silicon Chip), PCB(Printed Circuit Board),

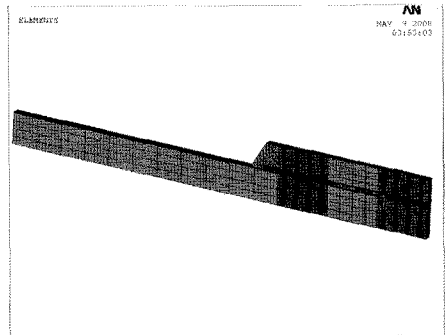


(a)

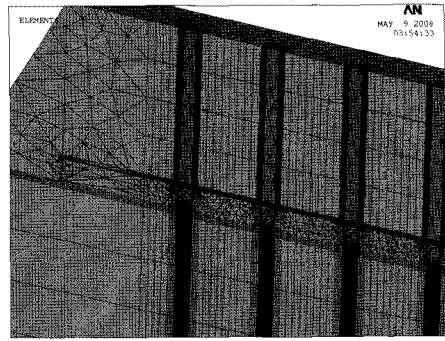


(b)

Fig. 1 3D Finite element slice model without underfill



(a)



(b)

Fig. 2 3D Finite element slice model with underfill

솔더 범프, 구리 패드(Cu Pad)와 UBM층 및 언더필의 6가지 재질로 구성하였고, 모델의 치수는 Table 3에 나타내었다. 솔더 합금을 제외한 나머지 재료들은 등방성(Isotropic) 탄성재료로 가정하였고, 패키지 구성요소에 대한 물성치인 탄성계수(E), 프아송비(Poisson Ratio), 열팽창계수(CTE)는 Table 4⁹⁾에 제시하였다. 여기서 솔더의 탄성 및 열팽창계수는 Table 5에 주어진 것처럼 온도에 따른 서로 다른 값을 적용하였다. 사용된 요소 종류는 솔더의 경우 VISCO107을, 나머지 다른 재료들은 SOLID45를 선정하였다. 해석의 적용된 경계조건으로는 절단된 면에 존재하는 $U_x = U_y = U_z = 0$

Table 3 Geometric properties of the package models (mm)

	300 μ m Pitch	150 μ m Pitch
Die dimensions	7.7 \times 7.7 \times 0.7	7.7 \times 7.7 \times 0.7
Solder bump diameter	0.150	0.075
Standoff height	0.106	0.052
PCB thickness	1.000	1.000
UBM thickness	0.005	0.002

Table 4 Material Properties used in finite element analysis

Material	E(MPa)	Poisson ratio	CTE (ppm/ $^{\circ}$ C)
Si	131000	0.30	2.8
FR4	22000	0.28	18.0
Cu (Pad)	76000	0.35	17.0
Ni (UBM)	102000	0.30	13.1
Underfill	10000	0.30	25.0
Solder alloy (95.5Sn4.0Ag0.5Cu)	Temperature dependent	0.40	Temperature dependent

Table 5 Young's modulus and CTE of solder alloy

Temperature(K)	E(MPa)	CTE(ppm/ $^{\circ}$ C)
298	53000	21.3
343	47000	22.1
373	44000	23.0

인 절점을 축의 방향에 대하여 고정시키고 좌표축의 원점이 되는 절점은 모든 방향에 대하여 고정시켰다. 해석에 적용된 온도 변화 조건은 -55 $^{\circ}$ C~125 $^{\circ}$ C로써, 온도 상승 및 하강시간은 5분, 고온 및 저온 유지시간은 10분으로 1사이클을 30분으로 설정하였다. Fig. 3에서는 시간-온도변화 조건을 그래프로 나타내었다.

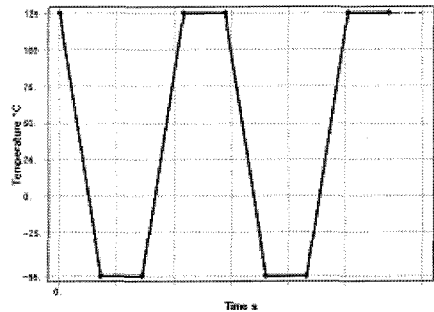
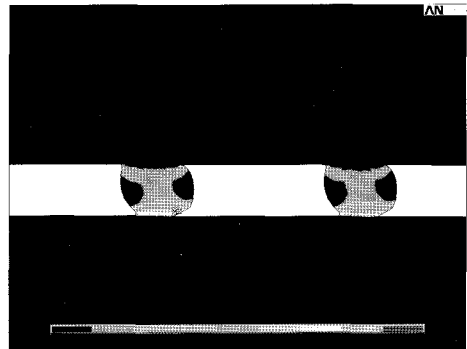
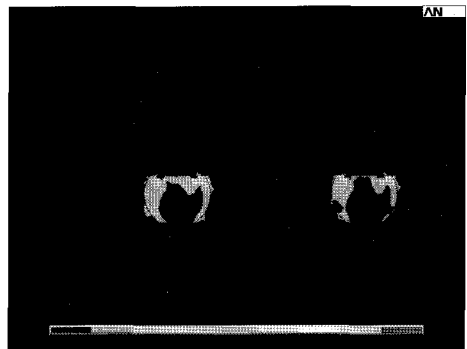


Fig. 3 Thermal cycle profile



(a)



(b)

Fig. 4 Strain energy density distribution in the solder joints

4. 유한요소해석 결과 및 수명 예측

4.1 유한요소 해석의 결과

유한요소해석을 통하여 95.5Sn-4.0Ag-0.5Cu 조성 비율의 무연 솔더 범프를 사용한 플립칩 패키지 솔더 접합 부위에 집중된 변형률 에너지 밀도의 분포를 언더필의 유무에 따라 Fig. 4에 각각 나타내었다. 각 요소의 변형률 에너지 분포를 살펴보면 언더필 유무와 상관없이 칩 외곽에 위치한 솔더 범프에서 최대 변형률이 집중됨을 알 수 있었고, 언더필이 적용된 솔더 범프 부위의 변형률 분포를 분석해보면 언더필이 적용되지 않은 것보다 변형률이 상당히 완화된 것을 볼 수 있었다. 이는 언더필이 실리콘 칩과 PCB기판 사이의 열팽창계수 차이로 인한 응력집중을 분산시켜 상대적으로 더 작은 변형을 일으키기 때문인 것으로 사료된다.

4.2 수명 예측 결과

열 사이클 조건(-55℃~125℃)에 대한 유한요소해석을 수행한 후 계산된 점소성 변형 에너지 밀도 변화량 ΔW_{ave} 값과 Darveaux가 제안한 모델을 사용하여 솔더 접합부의 수명을 예측하였다. 해석 결과로 얻어진 ΔW_{ave} 값과 식으로 계산된 파괴 수명(N_f) 값은 Table 6에 나타내었다.

해석결과 언더필이 적용된 300 μ m 피치 패키지의 경우 언더필이 적용되지 않은 패키지에 비하여 약 20배 이상의 파괴 수명이 연장되었고, 150 μ m 피치의 경우는 약 50배 이상의 큰 파괴 수명을 나타내었다. 또한, 범프 피치 150 μ m의 경우 언더필이 적용되지 않은 패키지에서는 약 4배, 언더필이 적용된 패키지에서는 약 2배 정도의 수명 감소경향을 보

였다. 이러한 수명 감소의 결과는 솔더 범프 간의 피치와 사이즈, 보드와 패키지간의 간격(Standoff height)이 줄어드는 추세로 인해 솔더 접합부가 물리적 열적 피로에 더욱 민감해지기 때문이라고 사료된다.

5. 결론

무연 솔더인 95.5Sn-4.0Ag-0.5Cu가 적용된 플립칩 솔더 접합부의 열 사이클 유한요소해석을 통해 다음과 같은 결론을 얻을 수 있었다.

- (1) 언더필이 적용된 패키지의 경우 적용되지 않은 경우에 비해 점소성 변형 에너지 집중이 완화되는 경향을 보였다. 이는 언더필이 칩과 기판 사이의 열팽창계수 차이로 인한 응력집중을 분산시켜 상대적으로 더 작은 변형을 일으키기 때문인 것으로 사료된다.
- (2) 해석 결과 계산된 파괴 수명을 비교한 결과 300 μ m, 150 μ m 피치 패키지 모두 언더필이 적용된 경우가 적용되지 않은 경우에 비해 약 20배, 50배의 수명 연장 경향을 나타내었다.
- (3) 언더필이 적용된 패키지와 적용되지 않은 패키지 모두 범프 피치가 300 μ m에서 150 μ m로 줄어들 경우, 수명 감소 결과를 나타내었다. 이는 미세피치 추세로 인한 범프 사이즈 감소와 보드와 패키지간의 간격이 줄어들어 솔더 접합부가 물리적 열적 피로에 더욱 민감해지기 때문인 것으로 판단된다.

후 기

본 연구는 ‘서울 테크노파크의 차세대 패키징 공정장비 실용화 사업’의 일환으로 지식경제부 지원을 받아 수행되었으며, 이에 감사드립니다.

참 고 문 헌

- (1) Yoon, J. W., Kim, J. W., Koo, J. M., Ha, S. S., Noh, B. I., Moon, W. C., Moon, J. H., and Jung, S. B., 2007, “Flip-chip Bonding Technology and Reliability of Electronic Packaging,” *Journal of KWJS*, Vol. 25, No. 2, pp. 108~117.
- (2) Shin, Y. E., Kim, Y. S., Kim, J. M., and Chop, M. G.,

Table 6 The results of analyses of fatigue life prediction

	No underfill		Underfill	
	300 μ m	150 μ m	300 μ m	150 μ m
ΔW_{ave} (psi)	35.92	81.78	2.86	3.50
N_0 (cycle)	97	28	4535	3336
da/dN (in/cycle)	1.9E-5	4.4E-5	1.6E-6	2.0E-6
a (in)	4.8E-3	2.4E-3	4.8E-3	2.4E-3
$a/(da/dN)$ (cycle)	257	55	2975	1220
N_f	354	83	7510	4556

- 2004, "The Thermal Fatigue Analysis and Life Evaluation of Solder Joint for Package using Darveaux," *Journal of KWS*, Vol. 22, No. 6, pp. 36~42.
- (3) Shin, K. H., Kim, H. T., and Jang, D. Y., 2007, "An Analysis on the Thermal Shock Characteristics of Pb-free Solder Joints and UBM in Flip Chip Packages," *Journal of KSMTE*, Vol.16 No. 5, pp. 134~139.
- (4) Shin, K. H. and Kim, J. H., 2007, "Solid Modeling of UBM and IMC Layers in Flip Chip Packages," *Journal of KSMTE*, Vol. 16, No. 6, pp. 181~186.
- (5) Darveaux, R., Islam, M. N., Singh, N., and Suhling, J. C., 2004, "Model for BGA and CSP Reliability in Automotive Underhood Application," *IEEE Transaction on Components and Packaging Technologies*, Vol. 27, No. 3, pp. 585~593.
- (6) Ng, H. S., Tee, T. Y., Goh, K. Y., Luan, J. E., Reinikainen, T., Hussa, E., and Kujala, A., 2005, "Absolute and Relative Fatigue Life Prediction Methodology for Virtual Qualification and Design Enhancement of Lead-free BGA", *IEEE Electronic Components and Technology Conf.*, pp. 1282~1291.
- (7) Zhang, L., Sitaraman, R., Patwardhan, V., Nguyen, L., and Kelkar, N., 2003, "Solder Joint Reliability Model with Modified Darveaux's Equations for the micro SMD Wafer Level-Chip Scale Package Family," *IEEE Electronic Components and Technology Conf.*, pp. 572~577.
- (8) Darveaux, R., 2000, "Effect of Simulation Methodology on Solder Joint Crack Growth Correlation," *Proc. 50th ECTC*, pp. 1048~1063.
- (9) Tseng, S. C., Chen, R. S., and Lio, C. C., 2006, "Stress Analysis of Lead-free Solders with Under Bump Metallurgy in a Wafer Level Chip Scale Package," *International Journal of Advanced Manufacturing Technology*, Vol. 31, No. 1-2, pp. 1~9.