

Band-Ⅲ T-DMB/DAB 모바일 TV용 저전력 CMOS RF 튜너 칩 설계

Design of a Fully Integrated Low Power CMOS RF Tuner Chip for Band-III T-DMB/DAB Mobile TV Applications

김 성 도 · 오 승 엽*

Seong-Do Kim · Seung-Hyeub Oh*

요 약

본 논문에서는 Band-Ⅲ 지상파 디지털 멀티미디어 방송 수신용 저전력 CMOS RF 튜너 칩에 대해 기술한다. 제안된 RF 튜너 칩은 저전력의 소형 휴대단말기 개발에 적합한 Low-IF 수신 구조로 설계되었으며, 174~240 MHz의 RF 방송 신호를 수신하여 1.536 MHz 대역폭의 2.048 MHz IF 신호를 출력한다. RF 튜너 칩은 저잡음 증폭기, 이미지 신호 제거 믹스, 채널 필터, LC-VCO, PLL과 Band-gap 기준 전압 생성기 등의 모든 수신부 기능 블록들을 포함하고 있으며, 0.18 um RF CMOS 기술을 이용하여 단일 칩으로 제작되었다. 또한 전력 소모를 줄이기 위한 4단계 이득 가변이 가능한 저잡음 증폭기를 제안하였으며, Schmoock's 선형화 기법과 Current bleeding 회로 등을 이용하여 수신 성능을 개선하였다. 제작된 RF 튜너 칩의 이득 제어 범위는 -25~+88 dB, 잡음 특성(NF)은 Band-Ⅲ 전체 대역에서 약 4.02~5.13 dB, 선형 특성(IIP3)은 약 +2.3 dBm 그리고 이미지 신호 제거비는 최대 63.4 dB로 측정되었다. 총 전력 소모는 1.8 V 단일 전원에서 약 54 mW로 우수하며, 칩 면적은 약 3.0×2.5 mm²이다.

Abstract

This paper describes a fully integrated CMOS low-IF mobile-TV RF tuner for Band-Ⅲ T-DMB/DAB applications. All functional blocks such as low noise amplifier, mixers, variable gain amplifiers, channel filter, phase locked loop, voltage controlled oscillator and PLL loop filter are integrated. The gain of LNA can be controlled from -10 dB to +15 dB with 4-step resolutions. This provides a high signal-to-noise ratio and high linearity performance at a certain power level of RF input because LNA has a small gain variance. For further improving the linearity and noise performance we have proposed the RF VGA exploiting Schmoock's technique and the mixer with current bleeding, which injects directly the charges to the transconductance stage. The chip is fabricated in a 0.18 um mixed signal CMOS process. The measured gain range of the receiver is -25~+88 dB, the overall noise figure(NF) is 4.02~5.13 dB over the whole T-DMB band of 174~240 MHz, and the measured IIP3 is +2.3 dBm at low gain mode. The tuner rejects the image signal over maximum 63.4 dB. The power consumption is 54 mW at 1.8 V supply voltage. The chip area is 3.0×2.5 mm².

Key words : CMOS, Low-IF, T-DMB, DAB, Mobile TV, Poly Phase Filter, Tuner

한국전자통신연구원 디지털 RF SoC연구팀(Digital RF SoC Research Team, Electronics and Telecommunications Research Institute)

*충남대학교 전자전파정보통신공학과(Department of Electronics Microwave and Information, Chungnam National University)

· 논문 번호 : 20100311-018

· 교신저자 : 오승엽(e-mail : ohseung@cnu.ac.kr)

· 수정완료일자 : 2010년 4월 8일

I. 서 론

세계 최초로 모바일 TV 방송서비스를 시작한 한국의 지상파 디지털 멀티미디어 방송(Terrestrial Digital Multimedia Broadband: T-DMB)^{[1],[2]} 서비스를 필두로 유럽의 DVB-H, 미국의 MediaFLO, 중국의 CM-MB 그리고 일본의 ISDB-T 등 최근 들어 전세계적으로 지역 환경에 맞게 다양한 모바일 TV 서비스가 이루어지고 있다.

이러한 모바일 TV 서비스의 보급 확대를 위해서는 다양한 콘텐츠 및 부가서비스 개발뿐만 아니라 현재 2~3시간 정도인 배터리 사용 시간을 연장시킬 수 있는 저전력 휴대용 단말기 개발이 필요하다.

서비스 이용자들은 대부분 휴대형 단말기를 통해 모바일 TV 서비스를 이용하기 때문에 단말기의 배터리 사용 시간은 매우 중요한 요소이다.

본 논문에서는 휴대 단말기의 소형화 및 저전력화에 적합한 CMOS RF 튜너 칩에 대해 기술하며, 제안된 Low-IF 수신 구조의 RF 튜너 칩은 Band-III T-DMB/DAB 서비스를 지원하며, 저전력의 0.18 μm RF CMOS 기술을 이용하여 단일 칩으로 제작되었다.

또한 저전력과 수신 성능 개선을 위해 Schmoock's linearized pair^{[3],[4]}, current bleeding 회로^{[3]-[6]} 그리고 4 단계로 이득 제어가 가능한 저잡음 증폭기 등의 회로 설계 기법들을 이용하였다.

본 논문의 제II장과 제III장에서는 RF 튜너 칩의 구조와 시스템 버짓(system budget)에 대해 기술하고, 제IV장에서는 회로 설계에 대해 기술하며, 제V장에서는 측정 결과를 기술하고 결론을 맺는다.

II. 구조 설계

90년대 이후 고성능 CMOS 소자 기술 개발과 회로 설계 기술의 발전으로 RF 신호를 기저 대역 신호로 직접 변환시키는 직접 변환 수신 구조와 DC보다 0.5~2 채널 정도 높은 주파수를 IF 대역으로 하는 Low-IF 수신 구조가 주로 이용되고 있다.

직접 변환 수신 구조에는 DC offset과 flicker noise 그리고 I/Q mismatch 등 기술적으로 해결해야 될 난제가 있다. 그리고 Low-IF 수신 구조는 직접 변환 수신 구조의 DC offset과 flicker noise 영향을 회피할 수

표 1. 직접변환과 low-IF 수신 구조 비교

Table 1. Comparison of direct conversion receiver and low-IF receiver.

	직접 변환 구조	Low-IF 구조
Ch. selection filter	LPF	BPF
DC offset	○	×
Flicker noise	○	×
I/Q mismatch	○	×
Image reject	×	○
# of ADC	2	1
Output signal	기저 대역 신호	IF 신호

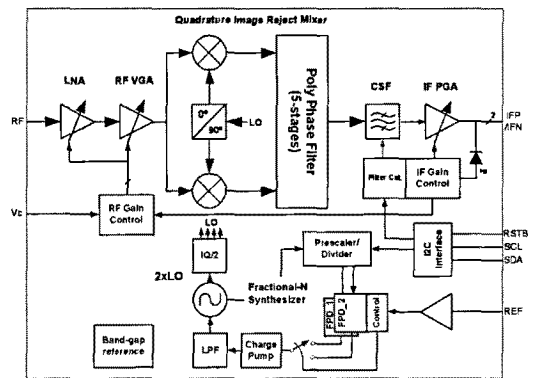


그림 1. 제안된 Band-III T-DMB/DAB 모바일 TV용 RF 튜너 칩의 구조도

Fig. 1. Architecture of the proposed RF tuner for Band-III T-DMB/DAB system.

있는 구조이지만 RF 신호를 DC 근처의 IF 대역으로 주파수 변환하기 때문에 이미지 신호 제거 회로와 고성능의 아날로그-디지털 변환기가 필요하다.

표 1은 직접 변환 수신 구조와 Low-IF 수신 구조의 특징을 비교한 도표이다.

제안된 모바일 TV용 RF 튜너 칩의 수신 구조는 기존 모델 블록과의 입출력 호환성, RF front-end 블록 설계 난이도 및 소요면적 등을 고려하여 최종적으로 Low-IF 수신 구조를 선정하였다.

그림 1은 제안된 Band-III T-DMB/DAB 모바일 TV용 RF 튜너 칩의 구조도이다. 174~240 MHz Band-III RF 방송 신호를 수신하여 최종 1.536 MHz 대역폭을 갖는 2.048 MHz IF 신호를 아날로그-디지털 변환기 입력으로 제공한다.

그리고 4단계로 이득 제어가 가능한 저잡음 증폭

기의 입출력 매칭 회로는 충분한 이득과 저잡음 특성을 얻기 위해 외장 LC 수동소자를 이용하였다.

또한 기판(substrate)이나 전원 공급선(supply line)을 따라 유입되는 공통 잡음(common mode noise)에 대한 면역(immunity)을 높이기 위하여 저잡음 증폭기를 제외한 나머지 모든 블록들을 모두 차동(differential) 구조로 설계하였다.

제안된 RF 튜너 칩은 설계 난이도를 완하시키기 위해 1차 주파수 변환된 2.048 MHz Low-IF 대역에서 이미지 신호를 제거할 수 있는 Single Quadrature Image Reject Mixer(SQ-IRM) 회로를 이용한다^[7].

T-DMB의 채널 대역폭은 1.536 MHz이며, 채널 선택 필터는 active-RC 6차 Chebyshev 구조의 대역 통과 필터(Band Pass Filter: BPF)로 구현되었다. Chebyshev 필터는 Butterworth 필터보다 이득 평탄도가 나쁘지만 매우 우수한 roll-off 특성을 갖고 있다.

주파수 변환기에 필요한 Quadrature LO 신호는 On-chip LC-VCO와 PLL로 구성된 Fractional-N 주파수 합성기에서 생성된다. On-chip LC-VCO의 인덕터 소모 면적을 줄이기 위해 LC-VCO에서는 2xLO 신호를 생성하도록 설계하였다. 또한 위상 잡음 특성을 개선하고 필요한 외장 소자수를 줄이기 위해 PLL의 Loop Filter를 on-chip으로 집적시켰다.

III. 시스템 버짓

제안한 모바일 TV용 RF 수신기에는 8.192 MS/s 10비트 아날로그-디지털 변환기를 사용하고 있으며, 아날로그-디지털 변환기의 S/N비는 약 62 dB이다.

따라서 시스템의 요구 S/N비(10 dB), ADC 잡음성분(13 dB), PAPR(10 dB) 및 설계 마진(5 dB) 등을 고려하면 그림 2와 같이 ADC 입력 레벨은 항상 -34 ~ -10 dBm을 유지되어야 데이터 손실을 방지할 수 있다.

그림 2에서 보듯이 RF 신호 세기 -100~0 dBm 범위에서 ADC 입력 레벨을 항상 -34~-10 dBm로 유지하기 위해 요구되는 RF Front-End 블록의 이득 범위는 -10~+66 dB 이다. 그러나 열악한 수신 환경에서도 항상 안정된 수신 성능을 보장하기 위해 RF Front-End 블록의 이득 범위를 -20~+95 dB(RF: 35 dB, IF: 60 dB)로 설계하였다.

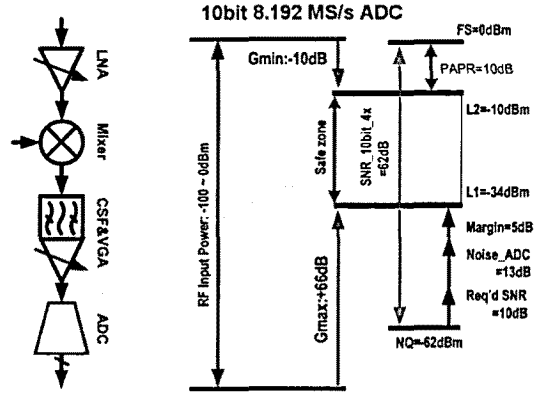


그림 2. RF 튜너의 시스템 버짓
Fig. 2. System budget for RF tuner.

그리고 아날로그-디지털 변환기는 대부분의 시스템에서 필수적으로 사용되지만 시스템에서 요구하는 수신 감도(최저 수신 신호 레벨) 규격과 최대 허용 블로커(blocker) 요구 규격을 만족시킬 수 있을 만큼 충분한 능동 범위(dynamic range)를 갖지 못하는 경우가 종종 있다.

그래서 대부분의 시스템은 수신된 RF 신호 세기에 따라 신호를 증폭 또는 감쇠시켜 아날로그-디지털 변환기 입력단의 신호 레벨을 항상 일정하게 유지시키는 자동 이득 제어(Automatic Gain Control: AGC) 회로를 포함하고 있다. 제안된 T-DMB/DAB RF 수신 칩은 RF와 IF dual AGC 회로를 내장하고 있으며, RF와 IF 블록에서 동시에 자동 이득 제어 동작을 수행한다.

표 2는 제안된 T-DMB/DAB용 RF 튜너의 주요 설계 규격이다^[1].

표 2. T-DMB/DAB RF 튜너 설계 규격 요약
Table 2. Summary of design specifications of RF tuner for T-DMB/DAB.

	설계 규격	단위
Operating frequency	174~240	MHz
IF/Bandwidth	2.048/1.536	MHz
Sensitivity	-97	dBm
Noise figure	4.0	dB
ACS	30	dB
Image reject ratio	40	dB
Required S/N	10	dB

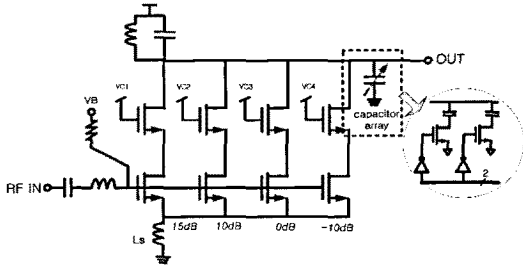


그림 3. 4-단계 이득 가변 구조의 저잡음 증폭기
Fig. 3. Low noise amplifier with 4 gain steps.

IV. 기능 블록 설계

4-1 저잡음 증폭기 및 RF VGA 설계

RF 튜너 칩에 사용된 저잡음 증폭기는 그림 3과 같이 -10/0/10/15 dB의 4단계 이득 제어가 가능한 구조로 되어 있으며, 캐스코드 MOS를 on/off하여 이득을 가변한다.

특히 여러 단계로 이득 제어가 가능한 저잡음 증폭기는 후단에 위치하는 RF VGA의 설계 요구 규격을 완화시킬 수 있다. 즉, AGC 기능에서 어느 한 블록의 이득 변화 폭이 작으면 작을수록 이득 제어 폭을 일정하게 유지하기 위해 타 블록에서 보상해야 하는 이득 변동 폭을 줄일 수 있기 때문이다.

또한 저잡음 증폭기 출력단에 연결된 on-chip 커패시터 어레이를 이용하여 출력 매칭 주파수를 가변할 수 있으며, 2비트 제어 신호를 사용한다. 이러한 가변 주파수 매칭 구조는 광대역 매칭 회로를 사용하지 않고도 전체 대역에서 높은 이득을 얻을 수 있기 때문에 전력 소모를 줄일 수 있는 장점이 있다.

RF VGA는 그림 4와 같이 차동 회로 구조로 설계되었으며, 저잡음 증폭기에서 증폭된 RF 신호를 처리해야 하기 때문에 저잡음 특성뿐만 아니라 선형 특성도 매우 중요하다.

제안된 RF VGA는 선형 특성을 개선하기 위해 비대칭 크기를 갖는 트랜스컨덕턴스 MOS 짝(pair)을 서로 coupled-pair로 연결시킨 Schmoock's technique을 이용하였다. 제안된 RF VGA 회로에서 트랜스컨덕턴스 MOS pair의 소자비에 따른 선형 특성을 분석하였으며, 500 uA의 전류원과 기본 소자 크기 50 um/0.18 um 조건에서 비대칭 소자비가 1:5일 때 IM3

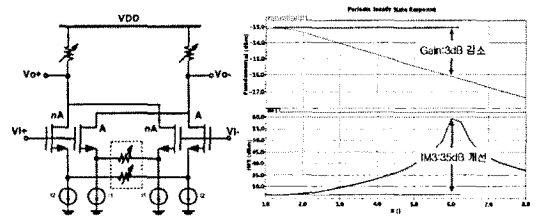


그림 4. Schmoock's 선형화 기법을 적용한 RF VGA 회로
Fig. 4. RF VGA with Schmoock's linearized pairs.

는 그림과 같이 약 35 dB 정도 특성이 개선되었으며, 반면에 이득은 약 3 dB 정도 감소하였다.

4-2 Single Quadrature Image Reject Mixer

Low-IF 수신 구조는 RF 신호를 DC 근처의 IF 신호로 주파수 변환시키기 때문에 기본적으로 동일 IF 대역으로 이미지 신호가 중첩되는 문제가 있다.

그림 5(a)는 RF 튜너 칩에서 사용하고 있는 Quadrature mixer와 IF poly phase filter(PPF)로 구성된 single quadrature image reject mixer(SQ-IRM) 구조이며, 1차 주파수 변환된 2.048 MHz IF 대역에서 이미지 신호를 제거한다^[7].

그림 5(b)와 같이 SQ-IRM에 사용되는 Quadrature mixer는 이득 확보가 용이하고 잡음 및 IF-RF 격리 특성이 우수한 길버트-셀(Gilbert-cell) 기반의 double-balanced mixer 회로를 사용한다. 길버트 mixer 회로의 스위칭 단 MOS의 flicker noise와 white noise는 식 (1) 및 식 (2)와 같이 전류에 비례하므로 스위칭 단의 전류를 줄이면 스위칭 단의 잡음 특성을 개선할 수 있다. 그러나 트랜스컨덕턴스 단 MOS의 선형 특성은 식 (3)과 같이 전류의 제곱근에 비례하므로 선형 특성을 개선하기 위해서는 드레인 전류를 증가시켜야 한다^{[3],[5]}.

따라서 이들 식으로부터 스위칭 단의 전류를 줄이고 트랜스컨덕턴스 단의 전류를 증가시키면 mixer의 잡음 특성과 선형 특성을 동시에 개선할 수 있음을 알 수 있다.

$$i_{o, \text{nflicker}} = 4I \frac{V_n}{S * T} \quad (1)$$

$$i_{o, \text{nwhite}}^2 = 4 * T \gamma \frac{I}{\pi A} \quad (2)$$

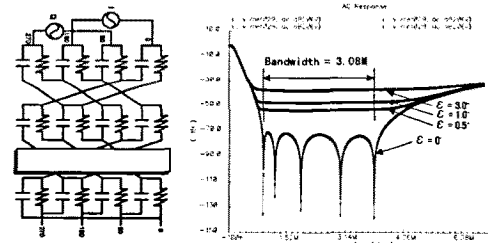
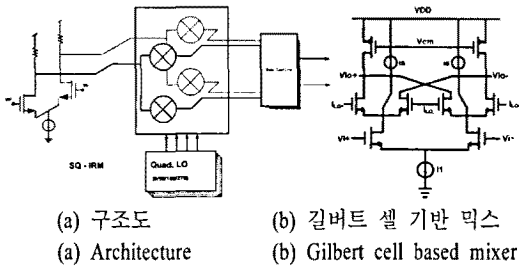


그림 5. Single quadrature 이미징 신호 제거 믹스 구조 및 구성 회로
 Fig. 5. Architecture and subcircuits of single quadrature image reject mixer.

$$IP_3 \approx \sqrt{\frac{32}{3} \frac{I}{\beta_n}} \quad (3)$$

제한된 SQ-IRM에서는 스위칭 단을 거치지 않고 트랜스컨덕턴스 단으로 직접 전류를 추가 공급하는 current-shunt(또는 current bleeding) 회로를 이용하여 mixer의 선형 특성과 잡음 특성을 개선하였다.

그리고 SQ-IRM에 필요한 PPF 회로는 RC 수동소자로 구현되었으며, 충분한 이미징 신호 제거 성능을 얻기 위해 5단으로 설계하였다. Mixer와 R-C PPF 사이에 source follower 증폭기를 삽입하여 낮은 입력 저항을 갖는 PPF 회로를 구성하는데 문제가 없도록 하였다. PPF의 수동소자는 공정 변수를 고려하여 큰 width로 설계되었으며, poly-silicon 저항과 MIM capacitor가 사용되었다.

또한 소자 간의 편차를 줄이기 위하여 가장자리 쪽의 소자에는 Dummy cell을 삽입하였으며, 그림 5(c)와 같이 각 채널간의 신호 경로 길이(signal path length)를 동일하게 유지하도록 매 단(each stage)마다 소자의 위치를 바꾸어 배치 배선하였다.

설계된 PPF는 공정 변수에 의한 영향을 고려하여

25 % 동작 마진(operating margin)을 갖고 있으며, 대역폭은 2.56 MHz(0.96 ~ 3.52 MHz)이다. 그림 5(d)는 quadrature IF 입력 신호의 위상차에 대한 PPF의 주파수 응답 특성이며 phase mismatch가 없는 경우 -70 dBc 이상의 우수한 감쇠 특성을 갖고 있다.

4-3 Channel Selection Filter와 IF Automatic Gain Control Circuits

T-DMB/DAB 시스템의 인접 채널 선택도(Adjacent Channel Rejection: ACS)는 30 dB 이상과 far-off 채널 선택도는 40 dB 이상이 요구된다^{[1],[8],[9]}. 채널 선택 필터는 그림 6과 같이 stop-band 감쇠 특성, in-band 이득평탄도 및 군지연(group delay) 특성 등을 고려하여 6차 active-RC Chebyshev 대역 통과 필터를 이용하였다. Active-RC 구조는 수동 RC 소자와 피드백 루프를 갖는 여러 단의 OA(Operating Amplifier)로 구성되기 때문에 높은 선형 특성을 얻을 수 있는 장점이 있다.

그리고 PVT(Process, Voltage and Temperature) 변화를 고려하여 대역폭과 이득을 미세 조정할 수 있도록 트리밍(trimming) 회로를 포함하고 있으며, 모의검증 결과 1.7 MHz offset 주파수에서 53.1 dB의 우수한 감쇠 특성을 얻었다.

그림 7은 IF AGC 블록 구조도이며, RF 수신 신호에 따라 ADC 입력으로 항상 일정한 신호를 제공하기 위한 IF 자동 이득 제어 기능을 수행한다. 그림과 같이 IF AGC 블록은 3단의 IF VGA, 신호 레벨 검출기, 차지 펌프(charge-pump) 회로 및 DC offset 제거 회로 등으로 구성되어 있다.

IF VGA는 높은 선형 특성을 얻기 위해 저항을 이용한 source degeneration 구조로 설계하였으며, 저항 값을 가변하여 이득을 제어한다^[8]. 선형 특성을 나타

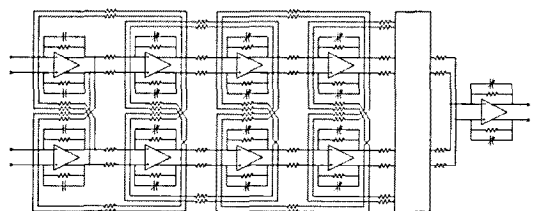


그림 6. 6차 Chebyshev 대역 통과 필터
 Fig. 6. 6-order Chebyshev band pass filter.

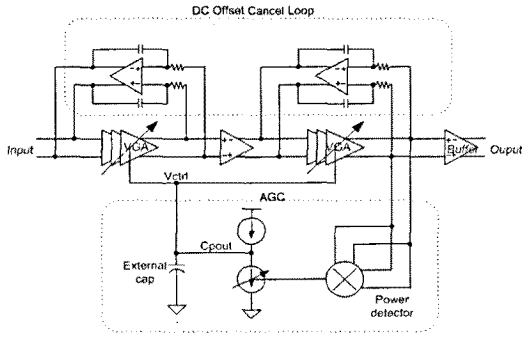


그림 7. IF 이득 가변 증폭기
Fig. 7. IF variable gain amplifier.

내는 IIP3 설계 값은 최저 이득 조건에서 약 +10 dBV이다.

4-4 Fractional-N Frequency Synthesizer

그림 8은 시그마-델타 모듈레이터를 이용한 Fractional-N 주파수 합성기 구조이다. 주파수 합성기의 모든 블록들은 필요한 외부 소자수를 줄이고 위상 잡음 특성을 향상시키고자 LC-VCO를 비롯한 루프-백 필터 등을 칩으로 집적화시켰다.

일반적인 주파수 합성기에서는 VCO는 PLL 블록을 통하여 발생된 제어 전압에 의해 가변되지만 제안한 주파수 합성기 구조는 차지 펌프 전압뿐만 아니라 디지털 블록에서 만들어진 상태 감시 제어 신호에 의해서도 제어되기 때문에 160 us 이하로 초기 세틀링 시간(settling time)을 크게 단축시켰다^[9]. PLL의 루프 필터는 dual 구조로 설계하여 루프 필터 집적화에 따른 예상치 못한 오동작 발생을 미리 방지하였다.

On-chip LC-VCO의 인덕터를 대칭 구조의 3~5

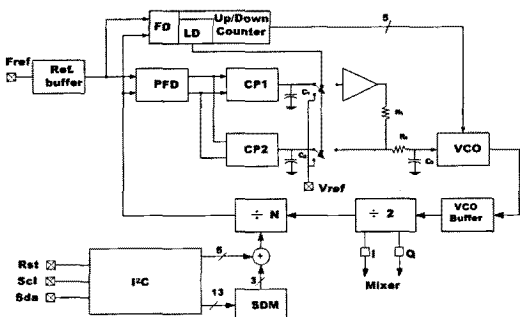


그림 8. Fractional-N 주파수 합성기 구조도
Fig. 8. Fractional-N frequency synthesizer architecture.

매탈 레이어(metal layer)를 쌓은 형태의 octagonal 구조로 설계하여 배선저항에 의한 Q-factor 저하를 방지하였으며, LC-VCO의 인덕터 설계에 필요한 칩 면적을 줄이기 위해 필요한 LO 주파수의 2배 신호를 생성한다. 또한 VCO의 주파수 범위를 확장하기 위해 varactor 외에 커패시터 बैं크를 추가하였으며, 설계된 VCO의 주파수 튜닝 범위는 336~490 MHz이다.

V. 측정 결과

그림 9는 110~290 MHz RF 주파수 대역에서 측정된 수신부의 최대 전압 이득과 잡음 특성이다. Band-III 대역에서의 수신부 최대 전압 이득은 약 +88 dBV, 잡음 특성 NF는 약 4.02~5.13 dB로 측정되었다. 따라서 시스템 요구 SNR가 10 dB일 때 RF 튜너의 최고 수신 감도는 약 -98 dBm으로 예측된다.

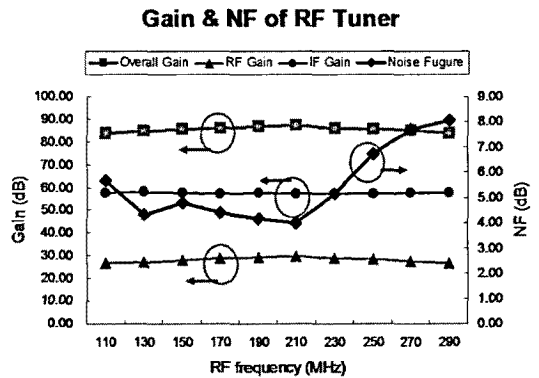


그림 9. RF 튜너의 이득 및 잡음 특성
Fig. 9. Gain and noise figure of RF tuner.

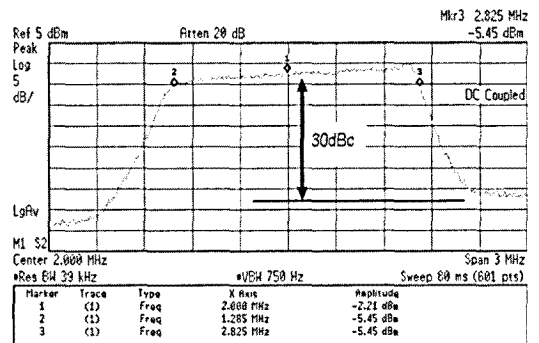


그림 10. RF 튜너의 채널 선택도
Fig. 10. Channel selectivity of RF tuner.

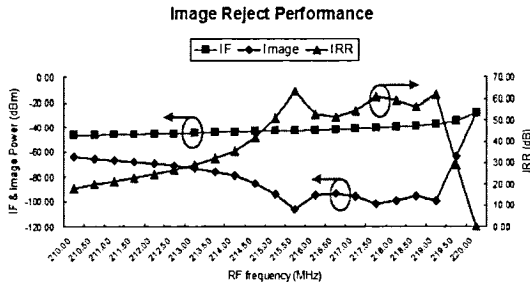


그림 11. RF 튜너의 이미지 신호 제거 특성
Fig. 11. Image rejection performance of RF tuner.

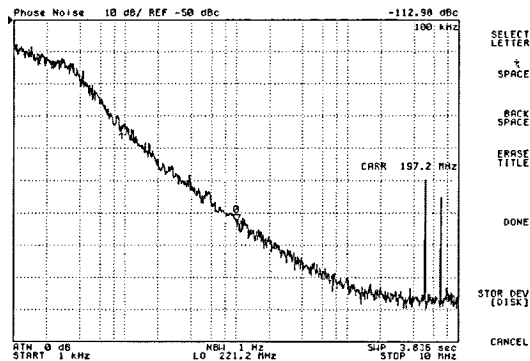


그림 12. LO 신호의 위상 잡음(221 MHz)
Fig. 12. Phase noise curve of LO signal(221 MHz).

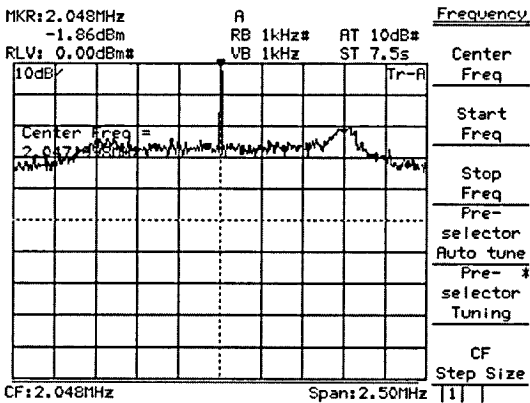


그림 13. 2.048 MHz IF 출력 신호 스펙트럼
Fig. 13. Spectrum of 2.048 MHz IF output.

그림 10은 IF 채널 선택 필터 특성이며, 통과 대역에서의 이득 평탄도는 약 5 dB 정도이며, 1.7 MHz offset 지점에서의 감쇠 특성은 약 30 dBc이다.

그림 11은 이미지 신호 제거 측정 결과이며, RF 주파수 210~229.5 MHz 대역에서 평균 50 dB 이상이며, 최고 63.4 dB의 이미지 신호 제거 성능을 보였다.

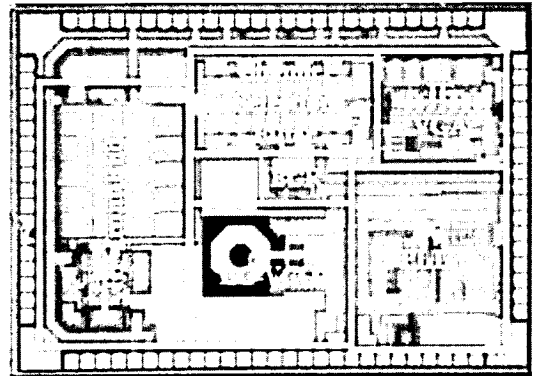


그림 14. 칩 사진
Fig. 14. Chip photo.

표 3. 성능 비교
Table 3. Performance comparison.

	FS1110	StarRF T500	FC 2501	ADM TV300	This work
동작 주파수	B-2,3,L	B-3,L	B-3,L	B-3,L	B-3
수신 감도 (dBm)	-100	-100	-102	-102	-98
잡음 특성 (dB)	3	-	3	~3	4.7
ACS(dB)	35	-	45	-	35
전력 소모 (mW)	80	55	60	77	54
테크놀로지	SiGe	C0.13 um	SiGe	C0.13 um	C0.18 um
참고문헌	[10]	[11]	[12]	[13]	-

또한 선형 특성 IIP3는 일반적인 2-tone 측정 방법으로 수행하였으며, 동작 조건 RF 2-tone: 0 dBm, 207 MHz, 207.1 MHz, 수신부 이득: -30 dB에서 측정된 IIP3는 약 +2.3 dBm이다.

그림 12는 221 MHz LO 주파수에서 100 KHz offset 지점에서 측정된 위상 잡음 특성이며, 약 -113 dBc이다. 그리고 동작 주파수 212 MHz 100 kHz offset 조건에서는 약 -108 dBc/Hz로 측정되었다.

그림 13은 1.536 MHz 대역폭을 갖는 2.048 MHz 최종 IF 출력 신호의 스펙트럼으로 -90 dBm의 214.048 MHz RF 신호와 RF 튜너의 최대 이득 조건에서 측정된 결과이다.

그림 14는 0.18 um CMOS 기술로 제작된 RF 튜너 칩 사진이며, 모든 수신부 기능 블록들이 집적되었다.

표 3은 기존 RF 튜너 칩들과의 성능을 비교 요약한 것으로, 타 제품과 달리 CMOS 0.18 um 기술을 이용하였기 때문에 수신 감도는 -98 dBm으로 약간의 열세를 보이고 있으나, 전력 소모 특성은 가장 우수한 결과를 보인다.

VI. 결 론

고성능 저전력의 Band-III T-DMB/DAB용 RF 튜너를 Low-IF 구조로 설계하고 0.18 um mixed-signal CMOS 기술로 단일 칩으로 제작하여 성능을 검증하였다. 모든 측정은 표준 규격서에서 제시한 방법에 따라 디지털 도메인에서 10^{-4} BER의 만족 여부로 판단하였으며 측정 결과 모든 RF 규격을 만족한다.

제안된 RF 튜너 칩은 다양한 저잡음 및 선형 특성 개선 설계 기법을 이용한 결과, 우수한 +2.3 dBm의 선형 특성과 약 4.02~5.13 dB의 잡음 특성을 얻었으며, 이미지 신호 제거비는 Band-III 전체 대역에서 50 dB 이상이며 최고 63.4 dB의 성능을 얻었다.

또한 4단계 이득 가변형 저잡음 증폭기 및 Schmoock's 선형화 기법 등의 저전력이 가능한 회로 설계 기법을 적용하여 1.8 V 단일 전원 전압에서 약 54 mW의 우수한 저전력 소모 특성을 얻었다.

칩 면적은 약 $3.0 \times 2.5 \text{ mm}^2$ 이며, 48핀 TQFP로 패키징하였다.

참 고 문 헌

[1] ETSI EN 300 401 v1.4.1, Radio Broadcasting Systems; Digital Audio Broadcasting (DAB) to Mobile, Portable and Fixed Receivers, 2006.
 [2] TTAS.KO-07.0024, 지상파 디지털멀티미디어방송(DMB) 데이터 송수신 정합, 2007년.
 [3] G. H. Zareh Fatin, "A technique to improve noise figure and conversion gain of CMOS mixers", *Circuit*

and Systems, MWSCAS, pp. 437-440, 2007.
 [4] J. C. Schmoock, "An input stage transconductance reduction technique for high-slew rate operational amplifiers", *IEEE J. of Solid-State Circuits*, vol. SC-10, no. 6, Dec. 1975.
 [5] L. A. NacEachern, T. Manku, "A charge-injection method for Gilbert cell biasing", *IEEE Canadian Conference on Electrical and Computer Engineering*, vol. 1, pp. 365-368, 1998.
 [6] S. -G. Lee, I. -K. Choi, "Current-reuse bleeding mixer", *Electronics Letters*, vol. 36, no. 8, Apr. 2000.
 [7] F. Behbahani, "CMOS mixers and polyphase filters for large image rejection", *IEEE J. of Solid-State Circuits*, vol. 36, no. 6, Jun. 2001.
 [8] Ko-Chi Kuo, A. Leuciuc, "A linear MOS transistor using source degeneration and adaptive biasing", *Circuits and Systems II: Analog and Digital Signal Processing*, IEEE, vol. 48, pp. 937-943, 2001.
 [9] Yido Koo et al., "A fully integrated CMOS frequency synthesizer with charge-averaging charge pump and dual-path loop filter for PCS- and cellular-CDMA wireless systems", *IEEE J. Solid-State Circuit*, vol. 37, no. 5, pp. 536-542, May 2002.
 [10] FS1110 tri-band dual mode radio receiver, www.frontier-silicon.com.
 [11] StarRFT5000 dual band CMOS RF tuner, www.inctech.co.kr
 [12] FC2501 tri-band RF tuner, www.siliconmotion.com.tw.
 [13] ADMTV300 tri-band RF tuner, www.integrant.com.

김 성 도



1989년 2월: 금오공과대학교 전자공학과 (공학사)

2001년 2월: 한국정보통신대학원대학교 전자공학과 (공학석사)

1989년 2월~현재: 한국전자통신연구원 책임연구원

[주 관심분야] RF CMOS 회로 설계, 바이오메트릭 레이더 시스템, 초고주파 회로 설계

오 승 엽



1971년 2월: 연세대학교 전자공학과 (공학사)

1973년 2월: 연세대학교 전자공학과 (공학석사)

1982년 2월: 연세대학교 전자공학과 (공학박사)

1980년~1981년: Tohoku University,

Japan 재직

1985년~1986년: Pennsylvania State University, USA 조빙연구원 근무

1984년 2월~현재: 충남대학교 전자정보통신공학과 교수, KICS, KIEES 그리고 IEEE 정회원

[주 관심분야] 안테나 및 디지털 통신 RF Sub-System 분야 설계 등