

# 링 발진기를 이용한 18 GHz 4분주 주입 동기 주파수 분주기

## A 18 GHz Divide-by-4 Injection-Locked Frequency Divider Based on a Ring Oscillator

서 승 우 · 서 효 기 · 이 재 성

Seungwoo Seo · Hyogi Seo · Jae-Sung Rieh

### 요 약

본 논문에서는 18 GHz 대역에서 동작하는 링 발진기를 이용한 4분주 주입 동기 주파수 분주기(Injection-Locked Frequency Divider: ILFD)를 0.13- $\mu$ m Si RFCMOS 공정을 이용하여 설계, 제작한 결과를 보인다. 1.5 V의 공급 전압에 대하여 33.4 mW의 전력을 소비하며, 입력 신호가 없을 때 약 -30 dBm의 전력으로 4.98~5.22 GHz에서 자유발진하였다. 0 dBm의 입력 전력에 대하여 3.5 GHz(17.75~21.25 GHz)의 동기 범위를 가지며, 동작 범위는 바랙터 조절에 의해 5.25 GHz(16.0~21.25 GHz)까지 증가하였다. 제작된 칩의 크기는 DC와 RF 패드를 포함하여 0.76 mm×0.57 mm이다.

### Abstract

In this work, a 18 GHz divide-by-4 injection-locked frequency divider(ILFD) based on ring oscillator has been developed in 0.13- $\mu$ m Si RFCMOS technology. The free-running oscillation frequency is from 4.98 to 5.22 GHz and output power is about -30 dBm, consuming 33.4 mW with a 1.5 V supply voltage. At 0 dBm input power, the locking range is 3.5 GHz(17.75~21.25 GHz) and with varactor tuning, the operating range is increased up to 5.25 GHz(16.0~21.25 GHz). The fabricated chip size is 0.76 mm×0.57 mm including DC and RF pad.

Key words : Ring Oscillator, Injection-Locked Frequency Divider(ILFD)

### I. 서 론

광대역 초고속 무선 통신 시스템에 대한 관심과 시장성이 최근 크게 증가하면서, 수 Gbps 통신 시스템 개발을 위한 많은 연구가 진행 중이다. 상업용 초고속 통신 시스템을 개발하기 위한 공정 중, 최근 동작 속도가 크게 개선된 Si CMOS 공정은 제작 단가가 저렴하고 디지털 구역과 집적성이 용이하기 때문에 크게 각광을 받고 있는 공정이다.

초고속 통신 시스템에서 단일 전압 조절 발진기

(VCO)의 출력 신호는 공정, 온도 등 외부 조건에 의해서 변화하기 때문에 위상 고정 루프(PLL)를 이용하여 안정된 외부 신호에 고정된다. 주파수 분주기는 PLL에서 높은 VCO의 주파수를 기준 주파수까지 떨어뜨리는 역할을 하는데, PLL의 동작 주파수가 올라가면서 주파수 분주기에서 소모되는 전력이 점점 늘어나고 있다. 또한 외부 조건에 의해서 동작 범위가 서로 정렬되지 않으면 분주기의 효율성이 떨어지는 문제가 있다<sup>[1],[2]</sup>. 따라서 높은 동작 주파수를 가지면서 분주비가 높고, 적은 전력을 소비하는 주파

「이 논문은 2009년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(2009-0086266).」

「이 연구는 IDEC(IC Design Education Center)의 시뮬레이션 툴 지원을 통해 수행되었음.」

고려대학교 전기전자전파공학부(School of Electrical Engineering, Korea University)

· 논문 번호 : 20091130-142

· 교신저자 : 이재성(e-mail : jsrieh@korea.ac.kr)

· 수정완료일자 : 2010년 4월 26일

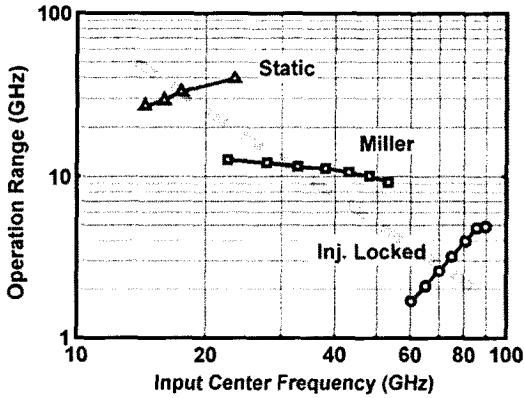


그림 1. 각 분주기의 동작 범위<sup>[1]</sup>  
Fig. 1. The locking ranges for each divider<sup>[1]</sup>.

수 분주기에 대한 연구가 활발히 진행 중이다. 4분주에 대한 결과도 일부 보고된 바 있으며, 넓은 동작 범위에 초점을 맞추거나<sup>[3]</sup>, 저전력에 주안점을 둔 논문 등이 발표된 바 있다<sup>[4]</sup>.

RF 영역에서 동작하는 주파수 분주기는 크게 static 주파수 분주기, Miller 주파수 분주기, ILFD로 나눌 수 있다. 이 중 ILFD는 가장 높은 동작 주파수를 가지면서도 적은 전력을 소비하지만 일반적으로 좁은 동기 범위를 가지고 있다(그림 1). ILFD는 발진기의 특성을 이용하기 때문에 발진기의 종류에 따라 LC-ILFD와 링-ILFD로 나뉜다. LC-ILFD는 상대적으로 적은 전력을 소비하면서도 높은 동작 주파수를 가지지만, 링-ILFD는 회로의 면적이 작고, 상대적으로 더 넓은 동기 범위를 지닌다. 본 논문에서는 4분주가 가능한 ILFD를 링 발진기를 이용하여 설계하였고, 이를 제작, 측정된 결과를 제시한다.

## II. 회로 설계

### 2-1 직렬-주입 ILFD와 병렬-주입 ILFD

ILFD는 입력 신호를 인가하는 방법에 따라 발진기의 공동 마디를 이용하여 입력 단을 발진기와 직렬로 연결하는 직렬-주입 ILFD(그림 2(a))와 발진기 내부의 마디를 입력 단으로 이용하여 서로 연결한 병렬-주입 ILFD(그림 2(b))로 나눌 수 있다. 일반적으로 직렬-주입 ILFD의 경우는 공급 전압에 대한 부담이 증가하고 혼합기로 동작하는 트랜지스터에 의한 source degeneration으로 인해 발진기의 개방 루프

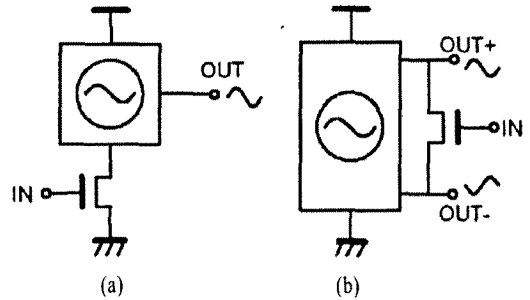


그림 2. (a) 직렬-주입 ILFD와 (b) 병렬-주입 ILFD<sup>[5]</sup>  
Fig. 2. (a) Series-injection ILFD and (b) parallel-injection ILFD<sup>[5]</sup>.

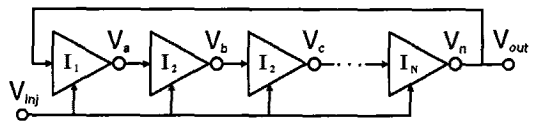


그림 3. 분주비가 N인 링-ILFD  
Fig. 3. Divide-by-N ring-ILFD.

이득이 감소한다. 병렬-주입 ILFD의 경우는 낮은 공급 전압에서도 동작할 수 있고, 또한 소스 디제너레이션의 영향도 피할 수 있지만, 발진기 내부에 직접적으로 연결되는 추가적인 입력 단의 기생 성분에 의해서 발진기의 동작 주파수에 영향을 끼칠 수 있다.

### 2-2 분주비 N 동작

그림 3은 N 분주를 구현하기 위한 링-ILFD를 나타낸다. 각 인버터의 시간 지연을  $T_D$  라고 할 때, N 개의 인버터로 구성된 링 발진기는  $1/(2NT_D)$ 에서 발진한다.  $V_a, V_b, \dots, V_n$ 의 각 마디는  $360/N$ 의 위상차를 가지기 때문에 공동 마디에서는  $1/(2T_D)$ 의 주파수를 가진다. 따라서 이 마디를 입력 신호에 동기화 시키면 N의 분주비를 가지는 ILFD를 설계할 수 있다. 발진기의 특성으로 인하여 링 발진기 기반의 ILFD는 분주비에 따라 설계하는 방법이 달라지는데, 분주비가 홀수일 경우는 인버터의 수도 홀수가 되므로 그림 3과 같이 설계가 가능하지만 분주비가 짝수일 경우 인버터의 수가 짝수가 되기 때문에 발진기를 구현하기 위해선 추가적인 지연 셀을 삽입하거나 한 인버터에서 신호가 역전되지 않도록 해야 한다.

본 논문에서 설계된 이단 차동 링 발진기 기반의 ILFD를 그림 4에 나타내었다. 짝수의 단 수를 갖는

표 1. 사용된 소자의 크기

Table 1. The size of employed device.

능동 소자	$M_N(\text{load})$	$0.13 \mu\text{m} \times 2.5 \mu\text{m} \times 5$
	$M_N(\text{core})$	$0.13 \mu\text{m} \times 2.5 \mu\text{m} \times 16$
수동 소자	$C_{\text{var}}$	$1 \mu\text{m} \times 1 \mu\text{m} \times 4$

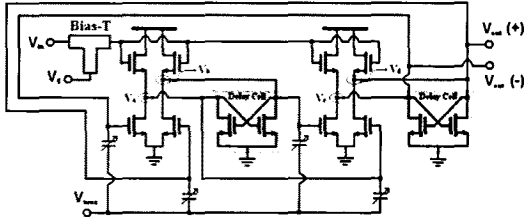


그림 4. 18 GHz divide-by-4 ILFD 회로도

Fig. 4. 18 GHz divide-by-4 ILFD schematic.

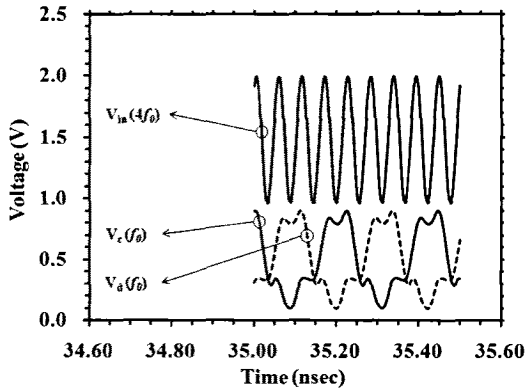


그림 5. 시뮬레이션된 각 마디의 전압 파형

Fig. 5. Simulated voltage waveforms at various nodes.

링 발진기를 구현하기 위해 차동 인버터 단 사이에 지연 셀을 삽입하였고, 또한 한 차동 신호가 역전되지 않게 연결하였다. 이 때 마디  $V_a, V_b, V_c, V_d$ 에서 신호의 위상차가  $90^\circ$ 이므로 링 발진기의 기본 주파수를  $f_0$ 라 할 때  $V_{in}$ 에선  $4f_0$ 의 기본 주파수를 가지게 된다(그림 5). 따라서 이 마디를 입력 단으로 사용하면 4 분주를 구현할 수 있다. 그림 4의 회로에서는  $V_c, V_d$ 을 출력 단으로 사용하였지만, 마디  $V_a, V_b, V_c, V_d$ 를 모두 출력 단으로 사용하면 직교 신호를 발생시킬 수 있는 분주기도 될 수 있다.

일반적으로 링-ILFD의 경우, 추가적인 트랜지스터나 커패시터를 회로에 연결해 입력 신호를 회로에 인가하는데<sup>[6][7]</sup>, 이러한 경우 기생 성분으로 인해서

동작 주파수에 영향을 미치게 된다. 또한 넓은 동기 범위를 가진 ILFD를 설계하기 위해선 입력 효율성을 개선해야 하는데, 이는 입력 신호가 통과하는 트랜지스터의 이득에 영향을 받는다. 따라서 본 논문에서 설계된 ILFD는 일반적인 PMOS 부하를 이용하지 않고<sup>[5]</sup>, NMOS를 부하 트랜지스터로 사용하였다. 또한 동작 주파수의 조절을 위하여 바랙터를 사용하였다. 표 1에 설계에 사용된 소자의 크기를 나타내었다.

### III. 측 정

그림 6에 설계된 제작된 회로의 레이아웃과 현미경 사진을 나타내었다. DC와 RF 패드를 포함한 칩 크기는  $0.76 \text{ mm} \times 0.57 \text{ mm}$ 이고, 코어 부분의 사이즈는  $0.13 \text{ mm} \times 0.13 \text{ mm}$ 이다. 모든 측정은 on-wafer 상태로 측정하였고, 측정을 위한 장비 구성 방법을 그림 7에 나타내었다. 신호 발생기로는 Agilent사의 E8257D가 사용되었고, 출력 신호는 Agilent사의 E4407B를 이용하여 측정하였으며, KEITHLEY사의 KI4200 semiconductor parameter analyzer를 이용하여 회로에 필요한 DC 전력을 공급하였다. 각종 커넥터,

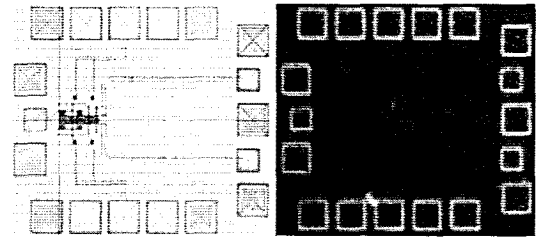


그림 6. 제작된 ILFD의 레이아웃과 현미경 사진

Fig. 6. Layout and microphotograph of the ILFD.

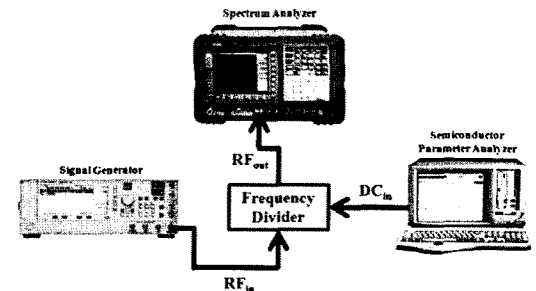
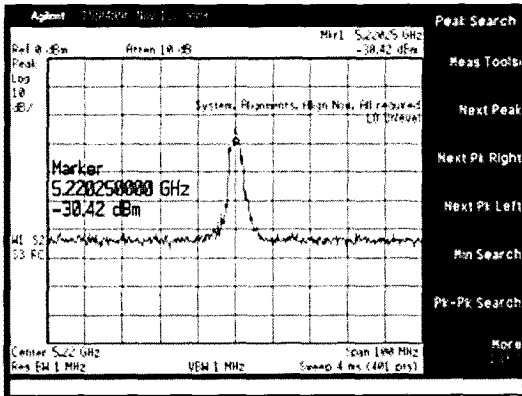


그림 7. ILFD 측정 설정

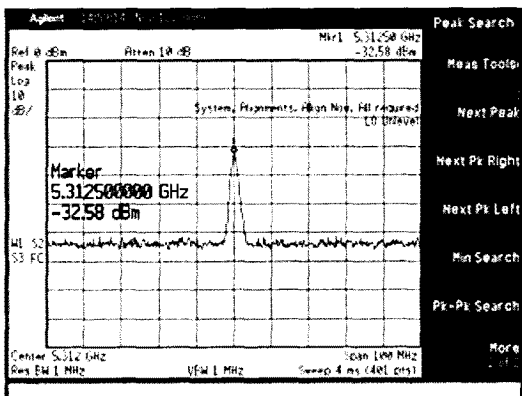
Fig. 7. ILFD measurement setup.

케이블, 그리고 바이어스-T를 통하여 생기는 모든 전력 손실을 보정하여 측정에 반영되었다.

제작된 회로의 자유 발진 출력 스펙트럼과 입력 신호의 주파수가 21.25 GHz일 때 동기화 된 출력 스펙트럼을 그림 8에 나타내었다. 공급 전압이 1.5 V일 때 제작된 회로는 33.4 mW의 DC 전력을 소비하였고, 0~1.5 V의 바랙터 조절 바이어스에 대하여 자유 발진 주파수는 4.98~5.22 GHz로 변화하였다. 입력 신호가 인가되어 회로가 동기화 되었을 때 출력 신호의 위상 잡음은 상당히 개선되었는데, 이는 동기화 되었을 때의 출력 신호의 위상 잡음은 입력 신호에 의존하기 때문이다. 다양한 바랙터 바이어스 조건에 따른 input sensitivity curve를 그림 9에 나타내었다. 동기 범위란 바랙터 바이어스의 조절이 없을 때 주



(a)



(b)

그림 8. 측정된 (a) free-running 출력 스펙트럼과 (b) 동기화 되었을 때의 출력 스펙트럼

Fig. 8. Measured (a) free-running output spectrum and (b) locked output spectrum.

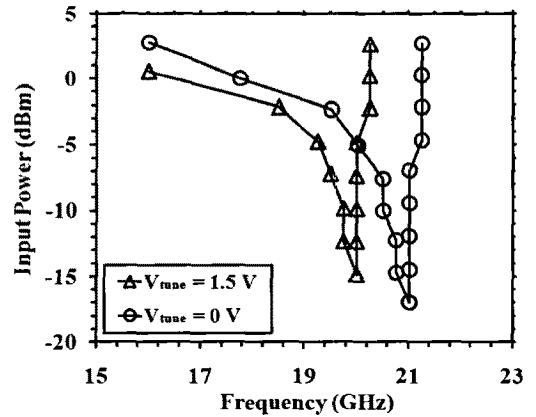


그림 9. 다양한 바랙터 바이어스 조건에 따른 input sensitivity curve

Fig. 9. Input sensitivity curves with various varactor bias conditions.

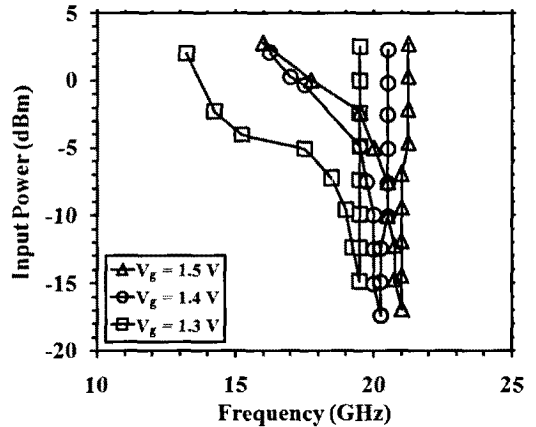


그림 10. 다양한 입력 바이어스 조건에 따른 input sensitivity curve

Fig. 10. Input sensitivity curves with various input bias conditions.

파수 분주가 일어날 수 있는 입력 신호의 범위이고, 총 동작 범위란 바이어스를 조절하였을 때의 주파수 분주가 일어날 수 있는 입력 신호의 범위를 의미하는데,  $V_{tune}=0$  V일 때 0 dBm의 입력 전력에 대하여 측정된 동기 범위는 17.75~21.25 GHz(3.5 GHz, 16.8%)이었고, 총 동작 범위는 16.0~21.25 GHz(5.25 GHz, 26%)이었다. 입력 bias( $V_g$ )가 회로에 미치는 영향을 알아보기 위해서  $V_g$ 를 변화시켜가면서 input sensitivity curve를 측정하였다(그림 10). 입력 바이어스가 줄어들수록 NMOS 부하의 ON-저항이 증가해 전

표 2. 측정된 회로의 성능 요약 및 비교

Table 2. Performance summary and comparison.

Ref.	Tech.	Freq. (GHz)	동작 범위 (GHz)	$P_{diss}$ (mW)	회로 크기 ( $mm^2$ )
This	0.13- $\mu m$ CMOS	18	5.25 (26 %)	33.4	0.13 $\times$ 0.13
[3]	0.13- $\mu m$ CMOS	24	5.4 (21 %)	6	0.12 $\times$ 0.12
[4]	0.18- $\mu m$ CMOS	9	0.54 (6 %)	0.47	0.044 $\times$ 0.033

체적인 동작 주파수가 낮아졌지만, 동기 범위는 조금 상승하였다. 표 2에 본 논문에서 측정된 회로의 성능이 기존 논문에서 발표한 성능과 비교되어 있다. 고주파 4분주 주입 동기 주파수 분배기와 비교가 이루어졌으며, 바랙터 조절에 의한 동작 범위 측면에서 본 연구가 가장 뛰어난 성능을 보이는 것으로 확인되었다. 넓은 동작 범위는 PLL의 안정적인 동작을 위해 필수적인 요소이다. 회로의 최적화가 동작 범위를 위주로 이루어짐에 따라 전력 소모는 상대적으로 크게 나타났다.

#### IV. 결 론

본 논문에서는 0.13- $\mu m$  Si RFCMOS 공정을 이용하여 18 GHz 대역에서 동작하는 4 분주 ILFD를 제작하였다. 직교 신호를 발생시키는 이단 차동 링 발진기를 이용하여 4 분주 동작을 구현하였는데, 바랙터를 이용하여 동작 주파수를 바이어스 조건에 따라 조절하였고, 일반적인 PMOS 부하 대신 NMOS 부하를 사용하여 5.25 GHz의 넓은 동작 범위를 얻었다. 공급 전압이 1.5 V일 때, 제작된 회로는 버퍼를 포함하여 33.4 mW이고, 제작된 회로의 크기는 DC와 RF 패드를 포함하여 0.76 mm $\times$ 0.57 mm이다.

#### 참 고 문 헌

- [1] J. Lee, "A 75-GHz PLL in 90-nm CMOS technology", *Digest of Technical Papers in IEEE International Solid-State Circuits Conference*, pp. 432-613, Feb. 2007.
- [2] C. Changhua, D. Yanping, and K. K. O, "A 50-GHz phase-locked loop in 0.13- $\mu m$  CMOS", *IEEE Journal of Solid-State Circuits*, vol. 42, pp. 1649-1656, Aug. 2007.
- [3] C. Chung-Chun, W. Chi-Hsueh, H. Bo-Jr, T. Hen-Wai, and W. Huei, "A 24-GHz divide-by-4 injection-locked frequency divider in 0.13- $\mu m$  CMOS technology", *ASSCC. IEEE*, pp. 304-343, 2007.
- [4] S. L. Jang, Y. H. Chuang, S. H. Lee, and J. J. Chao, "Circuit techniques for CMOS divide-by-four frequency divider", *Microwave and Wireless Components Letters, IEEE*, vol. 17, pp. 217-219, Mar. 2007.
- [5] M. Motoyoshi, M. Fujishima, "43  $\mu W$  6 GHz CMOS divide-by-3 frequency divider based on three-phase harmonic injection locking", *ASSCC. IEEE*, pp. 183-186, 2006.
- [6] Joonhee Lee, Seonghwan Cho, "A 470- $\mu W$  multi-modulus injection-locked frequency divider with division ratio of 2, 3, 4, 5 and 6 in 0.13- $\mu m$  CMOS", *ASSCC. IEEE*, pp. 332-335, 2007.
- [7] Sanghoon Sim, Dong-Wook Kim, and Songcheol Hong, "A CMOS direct injection-locked frequency divider with high division ratios", *Microwave and Wireless Components Letters, IEEE*, vol. 19, pp. 314-316, May 2009.

서 승 우



2008년 2월: 고려대학교 전자공학과 (공학사)  
2008년 3월~현재: 고려대학교 전기전자전파공학부 석사과정  
[주 관심분야] 밀리미터파 회로 설계

이 재 성



1991년 2월: 서울대학교 전자공학과 (공학사)  
1995년 2월: 서울대학교 전자공학과 (공학석사)  
1999년 11월: Univ. of Michigan EE-CS (공학박사)  
1999년~2004년: IBM Semiconductor R&D Center

2004년~현재: 고려대학교 전기전자전파공학부 부교수  
[주 관심분야] 밀리미터파 소자 및 회로

서 효 기



2009년 8월: 고려대학교 전자공학과 (공학사)  
2009년 9월~현재: 고려대학교 전기전자전파공학부 석사과정  
[주 관심분야] 밀리미터파 회로 설계