

UHF 대역용 Cartesian Feedback Loop 선형화 칩 설계

Design of Cartesian Feedback Loop Linearization Chip for UHF Band

강민수·정영준·오승엽*

Min-Soo Kang · Young-Jun Chong · Seung-Hyeub Oh*

요약

본 논문에서는 UHF 대역(380~910 MHz)의 간이 무선 및 TRS(Trunked Radio System) 단말기에서 이용 가능한 CFL(Cartesian Feedback Loop) 선형화 칩을 Si 기반의 0.6 μm BiCMOS 공정을 이용하여 설계 및 제작한 결과를 보였다. 단말기의 송신 전력을 가변하기 위한 이득 제어 회로를 궤환 경로뿐만 아니라 순방향 경로에도 삽입함으로써 CFL의 안정성을 일정하게 유지하도록 하였으며, 무선기 PTT(Push-To-Talk) 동작에 적합하고 구현이 용이한 S/H(Sample & Hold) 구조를 이용한 DC-offset 제거 기능을 구현하였다. 송신 시험 결과, CQPSK(Compatible QPSK) 신호 인가 시, PEP(Peak Envelope Power) 3 W(34.8 dBm) 출력에서 FCC의 방사 마스크 규격을 만족함을 확인하였으며, Two-tone 인가 시, 30 dB 이상의 3차 IMD 성분 개선을 확인하였다.

Abstract

In this paper, the designed and implemented results of CFL linearization chip which can be used in mobile radio and TRS terminal of UHF band(380~910 MHz), using 0.6 μm BiCMOS process based on Si, are shown. As gain control circuits for modifying transmit power are inserted not only in feedback path but also in forward path, the stability of CFL is maintained. And, DC-offset correction function of S/H structure, which is suitable for walkie-talkie PTT operation and is easily implemented, is realized. The performance test results of transmitter show that the regulation of FCC emission mask at PEP 3 W(34.8 dBm) is satisfied when the CQPSK modulated signal is fed and more than 30 dB improvement of 3rd order IMD is achieved when two-tone signal is inputted.

Key words : Cartesian Feedback Loop, APCO P25, Ultra-Narrowband

I. 서론

최근 LMR(Land Mobile Radio)이나 PMR(Personal Mobile Radio)용 주파수 대역에서 제한적인 주파수 대역의 효율적인 활용을 위해 사용주파수 채널의 초협대역화에 대한 관심이 증대되고 있다. 기존 FM 방식의 경우 50 kHz → 25 kHz → 12.5 kHz로 주파수 협

대역화가 이루어져 왔지만, 더 이상의 협대역화 시 음성 신호의 전송 품질 저하 등으로 인하여 보다 효과적인 새로운 방식의 기술이 요구되고 있다. 개방형 시스템 규격을 채택하고 있는 6.25 kHz 채널 대역을 갖는 FDMA 방식의 APCO(Association of Public-safety Communications Officials) Project 25(P25) Phase II 와 25 kHz 채널 대역을 4개의 time-slot으로 나누어

「본 연구는 지식경제부 및 정보통신연구진흥원의 IT신성장동력핵심기술개발사업의 일환으로 수행하였음[2008-F-013-01, 스펙트럼공학 및 밀리미터파대 전파자원 이용기술 개발].」

한국전자통신연구원 전파기술연구부(Radio Technology Group, ETRI)

*충남대학교 전자공학과(Dept. of Electronics Engineering, Chungnam National University)

· 논문 번호 : 20100304-014

· 교신저자 : 강민수(e-mail : mskang@etri.re.kr)

· 수정완료일자 : 2010년 4월 30일

시간 영역에서 4명이 단일 채널을 공유하는 형태인 TDMA 방식의 TETRA(Terrestrial Trunked Radio) 시스템은 기존 아날로그 FM의 초협대역화에 대한 제한을 극복하는 초협대역 기술 기준들로 최근 공공 안전 분야에서 운송, 산업용 및 군용 무선 통신으로 그 서비스 영역이 점차 확장되고 있다. 하지만 이런 초협대역화 기술들은 주파수 이용 효율을 높이기 위하여 신호 전송에 CQPSK(APCO P25)나 $\pi/4$ DQPSK(TETRA) 등과 같은 선형 변조 방식을 사용한다. 이로 인하여 송신 신호를 증폭하는 전력증폭기는 높은 선형성을 유지해야 하며, 배터리로 운용되는 휴대 장비의 특성상 전력 효율도 높아야 하므로 전력증폭기 선형화 기술이 필수적으로 요구된다. 전력증폭기 선형화 기술에는 feed-forward 방식, CFL 방식 및 predistortion 방식 등이 있다. 이 중에서 CFL 방식은 구현이 비교적 용이하고 소형화가 가능하여 협대역 선형 변조 방식을 이용하는 간이 무선 및 TRS 단말기 등에 널리 활용되고 있다^{[1],[2]}.

본 논문에서는 CFL 선형화 방식의 기본 원리를 등가 모델을 이용하여 설명하고, Si 기반의 $0.6 \mu\text{m}$ BiCMOS 공정을 이용한 CFL 선형화 칩의 구조 및 DC-offset 제어, 위상 제어, 순방향 및 역방향 이득 제어 등을 구현하기 위한 세부 회로를 제시하고, 제작된 CFL 선형화 칩을 이용하여 APCO P25 Phase II (채널 대역폭: 6.25 kHz) 규격에 정의된 CQPSK 변조 신호 인가 시 PEP 3 W(34.8 dBm)에서 FCC 방사 마스크 규격을 만족함을 보임으로써 제작된 CFL 선형화 칩이 초협대역 단말기 제작에 실제 적용이 가능함을 확인하였다.

II. CFL 선형화 기법

그림 1은 CFL 선형화 방식의 일반적인 구조이다. 초기 입력된 신호(I, Q)는 오차 증폭기를 거친 후 변조기에서 RF 신호로 변환되고, 이 변환된 신호는 전력증폭기를 통과하면서 증폭된다. 이때, 증폭된 신호는 원래의 전달 신호뿐만 아니라 증폭기를 통과하면서 발생하는 왜곡 신호 또한 포함하고 있다. RF 출력 신호의 일부를 방향성 결합기를 이용하여 샘플링한 후, 이 신호를 복조기에서 다시 기저 대역 신호로 복조하여 오차 증폭기에서 초기의 입력 신호(I,

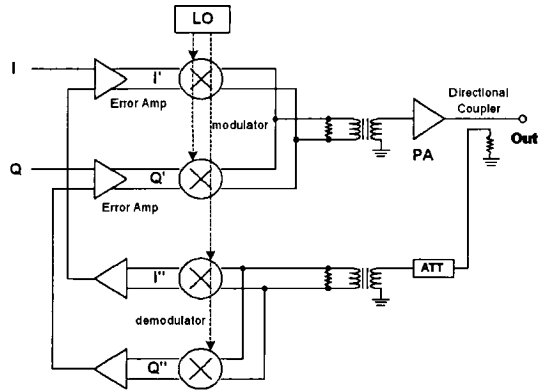


그림 1. CFL 선형 화기의 구조도
Fig. 1. Block diagram of the CFL linearizer.

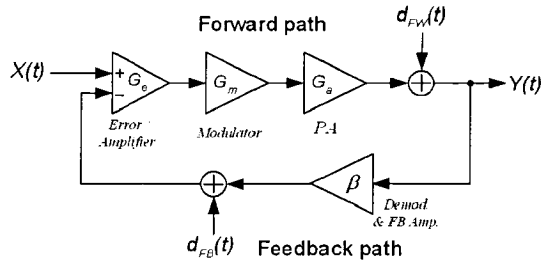


그림 2. CFL 선형 화기의 등가 모델
Fig. 2. Equivalent model of the CFL linearizer.

Q)와 비교하는 계환 회로를 형성한다. 이렇듯 CFL 선형화 방식은 계환 회로를 이용하여 왜곡 성분을 제거하는 방식이다.

CFL 선형화 방식의 기본 동작 원리를 개념적으로 이해하기 위해서 그림 1의 CFL 선형 화기 구조를 그림 2와 같은 등가 모델로 표현하였다. 이때 구조의 단순화를 위해서 등가 모델에는 I, Q 중 단일 경로를 나타내었다. 그림 2에서 $X(t)$ 는 인가되는 기저 대역 신호를 나타내며, G_e 는 오차증폭기 이득, G_m 은 변조기 이득, G_a 는 전력증폭기 이득을 각각 나타낸다. 그리고, $d_{FW}(t)$ 는 순방향 경로의 변조기나 전력 증폭기 등에서 발생하는 왜곡 성분을 나타내며, $d_{FB}(t)$ 는 계환 경로에서 발생하는 왜곡 성분을 나타내며, β 는 복조기와 기저 대역 증폭기에서 발생하는 계환 경로 이득을 의미한다. 개방 루프 이득을 A 라 정의하면 $A = G_e G_m G_a$ 가 된다. 만약 루프 이득 $A\beta$ 가 $A\beta \gg 1$ 을 가정하면, 출력 신호 $Y(t)$ 는 식 (1)과 같이 표현할 수 있다.

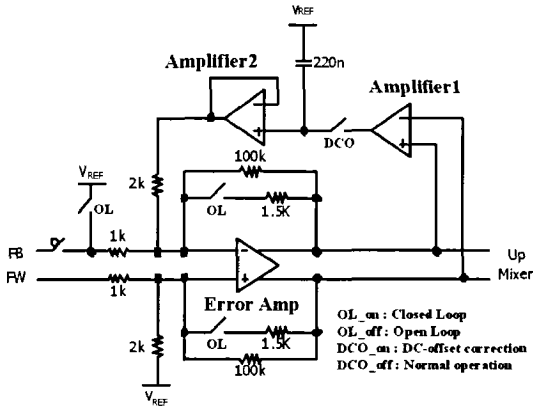


그림 5. DC-offset 제거 기능이 있는 오차증폭기
Fig. 5. Error amplifier with DC-offset correction.

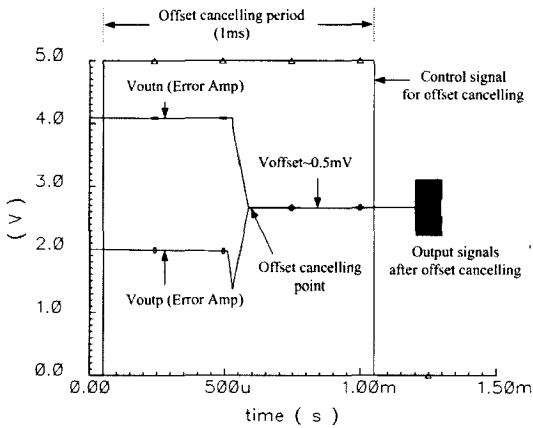


그림 6. DC-offset 제거 동작 시뮬레이션 결과
Fig. 6. The simulated result of DC-offset correction.

회로를 나타내었으며, 그림 6에는 DC-offset 제거 동작 시뮬레이션 결과를 나타내었다. 동작 원리는 다음과 같다. 입력신호가 들어오기 전에 오차 증폭기, 증폭기 1, 증폭기 2를 잇는 루프를 형성하여 칩 외부의 220 nF의 캐패시터에서 DC-offset 오차를 샘플링한다. 샘플링 후 증폭기 2가 스위치 오프 상태가 되면 경로가 끊겨져 hold 상태를 유지하게 된다. 이후 기저 대역 신호가 들어오면 DC-offset이 제거된 상태에서 동작을 하게 된다. 모의 실험 결과, 오차 증폭기는 1 ms 이내의 시간 안에 DC-offset 제거 기능을 안정적으로 수행함을 확인하였다.

3-1-2 상향 변환 믹서

상향 변환 믹서는 I/Q 입력으로 인가되는 기저 대

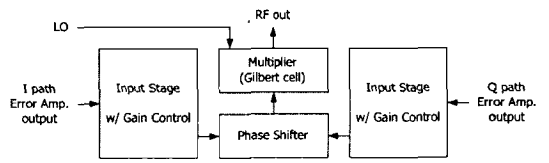


그림 7. 상향 변환 믹서 구조도
Fig. 7. Block diagram of up-conversion mixer.

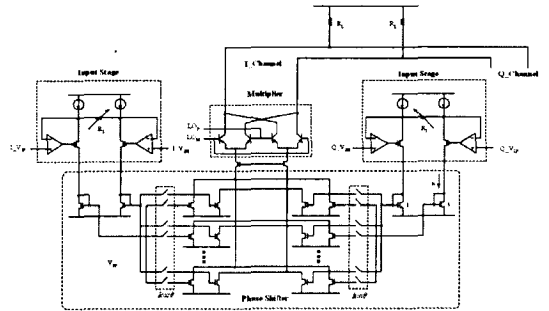


그림 8. 상향 변환 믹서 회로도
Fig. 8. Circuits of up-conversion mixer.

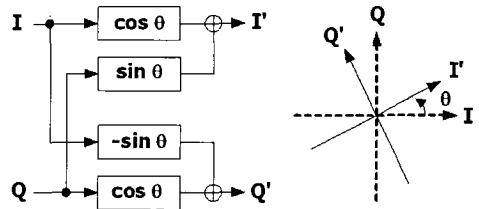


그림 9. 위상 변환기의 개념도
Fig. 9. Basic concept of phase shifter.

역 신호를 380~910 MHz의 RF 신호로 변조하여 출력시키는 기능을 하며, Gilbert cell 구조를 이용하여 설계하였다. 그림 7는 이득 조절 기능과 위상 제어 기능을 가진 상향 변환 믹서의 블럭도를 나타내며, 그림 8은 세부 회로도도를 나타낸다. 상향 변환 믹서는 input stage의 R_s 와 출력단의 R_L 의 저항값을 이용하여 순방향 이득 조절 기능을 가지고 있어서 궤환 경로에서의 이득 조절에 상응하는 만큼을 조절하여 Cartesian loop 전체의 안정도를 높이는 기능을 한다. 이때, 순방향 이득은 $K \cdot (R_L/R_s)$ 로서 R_s 와 R_L 의 비율로 결정되며, 칩 내부의 R_s 의 값은 외부에서 입력된 시리얼 데이터를 이용하여 스위치를 제어함으로써 크기를 조절하여, 2.5 dB 간격으로 0~35 dB 범위에서 제어가 가능하도록 하였다. 여기에서 K 는 multiplier에 의한 이득 감쇄 상수이다. 이렇게 기저 대역

에서 이득을 조절함으로써 RF 영역에서 감쇠기를 사용하는 것보다 제어가 쉽다는 장점이 있다. 위상 변환기는 칩 내부, 외부 소자, 파워 앰프 등에 의한 위상 지연을 보상하여 오차 증폭기에서 초기 입력 I/Q 신호와 궤환 경로를 거친 I/Q 신호의 위상을 일치시키기 위한 회로이다. 일반적으로 CFL 회로를 구성할 때 업 믹서와 다운 믹서의 LO 신호에서 위상을 조절하는 방식이 이용되어 왔다^{[6],[7]}. 이를 구현하기 위해서는 LO 주파수 영역에서 위상을 제어해야 하는 어려움이 있어, 본 CFL 칩에서는 I/Q 신호와 두 개의 DAC(Digital to Analog Converter)를 이용하여 기저 대역에서 위상을 제어하는 구조를 이용하였다. I/Q 신호와 $\cos(\theta)$ 와 $\sin(\theta)$ 의 크기를 같은 두 개의 DAC를 이용하여 θ 를 조절하면 그림 9와 같이 위상의 조절되어 원래의 I/Q 신호에서 위상이 변화된 I/Q'의 신호로 변화되며, 이때의 I/Q'을 식으로 나타내면 식 (2)와 같다. 사용된 위상 변환기의 최소 위상 조절 간격은 11.25° 이며, $0^\circ \sim 360^\circ$ 범위에서 위상을 제어할 수 있도록 설계되었다.

$$\begin{aligned} I' &= I\cos(\theta) + Q\sin(\theta) \\ Q' &= -I\sin(\theta) + Q\cos(\theta) \end{aligned} \quad (2)$$

3-2 궤환 경로 구성 및 기능

CFL 칩의 궤환 경로는 그림 10과 같이 디지털 조정 가변 감쇠기(DCA: Digital Controlled Attenuator), I/Q 복조기(down mixer) 및 기저 대역 증폭기로 구성되어 있다. CFL 선형화 방식에서는 식 (1)에서 보는 바와 같이 궤환 회로의 감쇠량의 역수가 전체 회로의 이득이 되기 때문에 전체 출력 전력을 제어하기 위해서는 궤환 회로의 이득을 제어해야 한다. 이를 위해서 2 dB 간격으로 0~34 dB 범위에서 제어가 가능한 감쇠기와 미세 전력 조절을 위해서 0.5 dB 간격으로 0~1.5 dB의 이득 제어가 가능한 기저 대역 증폭기를 궤환 경로에 구현하였다.

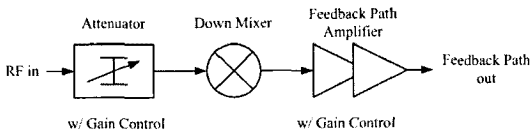


그림 10. CFL 궤환 경로 구조도
Fig. 10. Block diagram of CFL feedback path.

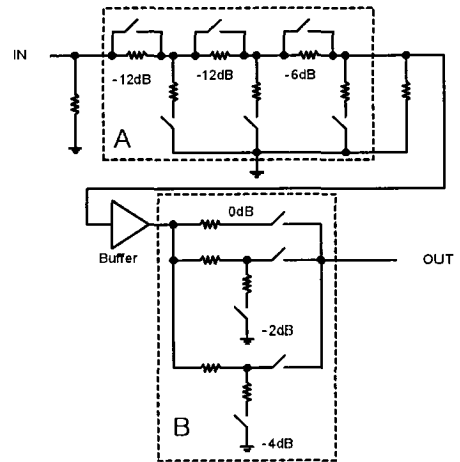


그림 11. 감쇠기 회로
Fig. 11. Circuits of attenuator.

3-2-1 디지털 조정 가변 감쇠기

디지털 조정 가변 감쇠기는 다운 변환 믹서로 입력되는 RF 신호의 크기를 조절하는 역할을 한다. 그림 11은 감쇠기의 회로를 나타내며, 저항을 이용한 두 가지 구조로 설계되어 있다. A 영역의 감쇠기는 각 저항 분배의 값을 조합하여 감쇠량을 조절하였으며, B영역의 감쇠기는 각 저항 분배의 값 중의 하나만을 지정하여 사용하는 방법을 이용하였다. 이때, 두 개의 감쇠기는 서로 영향을 주지 않기 위해서 버퍼를 이용하여 분리시켰으며, 이와 같은 방식을 사용함으로써 비교적 간단한 구조로 큰 감쇠량을 갖는 설계가 가능하였다. 감쇠기의 감쇠량은 외부 제어 신호를 이용하여 감쇠기 내부의 스위치를 제어함으로써 조절이 가능하며, 감쇠량은 2 dB 간격으로 0~34 dB까지 제어가 가능하도록 하였다. 그림 12은 감쇠기의 모의 실험 결과이다. 모의 실험 결과, 주파수에 따라 절대 감쇠량은 증가하지만 상대 감쇠량이 일정함을 확인하였다.

3-2-2 다운 변환 믹서

다운 변환 믹서는 RF 입력으로 인가되는 380~910 MHz RF 신호를 기저 대역 신호로 복조하여 출력시킨다. 그림 13은 다운 변환 믹서의 회로를 보여 준다. 트랜지스터 Q_1 와 Q_2 의 베이스로 입력이 인가되며 에미터 단자에 저항 R_5 를 연결하여 50 m Vpp 정도의 입력 범위 내에서 선형성이 유지되도록 하였다.

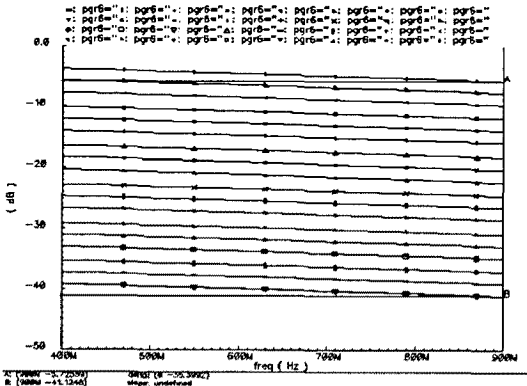


그림 12. 감쇠기 모의실험 결과
Fig. 12. Simulated results of attenuator.

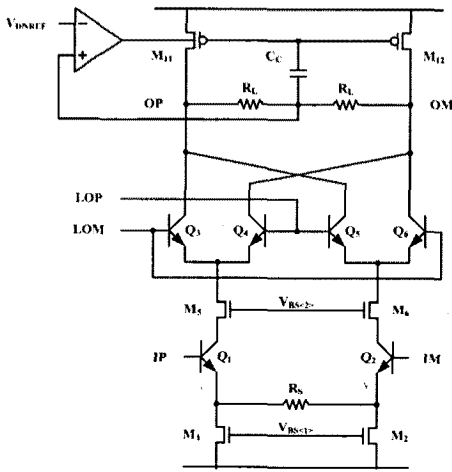


그림 13. 다운 변환 믹서의 회로도
Fig. 13. Circuits of down-conversion mixer.

3-3 기타 회로 및 기능

CFL 선형화 칩의 업/다운 변환 믹서의 클록에는 I/Q 믹서에서 정확한 90° 위상차 및 직접 변환 방식의 injection pulling 현상을 방지하기 위해서 외부에서 인가되는 송신주파수의 2배 주파수로 구동한 후 플립플롭 회로를 사용한 divide-by 2 회로를 이용하여 LO 신호를 생성하였다. 그 외, 전체 회로의 바이어스 전압이나 전류를 제공하기 위한 밴드갭 정전압 회로와 CFL 회로 내의 발진 상태를 감시할 수 있는 불안정 상태 감시 회로 등을 구현하였다.

3-4 CFL 칩의 외부 인터페이스

CFL 선형화 칩은 DC-offset 제거 기능 제어, open/

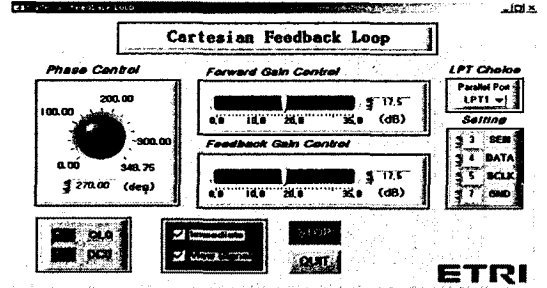


그림 14. CFL 선형화 칩 제어 프로그램 GUI
Fig. 14. GUI of control program for CFL linearizer chip.

closed 루프 제어, 궤환 경로의 이득 조절, 위상 제어, 순방향 경로 이득 제어 등의 기능을 수행할 수 있도록 외부 제어 인터페이스를 가지며, 이를 위해서 칩 내부의 serial interface 블록 내에 20 비트 쉬프트 레지스터를 두었다. 이 레지스터의 제어를 위해서 그림 14와 같이 PC 기반의 GUI의 프로그램을 설계하였다.

IV. 제작 및 실험 결과

설계된 CFL 선형화 칩의 layout은 그림 15와 같다. CFL 선형화 칩은 Chartered사의 Si 기판 0.6 μm BiCMOS 공정을 이용하여 제작되었다. 그림 15와 같이 제작된 칩의 크기는 3.98 mm×3.77 mm이었으며, 64-pin TQFP(7 mm×7 mm) 형태로 패키징 하였다. 또한, 이를 실장하여 성능을 측정하기 위한 테스트 보드 형상은 그림 16과 같이 FR4 기판을 이용하여 제작하였다.

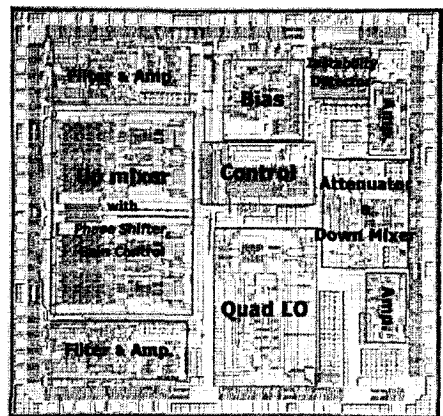


그림 15. 제작된 CFL linearizer ASIC
Fig. 15. Implemented CFL linearizer ASIC.

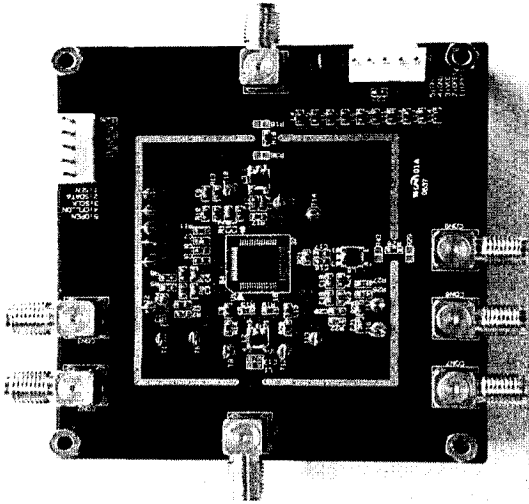


그림 16. CFL 선형화 칩 테스트 형상도
Fig. 16. Evaluation board of CFL linearizer chip.

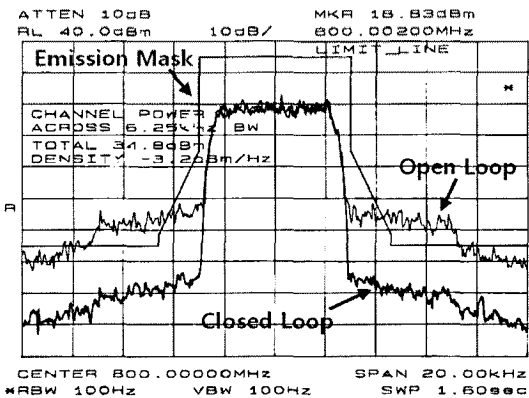


그림 17. 송신기 방사 마스크 측정 결과(@PEP 34.8 dBm)
Fig. 17. The test result of the transmitter emission mask(@PEP 34.8 dBm).

CFL 선형화 칩의 동작을 확인하기 위해서, APCO P25 CQPSK 변조 신호를 인가하여 CFL 선형화 칩의 개방 루프 및 이 회로를 동작시킨 폐 루프 상태의 송신 출력 특성을 비교하여 그림 17에 제시하였다. 그림 17에서 보듯이 CFL 선형화 칩이 동작할 때 IMD 성분들의 성능 개선을 통하여 PEP 34.8 dBm(3 W)에서 FCC 방사 마스크 규격 FCC 47 CER 90.210E^[8]을 만족함을 확인하였다. 이때, 800 MHz 대역 측정에는 RFMD사의 RF2173을 전력증폭기로 이용하였다.

Two-tone 신호를 CFL 선형화 칩에 인가하여 측정 한 송신기 IMD 억압 특성은 그림 18과 같이 3차

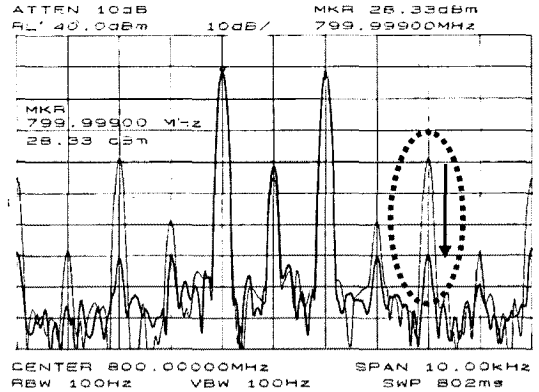


그림 18. 송신기 2-tone 상호 변조 왜곡 특성 측정 결과
Fig. 18. The test result of two-tone IMD characteristic in transmitter.

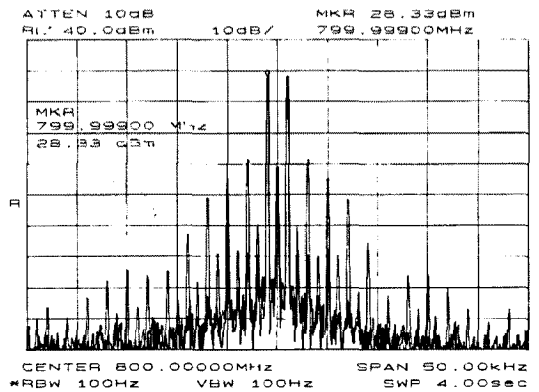


그림 19. 송신기 상호 변조 왜곡 억압 특성 측정 결과
Fig. 19. The test result of IMD suppression characteristic in transmitter.

IMD 성분은 약 30 dB 개선되었고, DC-offset 제거 기능 수행 후 국부 발진기의 캐리어 누설량이 -25 dBc 이하의 특성을 보였으며, 출력 캐리어 대비 IMD 성분의 크기는 -55 dBc 이상의 특성을 나타냈다. 또한 주파수 측정 범위를 50 kHz로 넓혀 3차 이상의 고차 하모닉 성분들에 대한 IMD 억압 정도를 측정 한 결과는 그림 19과 같이 우수한 억압 특성을 나타 내었다. 제작된 CFL 선형화 칩의 동작 및 측정 결과를 표 1에 정리하였다.

V. 결 론

본 논문에서는 UHF 대역(380~910 MHz)의 간이 무선 및 TRS 단말기에서 이용 가능한 CFL 선형화 칩을 Si 기판 0.6 μ m BiCMOS 공정을 이용하여 설

표 1. CFL 칩 측정 결과 요약

Table 1. Summary of measurement results for CFL chip.

항 목	측정 결과
동작 주파수	380~910 MHz
입력 신호 레벨	2 Vpp(Max.)
Carrier leakage	< -25 dBc
IMD level@two-tone	< -30 dB
순방향 이득 가변 범위 및 간격	0~35 dB / 2.5 dB
궤환 경로 이득 가변 범위 및 간격	0~35 dB / 0.5 dB
위상 변위기 가변 범위 및 간격	0~360° / 11.25°
LO 입력 주파수	760~1,820 MHz
DC 전원	5 V / 250 mA

계 및 제작하였다. 순방향 경로와 궤환 경로에 이득 제어 기능을 구현하여 단말기의 송신 전력을 안정적으로 조절하는 기능을 구현하였으며, 신호의 발진 뿐만 아니라 동작 전압 이상 시에도 칩의 안정도를 점검하는 기능을 구현하였다. 그리고, 무전기 PTT (Push-To-Talk) 동작에 적합하고, 구현이 용이한 S/H 구조를 이용하여 DC-offset 제거 기능을 구현하였다. 제작된 CFL 선형화 칩이 실제 초협대역 단말기 제작에 적용이 가능함을 확인하기 위해서, APCO P25 Phase II (채널 대역폭: 6.25 kHz) 규격에 정의된 CQ-PSK 변조 신호 인가 실험을 통해 PEP 3 W(34.8 dBm)에서 FCC 방사 마스크 규격을 만족함을 확인하였으며, Two-tone 실험을 통해 -30 dB의 3차 IMD 특성 개선을 확인하였다.

참고 문헌

- [1] A. Batman, D. M. Haines, and R. J. Wilkinson, "Linear transceiver architectures", *Proc. 38th VTC*, pp. 478-484, 1988.
- [2] 정영준 외 4명, "디지털 초협대역 단말기용 CFL 선형화 칩 설계", *한국전자과학회논문지*, 16(7), pp. 671-679, 2005년 7월.
- [3] M. Johansson, T. Mattsson, "Transmitter linearization using Cartesian feedback for linear TDMA modulation", *Proc. IEEE VTC*, pp. 439-444, 1991.
- [4] M. Bolorian, J. P. McGeehan, "The frequency-hopped Cartesian feedback linear transmitter", *IEEE Trans VTC Tech.*, vol. 45, pp. 688-706, Nov. 1996.
- [5] M. Bolorian, J. P. McGeehan, "Automatic remove of Cartesian feedback transmitter imperfections", *IEEE Proc. Commu.*, vol. 144, no. 4, pp. 281-288, Aug. 1997.
- [6] J. L. Dawson, T. H. Lee, "Cartesian feedback for RF power amplifier linearization", *Proc. of American Control Conference*, pp. 361-366, 2004.
- [7] S. Pipilos et al., "A transmitter IC for TETRA systems based on a Cartesian feedback loop linearization technique", *IEEE Journal of SSC*, vol. 40, no. 3, pp. 707-718, Mar. 2005.
- [8] Part 90, Title 47, Code of Federal Regulations (Private Land Mobile Services) Edition, FCC, Oct. 2001.

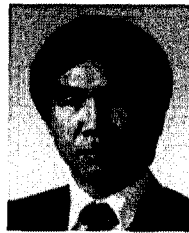
강 민 수



1996년 2월: 서강대학교 전자공학과 (공학사)
1998년 2월: 서강대학교 전자공학과 (공학석사)
1998년 2월~2000년 3월: (주)현대전자
2000년 3월~현재: 한국전자통신연구원 전파기술연구부 선임연구원

[주 관심분야] RF/Millimeter-Wave 회로 및 시스템 설계

오 승 엽



1971년 2월: 연세대학교 전기공학과 (공학사)
1973년 2월: 연세대학교 전기공학과 (공학석사)
1982년 2월: 연세대학교 전기공학과 (공학박사)
1980년 8월~1981년 8월: 일본 동북대 전기통신연구소 객원연구원

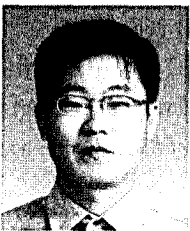
1985년 5월~1986년 5월: 미국 펜실바니아주립대학 객원연구원

2001년 3월~2002년 2월: 충남대학교 정보통신인력양성사업단 단장

1977년 7월~현재: 충남대학교 전자공학과 교수

[주 관심분야] 안테나 및 전자파 이론, RF 회로 및 서비스 시스템

정 영 준



1992년 2월: 제주대학교 전자공학과 (공학사)
1994년 2월: 서강대학교 전자공학과 (공학석사)
2005년 2월: 충남대학교 전자공학과 (공학박사)
1994년 3월~현재: 한국전자통신연구원 전파기술연구부 책임연구원

[주 관심분야] RF 회로 및 서비스시스템