

다중 대역 슬롯형 DGS와 등가 회로 모델

Multi-Band Rejection Slot-Shaped DGS and Its Equivalent Circuit Model

우 덕 제

Duk-Jae Woo

요 약

본 논문에서는 단일 DGS를 사용하여 다중의 주파수 대역을 억압할 수 있는 슬롯형 DGS를 제안하였다. 제안된 구조는 동일 평면 도파관 전송 선로(CPW: Coplanar Waveguide)의 접지 면에 서로 다른 크기의 램들이 형태의 슬롯 DGS들을 신호 선에 대하여 횡축으로 삽입하여, 다중 주파수 대역을 억압할 수 있도록 설계되었다. 제안된 구조를 제작하였으며, 시뮬레이션 결과와 측정된 결과가 상당 부분 일치하는 것을 확인하였다. 또한 제안된 구조에 대한 등가 회로 모델을 제시하였다. 제안된 등가 회로는 접지 면에 위치한 DGS를 LC 공진기들로 표현하였으며, 이러한 공진기들이 신호선과 자기적으로 결합한 것으로 모델링 하였다. 등가 회로를 해석하여 다중의 공진 주파수 특성이 나타남을 확인하였다.

Abstract

This paper presents a slot-shaped defected ground structure(DGS) which has multi-band rejection property. The proposed structure, in which the spiral slot-shaped defects with different size are aligned in the transverse direction to the guiding direction of the coplanar waveguide(CPW), provides multiple resonance frequencies. Compared with the simulated results, the band rejection characteristic is in good agreement with the measurement. Also, an equivalent circuit model of the proposed structure is presented, where the DGS on the ground plane is modeled as LC-resonators. This resonators are inductively coupled to the signal line through mutual inductance. From the equivalent circuit model, multi-band rejection property was derived.

Key words : DGS, Multi-Band Rejection, Equivalent Circuit Model

I. 서 론

능동 소자의 비선형 특성으로 발생하는 고조파 성분들과 분포 소자의 주기적인 성질로 인해 발생하는 기생 공진 주파수 대역들은 마이크로파 및 밀리미터파 회로의 기본적인 한계점이다. 이러한 고조파 및 기생 주파수 성분들은 회로의 성능을 심각하게 저해하는 요소이기 때문에 마땅히 제거되어야 한다.

기생 주파수 성분들을 제거하기 위해서는 반 파장 단락 스테브, 칩 캐패시터 및 주기적으로 구성된 대역저지 여파기 등이 사용되고 있다. 하지만, 이러한 기술들은 좁은 대역폭과 회로의 크기 증가 혹은 큰 삽입 손실을 가지는 문제점을 내포하고 있다. 수년 전부터 이러한 문제점을 해결하기 위한 다양한 구조들이 제안되어 왔다. 그 중 EBG(Electro-magnetic Band-Gap) 구조는 주기적인 패턴을 접지면에 배열하여 특

한국항공대학교 항공전자 및 정보통신공학부(School of Electronics, Telecommunication and Computer Engineering, Korea Aerospace University)

· 논문 번호 : 20100330-035

· 교신저자 : 우덕제(e-mail : woodj@hau.ac.kr)

· 수정완료일자 : 2010년 5월 10일

정 주파수 대역을 억압하는 방법이기 때문에, 회로의 크기에 영향을 미치지 않는 장점을 가지고 있다^{[1],[2]}. 하지만, 충분한 수준의 주파수 억압을 위해서는 EBG를 단단으로 설계해야 하는 조건이 요구되며, 이러한 요구 조건들은 삽입 손실의 증가를 야기하게 된다. 또한 낮은 주파수 응용에 있어서는 EBG 단위 구조가 커지기 때문에 넓은 접지 면을 필요로 하는 단점을 가지고 있다. 특히, 가장 커다란 문제점은 억압되는 주파수 대역폭을 조절하기가 쉽지 않다는 것이다.

DGS(Defected Ground Structure) 전송 선로는 전송 선로 접지면의 도전성 금속막의 일부분을 특정 모양으로 식각하여 제거한 구조이다^[3]. 특히, DGS는 EBG 구조보다 적은 배열로 뛰어난 주파수 차단 특성을 가지고 있으며, 공진 주파수 및 억압 주파수 대역폭의 조절이 쉬운 장점을 가지고 있다. 이러한 DGS의 전자기적인 특성은 증폭기, 전력분배기, 안테나 등의 고주파 성분을 제거하는데 쓰이거나, 각종 여파기의 설계에 매우 효율적으로 사용되고 있다^{[4]~[9]}.

DGS를 사용하여 마이크로파 및 밀리미터파 회로에서 발생하는 다중의 불요 주파수를 제거하기 위해서는 크기가 다른 여러 단의 DGS를 순차적으로 연결해야 한다. 앞서 언급했듯이 배열의 증가는 삽입 손실의 증가를 야기하게 된다. 본 논문의 저자는 단일 DGS의 양쪽 식각면의 크기를 달리하여, 두 주파수 대역을 억압하는 비대칭 뿔돌이형 DGS를 이미 제안하였다^[5]. 제안된 구조는 작은 크기로 두 주파수 대역을 효과적으로 억압하는 특성을 가지고 있지만, 세 주파수 대역 이상을 억압하는 데는 구조적인 한계를 가지고 있다.

본 논문에서는 하나의 DGS로 여러 주파수 대역을 제거할 수 있는 슬롯형 DGS 동일 평면 도파관 전송 선로의 구조와 전자기적 특성 및 등가 회로 모델에 대하여 설명하였다.

II. 다중 주파수 DGS의 설계 및 전자기적 특성

그림 1은 동일 평면 도파관 전송 선로의 접지 면에 서로 다른 크기의 뿔돌이 슬롯형 DGS들을 신호선에 대하여 횡축으로 삽입하여, 다중 주파수 대역

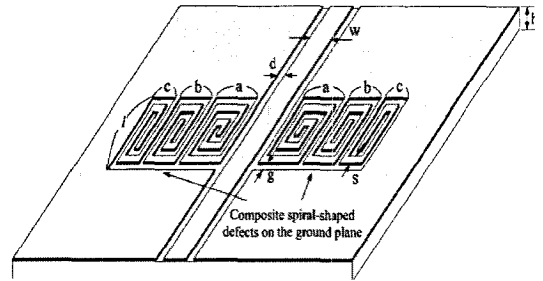


그림 1. 다중 대역 DGS 동일 평면 도파관
Fig. 1. Multi-band DGS coplanar wave guide.

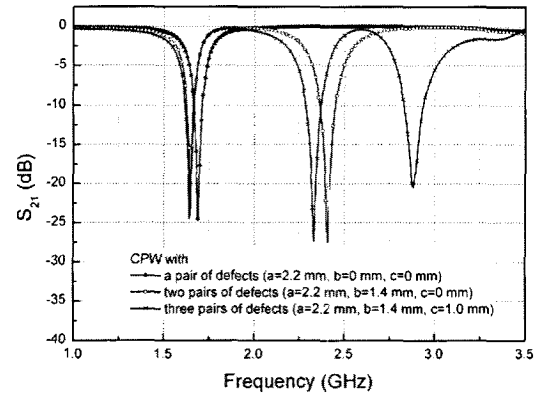


그림 2. Defect-pair 개수의 증가에 따른 전달 특성
Fig. 2. Transfer characteristics for various number of defect-pairs.

을 억압할 수 있도록 설계한 구조이다^[10]. 서로 다른 크기를 갖는 세 개의 DGS가 신호선에 대하여 대칭으로 배치되어 있다. 각각의 DGS는 고유의 공진 주파수를 가지고 있으며, 공진 주파수를 중심으로 신호의 전달을 억압하는 특성을 가지고 있다.

그림 2에서는 DGS 쌍의 개수에 따른 전달 특성을 계산하여 보여주고 있다. IE3D를 사용하여 주파수 전달 특성을 해석하였으며, 사용된 기판은 비 유전 상수 10.2, 유전체 두께 1.27 mm인 RO3010이며, CPW의 특성 임피던스는 50 Ω으로 설정하였다. $l=4$ mm, $g=s=0.2$ mm, $d=0.4$ mm 및 $w=1.2$ mm로 고정하였다. 예상한대로 한 쌍의 DGS가 존재할 때($a=2.2$ mm) 하나의 공진 주파수(1.69 GHz)가 나타나며, 두 쌍의 DGS가 있을 때($a=2.2$ mm, $b=1.4$ mm) 두 개의 공진 주파수(1.65 GHz, 2.40 GHz)가 나타난다. 두 번째 DGS 쌍($b=1.4$ mm)을 추가함에 따라, 첫 번째 DGS 쌍($a=2.2$ mm)에 의한 공진 주파수가 1.69 GHz

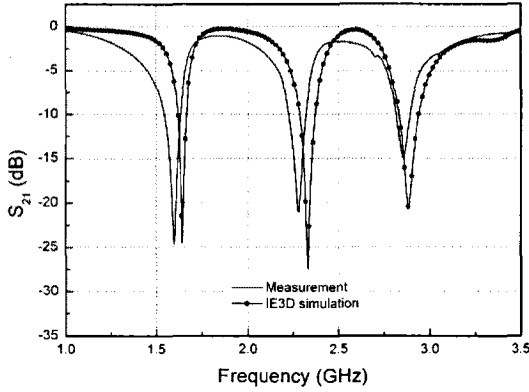


그림 3. 측정 결과와 시뮬레이션 결과 비교
Fig. 3. Comparative results between measurement and simulation.

에서 1.65 GHz로 약간 이동하였다. 주파수 이동이 적기 때문에, 공진 주파수는 각각의 DGS 면적에 의해 독립적으로 형성이 된다고 볼 수 있다. 같은 방법으로 세 쌍의 DGS($a=2.2$ mm, $b=1.4$ mm, $c=1.0$ mm)를 삽입하였을 때 세 개의 공진 주파수(1.64 GHz, 2.33 GHz, 2.88 GHz)를 얻을 수 있다.

그림 3은 제작된 다중 대역 DGS 동일 평면 도파관의 측정된 결과와 시뮬레이션 결과를 보여준다. 측정 결과가 시뮬레이션 결과와 상당 부분 일치하고 있음을 알 수 있다.

III. 등가 회로 모델

이번 장에서는 다중 대역 DGS 동일 평면 도파관 전송 선로의 등가 회로 모델에 대하여 설명할 것이다. 그림 4는 동일 평면 도파관 전송 선로의 한쪽 접지면에 위치한 이중 대역에서 동작하는 슬롯형 DGS의 형태와 등가 회로를 보여주고 있다. 2장에서 설명한 3중 대역 슬롯형 DGS CPW의 등가 회로는 3개의 슬롯 라인으로 표현이 가능하지만, 회로를 해석함에 있어서 수식이 복잡해지기 때문에, 제안된 다중 대역 DGS CPW 구조 중 가장 간단한 형태인 이중 대역에서 동작하는 구조를 선택하였다. 이중 대역 슬롯 DGS CPW는 그림 4와 같이 맴돌이 형태의 슬롯 라인을 곧게 편 것으로 두 슬롯 라인을 표현할 수 있다. 신호선에 가까운 슬롯 라인은 특성 임피던스 Z_{01} 과 전기적 길이 θ_1 으로 구성되어 있으며, 두 번째 슬롯 라인은 특성 임피던스 Z_{02} 와 전기적 길

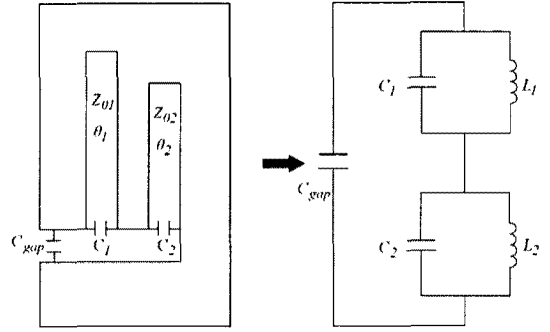


그림 4. 이중 대역 슬롯 DGS CPW의 한쪽 접지면에 위치한 DGS와 등가 회로
Fig. 4. One half DGS of the dual-band slot-shaped DGS CPW and its equivalent circuit.

이 θ_2 로 이루어져 있다. 단락된 슬롯 라인의 입력 임피던스는

$$Z_{in-i} = jZ_{0i} \tan(\theta_i), \quad i = 1, 2 \tag{1}$$

이며, 입력 임피던스가 인덕턴스가 되어야 공진 회로가 형성되므로 슬롯형 DGS의 인덕턴스는

$$L_i = \frac{Z_{0i}}{\omega} \tan(\theta_i), \quad \tan(\theta_i) > 0, \quad i = 1, 2 \tag{2}$$

가 된다. 이러한 DGS 공진 회로는 그림 5(a)와 같이 CPW의 신호선과 자기적으로 결합한 등가 회로로 표현할 수 있다. 신호선에 대하여 대칭인 회로이기 때문에, 자기 벽 개념을 사용하여 간단하게 회로를 표현하였다. 자기 벽 개념을 사용하였으므로, 선로의 특성 임피던스와 DGS를 포함한 CPW 선로의 인덕턴스는 두 배가 되며, DGS를 포함한 CPW 선로의 캐패시턴스는 0.5배가 된다. 그림 5(a)의 회로에 표현된 각각의 파라미터는 다음과 같은 의미를 갖는다.

- L_1 : 슬롯형 DGS를 포함한 CPW 선로의 인덕턴스
- C_1 : 슬롯형 DGS를 포함한 CPW 선로의 캐패시턴스
- C_{gap} : 갭 캐패시턴스
- L_1 : 첫 번째 슬롯 라인의 인덕턴스
- L_2 : 두 번째 슬롯 라인의 인덕턴스
- C_1 : 첫 번째 슬롯 라인 입구 부분의 캐패시턴스
- C_2 : 두 번째 슬롯 라인 입구 부분의 캐패시턴스
- L_{m1} : 신호선과 첫 번째 슬롯 라인의 상호 인덕턴스
- L_{m2} : 신호선과 두 번째 슬롯 라인의 상호 인덕턴스

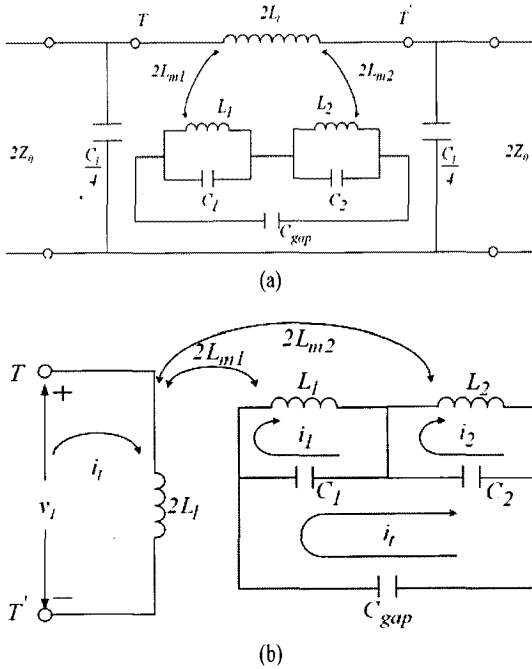


그림 5. 이중 대역 슬롯 DGS CPW의 등가 회로(a)와 회로방정식을 위한 회로(b)

Fig. 5. Intrinsic circuit model for a dual-band DGS CPW(a) and circuit for loop-equation formulation(b).

두 슬롯 라인 사이의 상호 캐패시턴스와 상호 인덕턴스도 분명히 존재하지만, 그 값이 작다는 가정 하에 등가 회로에는 표현하지 않았다. 일반적으로, 자기결합으로 표현된 등가 회로는 회로의 주파수 응답 특성을 파악하기가 쉽지 않다. 이러한 경우, 등가의 임피던스를 갖는 회로로 대체하면 주파수 특성을 보다 쉽게 파악할 수 있다. 등가임피던스는 그림 5(a)의 T-T' 사이의 전압 v_i 를 i_i 로 나눈 값으로 표현된다. 이러한 등가 임피던스를 구하기 위하여 그림 5(b)와 같이 폐 회로 방정식을 세우기 위한 등가 회로를 도입할 수 있다. 기준면 T-T'에서 바라본 등가 임피던스를 구하기 위한 회로방정식은

$$j\omega 2L_i i_i + j\omega 2L_{m1} i_1 + j\omega 2L_{m2} i_2 = v_i \quad (3)$$

$$j\omega L_1 i_1 + \frac{i_1 - i_i}{j\omega C_1} + j\omega 2L_{m1} i_1 = 0 \quad (4)$$

$$j\omega L_2 i_2 + \frac{i_2 - i_i}{j\omega C_2} + j\omega 2L_{m2} i_2 = 0 \quad (5)$$

$$\frac{i_i}{j\omega C_{gap}} + \frac{i_1 - i_i}{j\omega C_1} + \frac{i_2 - i_i}{j\omega C_2} = 0 \quad (6)$$

와 같이 세울 수 있고, 식 (6)을 i_i 에 대하여 풀면 아래와 같은 수식을 얻을 수 있다.

$$i_i = \frac{i_1(C_2 C_{gap}) + i_2(C_1 C_{gap})}{A} \quad (7)$$

여기서 $A = C_1 C_2 + C_1 C_{gap} + C_2 C_{gap}$ 이다. 등가 임피던스를 구하기 위해서는 식 (4)와 식 (5)의 i_1 과 i_2 를 i_i 의 식으로 나타낸 후 식 (3)에 대입해야 한다. 그러기 위해서는 식 (7)에 표현된 i_i 를 식 (4), (5)에 대입하여 식 (4), (5)를 i_1 과 i_2 의 식으로 표현한 후, 두 방정식을 풀어서 하나는 i_1 과 i_i 의 식으로, 나머지 하나는 i_2 와 i_i 의 식으로 표현한 후에, 계산된 i_1 과 i_2 를 식 (3)에 대입하면 등가임피던스를 구할 수 있다. 우선 식 (7)을 식 (4)에 대입하면,

$$i_1 = \frac{1}{X} \left(\frac{C_{gap}}{j\omega A} i_2 - j\omega 2L_{m1} i_i \right) \quad (8)$$

이 되고, 여기서

$$X = j\omega L_1 + \frac{1}{j\omega C_1} \left(1 - \frac{C_2 C_{gap}}{A} \right) \quad (9)$$

이다. 식 (7)을 식 (5)에 대입하면

$$i_2 = \frac{1}{Y} \left(\frac{C_{gap}}{j\omega A} i_1 - j\omega 2L_{m2} i_i \right) \quad (10)$$

이 되고, 여기서

$$Y = j\omega L_2 + \frac{1}{j\omega C_2} \left(1 - \frac{C_1 C_{gap}}{A} \right) \quad (11)$$

가 된다. 식 (8)과 식 (10)을 연립하여 방정식을 풀면

$$i_1 = - \frac{j\omega 2L_{m1} \left(\frac{C_{gap}}{j\omega AXY} + \frac{1}{X} \right)}{\left(1 + \frac{C_{gap}^2}{XY\omega^2 A^2} \right)} i_i \quad (12)$$

$$i_2 = - \frac{j\omega 2L_{m2} \left(\frac{C_{gap}}{j\omega AXY} + \frac{1}{Y} \right)}{1 + \frac{C_{gap}^2}{XY\omega^2 A^2}} i_i \quad (13)$$

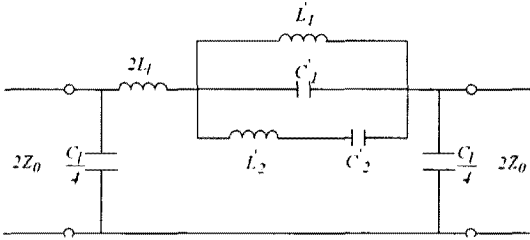


그림 6. 등가 임피던스로 표현된 이중 대역 슬롯형 DGS CPW 등가 회로
 Fig. 6. Equivalent lumped-element circuit model from the equivalent impedance.

이 되며, 식 (12)와 식 (13)을 식 (3)에 대입하여 풀면 식 (14)와 같이 등가의 임피던스를 구할 수 있다. 결과적으로 이중 대역 슬롯형 DGS CPW의 등가 회로를 등가 임피던스로 간단히 표현하면 그림 6과 같이 나타낼 수 있다. 각각의 회로 값들은 $L'_1 = C_1 A / B'$, $C'_1 = L_1 / A'$, $L'_2 = L_2 A' C'$, $C'_2 = C_2 / (A' D')$ 이다. 여기서 A' , B' , C' 및 D' 는 식 (15)~(18)과 같이 표현된다. 여기서 $A = C_1 C_2 + C_1 C_{gap} + C_2 C_{gap}$ 이다. 등가 회로의 공진 각 주파수는 식 (14)에 의해 식 (19)의 조건을 만족하면 된다. 이 식을 정리하면 4차 방정식이 되기 때문에, 4개의 근 중에 양의 실수 값을 취하면

$$B' = \left(1 - \frac{C_2 C_{gap}}{A}\right) \quad (16)$$

$$C' = \frac{\omega^2 A^2}{C_{gap}^2} \quad (17)$$

$$\frac{v_l}{i_l} = j\omega 2L_1 + \frac{4\omega^2 L^2_{m1} \left[\frac{C_{gap}}{-\omega^2 AL_2 + \frac{A}{C_2} \left(1 - \frac{C_1 C_{gap}}{A}\right)} + 1 \right] + 4\omega^2 L^2_{m2} \left[\frac{C_{gap}}{-\omega^2 AL_2 + \frac{A}{C_2} \left(1 - \frac{C_1 C_{gap}}{A}\right)} + \frac{\omega^2 L_1 + \frac{1}{C_1} \left(\frac{C_2 C_{gap}}{A} - 1\right)}{\omega^2 L_2 + \frac{1}{C_2} \left(\frac{C_1 C_{gap}}{A} - 1\right)} \right]}{\left\{ j\omega L_1 + \frac{1}{j\omega C_1} \left(1 - \frac{C_2 C_{gap}}{A}\right) + \frac{C_{gap}^2}{\omega^2 A^2} \frac{1}{j\omega L_2 + \frac{1}{j\omega C_2} \left(1 - \frac{C_1 C_{gap}}{A}\right)} \right\}} \quad (14)$$

$$A' = 4\omega^2 L^2_{m1} \left[\frac{C_{gap}}{-\omega^2 AL_2 + \frac{A}{C_2} \left(1 - \frac{C_1 C_{gap}}{A}\right)} + 1 \right] + 4\omega^2 L^2_{m2} \left[\frac{C_{gap}}{-\omega^2 AL_2 + \frac{A}{C_2} \left(1 - \frac{C_1 C_{gap}}{A}\right)} + \frac{\omega^2 L_1 + \frac{1}{C_1} \left(\frac{C_2 C_{gap}}{A} - 1\right)}{\omega^2 L_2 + \frac{1}{C_2} \left(\frac{C_1 C_{gap}}{A} - 1\right)} \right] \quad (15)$$

$$j\omega L_1 + \frac{1}{j\omega C_1} \left(1 - \frac{C_2 C_{gap}}{C_1 C_2 + C_1 C_{gap} + C_2 C_{gap}}\right) + \frac{C_{gap}^2}{\omega^2 (C_1 C_2 + C_1 C_{gap} + C_2 C_{gap})^2} \times \frac{1}{j\omega L_2 + \frac{1}{j\omega C_2} \left(1 - \frac{C_1 C_{gap}}{C_1 C_2 + C_1 C_{gap} + C_2 C_{gap}}\right)} = 0 \quad (19)$$

$$D' = \left(1 - \frac{C_1 C_{gap}}{A}\right) \frac{\omega^2 A^2}{C_{gap}^2} \quad (18)$$

$$\omega_{o1, o2} = \sqrt{\frac{X' \pm \sqrt{X'^2 - 4L_1 L_2 C_1 C_2 Y'}}{2L_1 L_2 C_1 C_2}} \quad (20)$$

이고, 여기서

$$X' = L_1 C_1 + L_2 C_2 - \frac{C_{gap} C^2_2 L_2 + C_{gap} C^2_1 L_1}{C_1 C_2 + C_1 C_{gap} + C_2 C_{gap}} \quad (21)$$

$$Y' = \frac{C_{gap}^2 C_1 C_2}{(C_1 C_2 + C_1 C_{gap} + C_2 C_{gap})^2} - \frac{C_{gap}^2 C_1 C_2 + C_1 C_{gap} + C_2 C_{gap}}{C_1 C_2 + C_1 C_{gap} + C_2 C_{gap}} + 1 \quad (22)$$

이다. 식 (20)의 결과는 제안된 등가 회로가 두 개의 공진 주파수를 갖는 슬롯형 DGS CPW의 공진 특성과 일치하는 것을 보여주고 있으며, 결과적으로 제안된 등가 회로의 타당성을 확인시켜주고 있다.

일반적으로 DGS 전송 선로에 대한 등가 회로는 시뮬레이션 결과를 이용하여 모델링하고 있다. 즉, DGS 전송 선로의 시뮬레이션 결과가 공진 주파수를 중심으로 신호의 진행을 억압하는 특성을 보여주기 때문에 신호선에 직렬로 연결된 병렬 RLC 공진 회로로 표현을 하고, 전자기 시뮬레이터에 의해 계산된 이단자 산란계수를 사용하여 회로의 캐패시턴스, 인덕턴스 및 저항을 추출하게 된다. 이러한 등가모

델링은 전자장 시뮬레이터의 해석 결과를 토대로 유추한 것이기 때문에, DGS 전송 선로의 전자기적인 특성에 대한 물리적인 현상을 명쾌하게 설명하지 못하는 문제점을 안고 있다. 본 논문에서는 제안된 등가 회로를 통하여 다중 대역에서 동작하는 DGS CPW에 대한 전자기적 동작 특성에 대한 물리적인 이해를 제공하고 있다. 등가 회로 모델링에 있어서, 등가 회로를 통하여 구한 산란계수들과 전자장 시뮬레이터 및 측정을 통한 산란계수들을 비교하여 등가 회로의 타당성을 검증하는 것은 매우 중요한 연구 방법 중 하나이다. 본 논문의 정확한 검증이 이루어지기 위해서는 그림 4 및 그림 5에 표현된 각각의 회로 파라미터의 값들을 물리적으로 추출한 후 회로 시뮬레이터를 사용하여 산란계수들을 계산해야 한다. 하지만, DGS의 구조상 C_{gap} , C_1 , C_2 , L_{m1} 및 L_{m2} 의 값들을 추출하는 것은 현실적으로 매우 어려운 작업이며, 슬롯 라인이 TEM 모드로 동작하지 않기 때문에 특성 임피던스가 유일하게 정의되지 않으므로 L_1 과 L_2 값을 추출하는 것도 쉽지 않은 작업이다. 이러한 어려움으로 인하여, 본 논문에서는 아쉽게도 등가 회로의 시뮬레이션을 통한 정확한 검증작업이 이루어지지 않았다. 향후, 이러한 회로 파라미터 값들을 추출하는 방법에 대한 지속적인 연구가 필요할 것이라 생각된다.

IV. 결 론

본 논문에서는 다중 대역을 제거할 수 있는 DGS CPW의 구조 및 등가 회로를 제안하였다. 제안된 구조는 하나의 단위 구조로써 선로의 진행 방향으로 크기의 증가 없이 다중 대역을 억압하므로, 소형의 다중 대역 저지 필터로써 마이크로파 및 밀리미터파의 다양한 분야에 응용될 것으로 기대된다. 또한 제안된 등가 회로는 다중 대역에서 동작하는 DGS CPW의 전자기적인 특성에 대한 물리적인 동작원리를 제공하고 있다.

참 고 문 헌

[1] Y. Yablonoitch, "Photonic bandgap structures", *J. Opt. Soc. Amer. B*, vol. 10, pp. 283-295, 1993.
 [2] V. Radistic, Y. Qian, R. Coccioli, and T. Itoh, "No-

vel 2-D photonic bandgap structure for microstrip lines", *IEEE Microwave Guided Wave Lett.*, pp. 69-71, Feb. 1998.

[3] C. S. Kim, J. S. Park, D. Ahn, and J. B. Lim, "A novel 1-D periodic defected ground structure for planar circuits", *IEEE Microwave and Guided Wave Lett.*, vol. 10, no. 4, pp. 131-133, Apr. 2000.
 [4] J. S. Lim, H. S. Kim, J. S. Park, D. Ahn, and S. W. Nam, "A power amplifier with efficiency improved using defected ground structure", *IEEE Microwave Wireless Comp. Lett.*, vol. 11, no. 4, pp. 170-172, Apr. 2001.
 [5] D. J. Woo, T. K. Lee, "Suppression of harmonics in Wilkinson power divider using dual-band rejection by asymmetric DGS", *IEEE Trans. Microwave Theory Tech.*, vol. 53, no. 6, pp. 2139-2144, Jun. 2005.
 [6] J. P. Thakur, J. S. Park, "An advance design approach for circular polarization of the microstrip antenna with unbalance DGS feed lines", *IEEE Antennas and Wireless Propag. Lett.*, vol. 5, no. 1, pp. 101-103, Dec. 2006.
 [7] J. S. Park, H. S. Yun, and D. Ahn, "A design of the novel coupled line bandpass filter using defected ground structure with wide stopband performance", *IEEE Trans. Microwave Theory Tech.*, vol. 50, no. 9, pp. 2037-2043, Sep. 2002.
 [8] C. S. Kim, J. S. Park, D. Ahn, and J. B. Lim, "A novel 1-D periodic defected ground structure for planar circuits", *IEEE Microwave Guide Wave Lett.*, vol. 10, no. 4, pp. 131-133, Apr. 2000.
 [9] D. Ahn, J. S. Park, C. S. Kim, J. N. Kim, Y. Qian, and T. Itoh, "A design of the low-pass filter using the novel microstrip defected ground structure", *IEEE Trans. Microwave Theory Tech.*, vol. 49, no. 1, pp. 86-93, Jan. 2001.
 [10] D. J. Woo, J. W. Lee, and T. K. Lee, "Multi-band rejection DGS with improved slow-wave effect", *38th European Microwave Conference 2008(Eu-MC)*, Amsterdam, Netherlands, pp. 1342-1345, Oct. 2008.

우 덕 제



2002년 2월: 한국항공대학교 항공
전자공학과 (공학사)

2005년 2월: 한국항공대학교 항공
전자공학과 (공학석사)

2010년 2월: 한국항공대학교 항공
전자공학과 (공학박사)

2010년 4월~현재: 한국항공대학교

항공전자연구소 연구원

[주 관심분야] 주기 구조의 모델링 및 회로 응용, 능·수
동 소자 모델링, 안테나