

논문 2010-47SD-5-3

입력전압범위 감지회로를 이용한 6비트 250MS/s CMOS A/D 변환기 설계

(Design of a 6bit 250MS/s CMOS A/D Converter using Input Voltage Range Detector)

김 원*, 선 중 국**, 정 학 진*, 박 리 민*, 윤 광 섭***

(Won Kim, Jong-Kug Seon, Hak-Jin Jung, Limin Piao, and Kwang-Sub Yoon)

요 약

본 논문에서는 무선통신시스템의 수신단에 적용될 수 있는 6비트 250MS/s 플래쉬 A/D 변환기를 설계하였다. 제안하는 플래쉬 A/D 변환기는 기준 저항열에 입력전압범위 감지회로를 사용하여 비교기에서 소모하는 동적소비전력을 최소화 되게 설계하였다. 기존 플래쉬 A/D 변환기보다 아날로그단 소비전력은 43% 증가한 반면에, 디지털단 소비전력은 1/7로 감소하여 전체 소비전력은 1/2 정도로 감소하였다. 설계된 A/D 변환기는 0.18 μ m CMOS 1-poly 6-metal 공정으로 제작되었으며 측정 결과 입력 범위 0.8Vpp, 1.8V의 전원 전압에서 106mW의 전력소모를 나타내었다. 250MS/s의 변환속도와 30.27MHz의 입력주파수에서 4.1비트의 유효비트수를 나타내었다.

Abstract

This paper presents 6bit 250MS/s flash A/D converter which can be applied to wireless communication system. To solve the problem of large power consumption in flash A/D converter, control algorithm by input signal level is used in comparator stage. Also, input voltage range detector circuit is used in reference resistor array to minimize the dynamic power consumption in the comparator. Compared with the conventional A/D converter, the proposed A/D converter shows 43% increase of power consumption in analog and a seventh power consumption in digital, which leads to a half of power consumption in total. The A/D converter is implemented in a 0.18 μ m CMOS 1-poly 6-metal technology. The measured results show 106mW power dissipation with 1.8V supply voltage. It shows 4.1bit ENOB at sampling frequency 250MHz and 30.27MHz input frequency.

Keywords : ADC(Analog-to-Digital Converter), flash, range detector

I. 서 론

최근 이동통신 기술의 발달과 함께 고속, 저전력의 장비 개발이 중요시 되고 있다. 특히 무선통신시스템의

수신단에는 복조 단계를 거치기 전에 IF(Intermediate Frequency) 튜너로부터 받은 아날로그 신호를 디지털로 고속 데이터 변환하는 과정이 필요하다. 이러한 고속의 A/D(Analog to Digital) 변환을 위해서는 일반적으로 플래쉬 구조의 데이터 변환기가 사용되지만, 많은 전단 증폭기와 비교기에 의한 넓은 칩 면적과 큰 전력 소모를 가지는 단점이 있다^[1]. 이 중 비교기는 클럭에 의해 초기화와 비교를 빠르게 반복하는 래치 타입이 사용되는데, 이 과정에서 비교기에서 발생하는 동적 소비전력은 전체 소비전력에서 매우 큰 비중을 차지한다.

본 논문에서는 250MHz의 샘플링 속도를 가지는 고

* 학생회원, *** 평생회원, 인하대학교 전자공학과
(Dept. of Electronic Engineering, Inha University)

** 정회원, LS 산전
(LS Industrial Systems)

※ “본 연구는 지식경제부 및 정보통신산업진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었음”(NIPA-2010-C1090-1011-0007)

접수일자: 2010년1월12일, 수정완료일: 2010년4월6일

속 A/D 변환기를 플래쉬 구조에 기반하여 구현하였다. 플래쉬 A/D 변환기의 문제점인 큰 소비전력의 문제를 해결하기 위해 입력신호 레벨에 따른 비교기단의 제어 알고리즘을 제안하였다. 또한 기준저항열에 입력전압범위 감지회로를 사용하여 비교기에서 소모하는 동적 소비전력을 최소화 되게 설계하였다.

II장에서는 제안하는 A/D 변환기의 구조와 입력전압범위 감지 과정 및 회로에 대해 설명하였다. III장은 제작된 A/D 변환기의 레이아웃 및 칩 도면에 대해 설명하고, IV장은 제안한 6비트 A/D 변환기의 측정 결과를 기술하였다. 그리고 V장에서는 결론을 맺었다.

II. 본 론

1. 제안한 6비트 A/D 변환기의 설계

본 논문에서 제안하는 6비트 A/D 변환기의 블록 다이어그램을 그림 1에 나타내었다. 플래쉬 구조는 모든 양자화 레벨과 아날로그 입력 신호가 비교되는 방식으로 한 클럭 사이클에 N비트의 분해능을 갖는 디지털 코드로 변환되므로 가장 빠른 구조이다.^[2] 제안한 A/D 변환기는 입력전압범위 감지회로단, 기준전압을 위한 저항열, 1차/2차 전단증폭기단, 저항평준화/인터플레이션단, 비교기, 오차보정회로, 인코더, 그리고 플립-플롭으로 구성되었다.

플래쉬 A/D 변환기가 가지는 단점인 큰 전력소모를 줄이기 위해서 전단 증폭기의 출력에 저항을 이용한 인터플레이션 기법이 적용되었다.^[3] 저항을 사용하여 두 신호의 중간 값을 얻게 되며, 별도의 전단 증폭기를 사용하지 않고, 1개의 추가적인 비교기 입력 신호를 생성한다. 1차 전단 증폭기와 2차 전단 증폭기를 이용하여 상위 1비트 양자화를 하였고, 총 6비트의 해상도를 구현하기 위해서 2단 전단 증폭기의 출력에 2배 인터플레이션 기법을 적용하였다. 저항을 이용한 인터플레이션 기법은 저항 평준화 효과도 나타나므로 A/D 변환기의 선형성을 향상시킬 수 있다.^[4]

A/D 변환기에 사용되는 비교기단은 2차 전단증폭기단 출력을 입력으로 한다. 6비트의 해상도를 위해 총 63개의 비교기가 이용되어 A/D 변환기에서 많은 하드웨어를 차지한다. 따라서 비교기는 작은 하드웨어로 구성되어 6-비트의 해상도와 100MHz 이상의 고속 동작이 가능하여야 한다. 고속 동작을 만족하기 위해 비교기는 증폭기 구조가 아닌 클럭에 의해 리셋-프리차지가

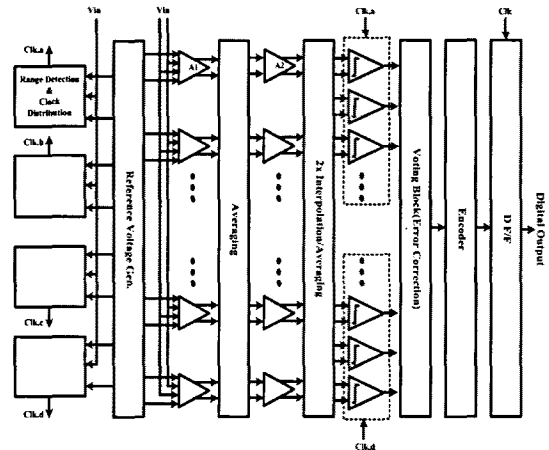


그림 1. 제안하는 A/D 변환기의 전체 구조
Fig. 1. Block diagram of the proposed A/D Converter.

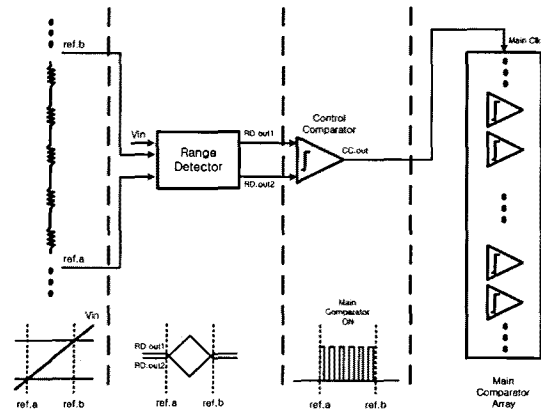


그림 2. 입력전압범위 감지회로를 이용한 제어신호 발생 회로단
Fig. 2. Control signal generator driven by input voltage range detector.

빠르게 반복되는 래치형 구조가 사용된다.^[5] 이러한 비교기는 주파수가 증가함에 따라 다음의 수식 (1)에 의해 동적 소비전력 또한 크게 증가한다.

$$P_{diss} \propto C_L \cdot f_s \cdot V^2 \tag{1}$$

본 논문에서는 기준 저항열에 입력전압범위 감지회로를 추가하여 입력신호레벨에 따라 해당되는 범위의 비교기단만을 도통/차단시킴으로써 비교기단에 의한 소비전력을 크게 감소시켰다. 그림 2에는 입력전압-범위 감지회로를 이용한 제어신호 발생 회로단을 소개하고 있다. 이 제어신호 발생 회로단의 구성은 크게 입력전압범위 감지단, 클럭 분배단, 메인 비교기단으로 되어 있다.

기준 저항열에 위치한 입력전압범위 감지회로는 기준전압 두 개와 아날로그 입력신호 한 개를 받게 된다.

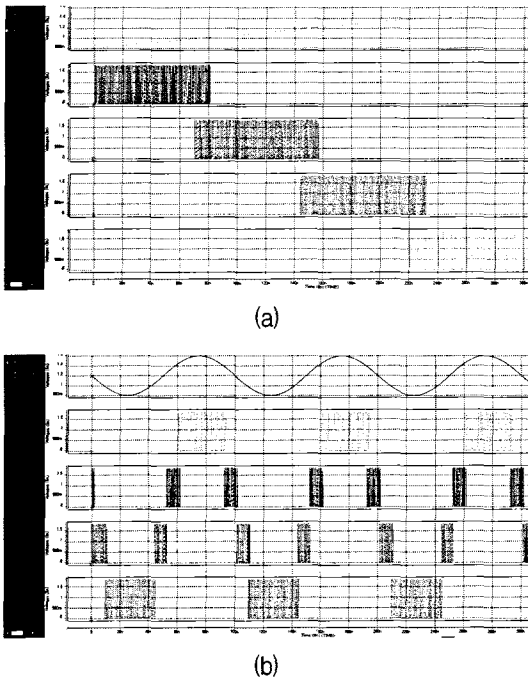


그림 3. (a) 램프입력과 (b) 사인입력에 대한 입력전압범위 감지회로 출력파형
 Fig. 3. Input voltage range detector's output waveforms of (a) ramp input and (b) sine input.

입력신호가 기준 전압, 하(ref.a)를 지나게 되면 입력전압범위 감지회로에 의해 제어 신호가 발생하고, 기준 전압, 상(ref.b)를 지나게 되면서 다시 원래의 오피셋 전압으로 돌아가게 된다. 이러한 제어 신호는 기준전압의 범위를 감지하게 되며, 클럭 분배단의 비교기에 들어가면 기준전압 범위에 해당하는 클럭 펄스를 발생시키게 된다. 이 클럭은 디지털 버퍼를 통해 플래쉬 A/D 변환기의 메인 비교기단으로 공급되게 된다. 이러한 알고리즘을 통해 메인 비교기단에는 지속적으로 클럭이 공급되지 않게 되고, 입력신호가 각 비교기단에서 담당하는 범위 바깥에 위치할 때, 전력을 소비하지 않게 된다. 그림 3에는 램프 입력신호와 사인 입력신호에 따라 메인 비교기에 공급될 클럭이 발생하는 파형을 보여주고 있다.

제안하는 입력전압범위 감지단에 사용되는 입력전압범위 감지회로를 그림 4에 나타내었다. 입력전압범위 감지회로는 크게 폴딩 증폭단과 폴딩드 캐스코드 부하단으로 구성된다. 입력전압범위 감지회로에 아날로그 입력신호 한 개와 기준전압 두 개를 입력 받으면, 기준 전압 사이를 입력신호가 지나갈 때에만 폴딩 신호를 출력으로 내보내게 된다. 차동의 폴딩 신호가 제어단 비교기로 입력되면, 해당되는 범위의 구간에서 클럭이 발

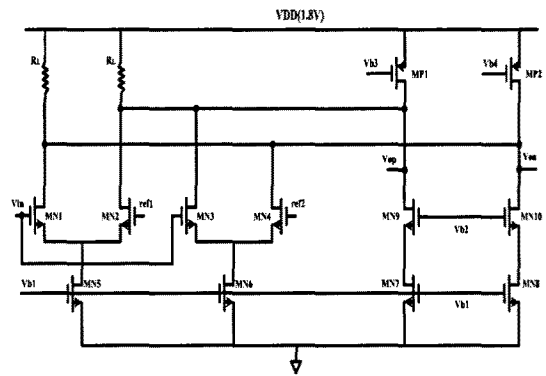


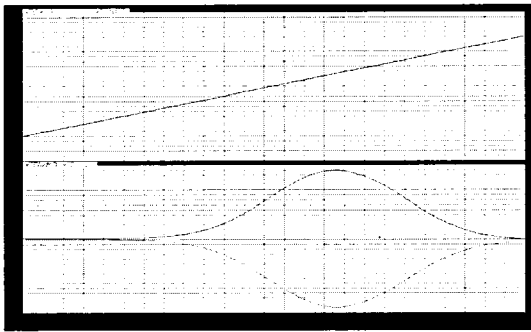
그림 4. 제안하는 입력전압범위 감지회로
 Fig. 4. Proposed input voltage range detector circuit.

생하게 된다.

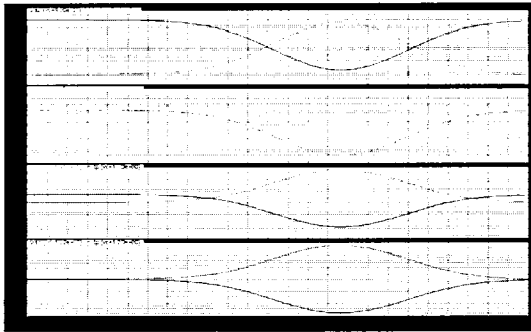
폴딩드 캐스코드 부하를 사용함으로써 기존의 단일 폴딩 증폭기 구조보다 소비 전력이 증가하지만, 다음과 같은 장점이 있다. 먼저 입력전압범위 감지회로의 다음 단에는 펄스 형태의 클럭 신호를 발생시키기 위한 고속 비교기가 위치한다. 고속 비교기에서 발생하는 킥-백 잡음은 비교기의 앞단에 붙는 전단증폭기에 의해 1차적으로 필터링 되지만, 그것으로 충분하지 않고 입력전압범위 감지회로의 입력까지 전이 돼서 기준전압을 흔들게 된다. 이것은 입력전압범위 감지회로가 입력신호의 범위를 감지할 때 오차를 발생하게 된다. 입력전압범위 감지회로의 캐스코드 부하단은 출력임피던스가 크며, 출력단에서 들어오는 잡음을 막아주는 역할을 하게 된다. 또한 캐스코드 부하단의 큰 출력 임피던스는 출력의 스윙을 안정화 시킨다. 마지막으로 MP1, MP2의 필요성이다. MP1과 MP2를 동일한 전압으로 바이어싱 하게 되면, 전류원 부하 역할을 하게 된다. 이 때의 출력 오피셋은 공통모드에 놓이게 되며, 폴딩 신호가 제어단 비교기에 들어간다 해도 교차 지점이 존재하지 않기 때문에 비교 동작을 수행할 수 없게 된다. 따라서 제안한 입력전압범위 감지회로에서는 MP1과 MP2에 서로 다른 바이어스 전압을 인가하여 MP1, MP2를 전류원이 아닌 가변저항으로 사용하게 된다. 즉, 폴딩 신호에서 교차 지점이 발생하도록 인위적으로 출력 오피셋을 이동시키는 것이다. Vb3와 Vb4의 전압에 따라 Ron,p 저항 값은 다음의 수식 (2)에 의해 트랜지스터의 W/L을 조정 시 저항 값 또한 바꾸게 된다.

$$R_{on,p} = \frac{1}{\mu_p \cdot C_{OX} \cdot (W/L) \cdot (V_{DD} - V_{bz} - |V_{th,p}|)} \quad (2)$$

입력전압범위 감지회로의 차동 출력이 교차되는 범



(a)



(b)

그림 5. 입력전압범위 감지회로의 (a) 일반적인 출력과 (b) 레벨 쉬프트 후의 출력

Fig. 5. Input voltage range detector's outputs in condition with (a) normal operation and (b) level shift.

위는 제어단에 의한 소비전력 감소량이나 A/D 변환기의 유효해상도에 큰 영향을 미치게 된다. 교차되는 영역이 넓어지면, 각 범위마다 충분한 여유를 두고 동작하게 되고 경계점에서도 미싱-코드 없이 동작하게 된다. 그러나 중복되는 두 개의 영역에서는 두 개의 비교기단이 동시에 동작하므로 소비전력 측면에서 손실이 있게 된다. 반면에 입력전압범위 감지회로의 차동 출력이 교차되는 영역이 좁아지면, 소비전력면에서 효율성을 높일 수 있지만, 경계점에서의 충분한 여유를 확보할 수 없게 된다. 그림 5. (a)는 입력신호에 일반적인 램프신호를 넣어주고, 두 개의 기준전압을 통과할 때, MP1, MP2를 가변저항이 아닌 일반적인 전류 소스 부하로 사용할 때의 입력전압범위 감지 결과 파형을 나타낸다. 두 개의 차동 출력은 겹쳐지는 구간이 없으며, 단지 기준전압 사이에서만 폴딩 신호가 출력되는 것을 확인할 수 있다. 또한 폴딩 증폭기의 제한적인 선형도에 의해 기준전압의 범위에서만 정확한 폴딩 신호가 나오지 않고 완전한 곡선이 나오게 된다. 그림 5. (b)는 Vb3, Vb4를 변화 시키면서 입력전압범위 감지회로

표 1. 기존의 A/D변환기와 제안한 A/D변환기 소비전력 비교

Table 1. Power dissipation of (a) conventional A/D converter and (b) proposed A/D converter.

Fs=1GHz, Fin=21.48MHz Time=500nsec	기존의 A/D 변환기 ^[6]	제안한 A/D 변환기
I _{rms_analog}	38.91mA	40.78mA
I _{rms_digital}	62.64mA	8.57mA
P _{rms_analog}	70.05mW	73.40mW
P _{rms_digital}	112.75mW	15.43mW
Total(analog+digital)	182.79mW	88.83mW

의 출력 옵셋이 레벨 쉬프트 된 후의 차동 출력의 변화를 관찰할 수 있다. 본 연구에서는 소비전력과 경계점에서의 여유를 고려하여 Vb3=1.0V, Vb4=1.2V로 설계하였다.

본 연구에서는 기존의 플래쉬 A/D 변환기와 비교했을 때, 소비전력 측면의 개선에 중점을 두었다. 표 1에서는 기존의 플래쉬 A/D 변환기와 제안한 플래쉬 A/D 변환기 간의 소비전력 차이를 비교하였다. 입력전압범위 감지단을 제외한 동등한 조건을 위해 2단 인터폴레이션 및 오차보정회로 등의 기타 서브 블록들은 동일하게 사용하였다.

소비전력 측면에서 기존의 A/D 변환기에 비해 제안한 A/D 변환기는 아날로그단 소비전력은 4.8% 증가하였으며, 디지털단 소비전력은 기존에 비해 1/7 정도로 감소하였다. 아날로그단의 소비전력 증가는 입력전압범위 감지단에 포함된 입력전압범위 감지회로, 제어단용 비교기, 클럭 분배용 버퍼에 의한 추가적인 전력 소모이며, 반면에 디지털단의 소비전력 감소는 입력전압범위 감지 알고리즘에 의한 메인 비교기단의 도통/차단으로 휴지기의 비교기가 전력을 소모하지 않는다는 것을 의미한다. 제안하는 A/D 변환기의 전체 소비전력은 기존의 A/D 변환기보다 약 1/2 정도로 감소하였다.

2. 6비트 A/D 변환기 레이아웃

설계한 A/D 변환기의 레이아웃은 고속 동작 시 발생하는 잡음을 억제하기 위해 완전 대칭 구조를 택했으며, 그림 6의 플로플랜과 같이 진행하였다. 실제 레이아웃은 CMOS 0.18 μ m 1-poly 6-metal 공정을 이용하여 구현하였으며, 구현한 6비트 A/D 변환기의 칩 사진을 그림 7에 나타내었다.

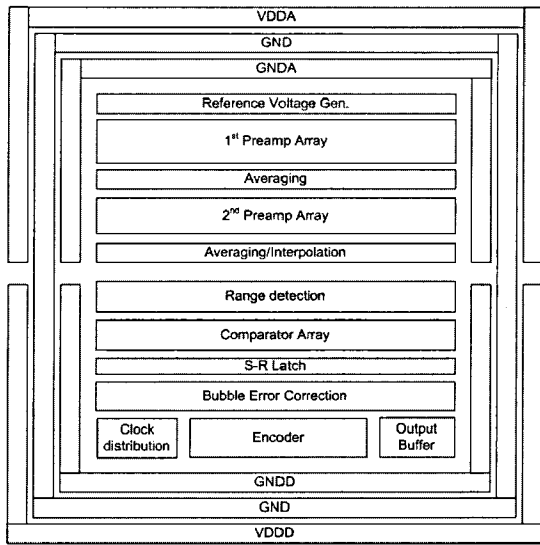


그림 6. 6비트 A/D 변환기 플로 플랜
Fig. 6. Layout floor-plan for 6bits A/D converter.

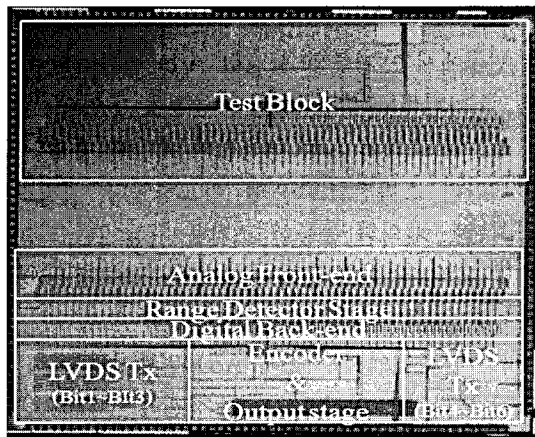


그림 7. 6비트 A/D 변환기의 칩 사진
Fig. 7. Chip photograph of 6bit A/D converter.

레퍼런스 생성 단부터 제 2 전단 증폭기까지 아날로그 블록이며 비교기부터 인코더까지 디지털 블록에 해당된다. 아날로그 블록과 디지털 블록을 더블 가드링을 이용해 분리하였고, 전원부 또한 아날로그와 디지털을 서로 분리하여 디지털 단에서 발생하는 잡음이 아날로그 단에 미치는 영향을 최소화 하였다. 또한 레퍼런스 생성단의 저항에는 바이패스 MOS 커패시터를 집적함으로써 레퍼런스 전압이 변동되는 것을 억제하였다.

레이아웃 결과 제작된 6비트 A/D 변환기의 유효 칩 면적은 7.22mm²(3.8mm x 1.9mm)이다.

III. 실험

본 논문에서 구현된 A/D 변환기의 성능은 그림 8에

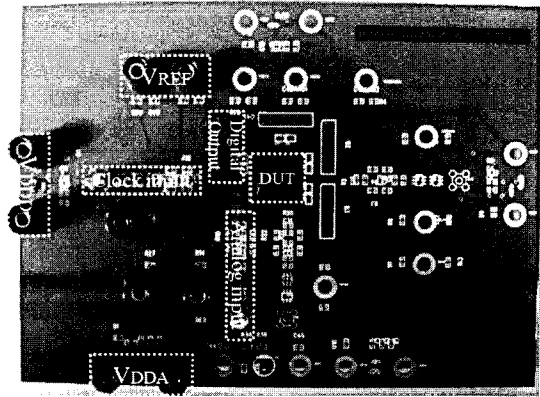


그림 8. 제작한 6비트 A/D 변환기의 테스트 보드
Fig. 8. Test board for 6bits A/D converter.

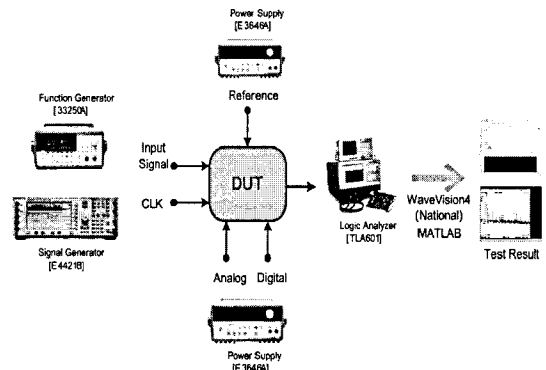


그림 9. 6비트 A/D 변환기 측정 환경
Fig. 9. Measurement environment for 6bits A/D converter.

나타낸 테스트 보드를 사용하여 측정했다. 디지털 블록과 아날로그 블록을 완전히 분리 시켰으며, 아날로그 블록을 디지털 잡음으로부터 보호하기 위해 아날로그 파워와 디지털 파워를 분리하였다. 아날로그 입력을 위한 SMA와 싱글 신호를 차동신호로 만들어주기 위한 트랜스포머를 사용하여 입력단을 구성하였다. 칩을 구성하는 패키지에 생기는 기생 인덕터와 커패시터의 영향으로 고속 클럭 신호의 전달이 어렵기 때문에 아날로그 신호와 마찬가지로 차동으로 만들어 줄 수 있도록 트랜스포머를 사용하였다. A/D 변환기의 디지털 출력은 로직분석기에 연결하기 쉽도록 핀을 사용하여 구성하였다.

설계한 A/D 변환기의 성능 측정을 위한 측정 환경을 그림 9에 나타내었다. 파형 발생기 (33250A)와 신호 발생기 (E4421B)를 이용하여 아날로그 입력 신호와 클럭 신호를 인가하였다. 전원공급기(E3646A)로 전원 전압을 공급하였으며, A/D 변환기의 출력을 수집하기 위하여 로직분석기 (TLA601)을 사용하였다.

로직분석기를 통해 수집한 데이터를 National Semiconductor사의 WaveVision4 분석 프로그램을 이용해 FFT(Fast Furier Transformation)분석을 시행하였으며, 입력 주파수에 따른 고조파 성분들을 검출하였다. 그림 10에는 샘플링 주파수가 250MHz이고 아날로그 입력 주파수가 30.27MHz일 때, 복원 파형과 측정된 신호 스펙트럼을 나타내었다. 측정 결과 제작된 A/D 변환기는 36.41dBc의 SFDR(Spurious Free Dynamic Range), 4.1비트의 ENOB(Effective Number Of Bit)를 보였다.

250MHz의 샘플링 주파수에서 입력 주파수의 변화에 따른 SFDR과 SINAD(Signal to Noise ratio and Distortion)을 그림 11에 나타내었다.

설계한 A/D 변환기의 정적 성능을 나타내는 DNL/Differential Non-Linearity)에 대한 그래프를 그림 12에 나타내었다. DNL(Differential Non-Linearity)은 인접한 두 개의 코드간의 단조증가성을 측정하게 되며, INL(Integral Non-

Linearity)은 이상적인 코드와 실제 코드간의 선형성을 측정하게 된다.^[7] 로직 분석기에서 추출된 데이터를 기반으로 매트랩의 히스토그램 분석 방법^[8]을 이용하여 결과를 얻었다. 측정 결과 DNL은 -0.7/+0.9 LSB, INL

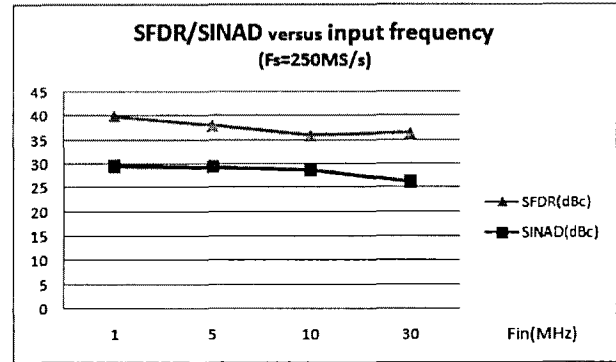
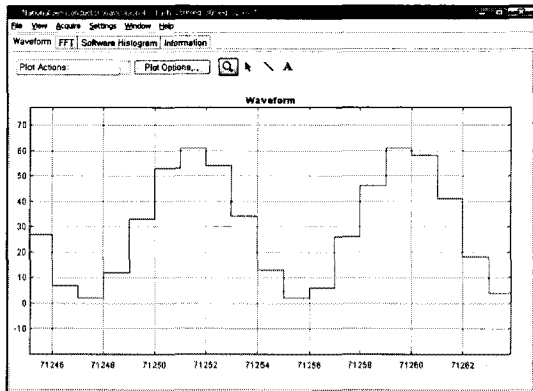
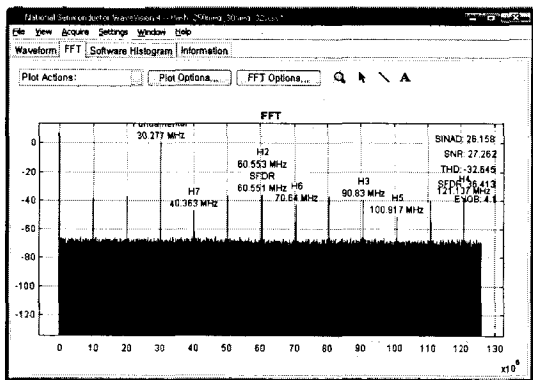


그림 11. 입력주파수 변화에 대한 SFDR/SINAD
Fig. 11. SFDR/SINAD versus input frequency.



(a)



(b)

그림 10. 측정된 (a) 복원파형과 (b) 신호 스펙트럼 (Fs=250MHz, Fin=30.27MHz)

Fig. 10. Measurement results of (a) reconstructed signal and (b) signal spectrum.

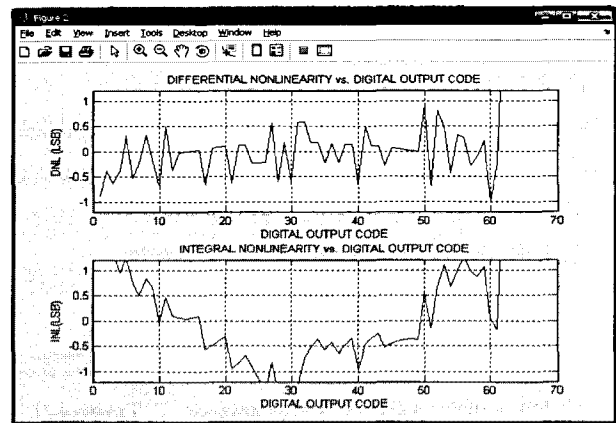


그림 12. DNL/INL 측정결과
Fig. 12. Measured DNL/INL.

표 2. 제안한 A/D 변환기의 측정 결과 요약
Table 2. Measurement results of A/D converter.

	Measurement Result
Sampling Freq.	250 Msamples/s
Resolution	6 bit
Input Range	0.8 Vpp Differential
Process	CMOS 0.18um n-well
Supply Voltage	1.8 V
SFDR/ENOB	39.8dBc/5.0bit@fin=1.17MHz 38.1dBc/4.7bit@fin=4.88MHz 36.2dBc/4.5bit@fin=10.74MHz 36.4dBc/4.1bit@fin=30.27MHz
DNL	-0.7/+0.9 LSB
INL	-1.8/+1.2 LSB
Power Dissipation	106 mW
FoM	17.5pJ/step
Chip Area	7.22mm ² (3800um×1900um)

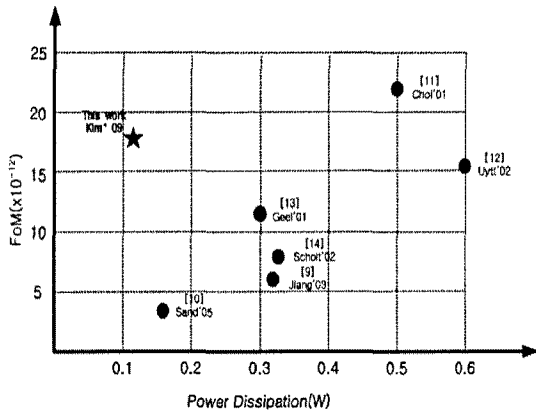


그림 13. 제안한 A/D 변환기와 동해상도 고속 A/D 변환기와의 비교

Fig. 13. Comparison of FoM between the proposed A/D converter and commercial A/D converters.

은 $-1.8/+1.2$ LSB으로 나타났다. 제안하는 A/D 변환기의 측정 결과를 표 2에 요약하였다.

제안한 6비트 A/D 변환기와 동일한 해상도의 고속 A/D 변환기의 성능을 비교한 결과를 그림 13에 나타내었다. 성능 비교는 A/D 변환기의 해상도 및 변환속도 대비 소모된 전력을 나타내는 지표인 FoM(Figure of Merit) 식 (3)을 이용하였다.^[9] 여기서 n은 A/D 변환기의 ENOB(유효비트수)를 의미한다.

$$FoM = \frac{\text{소비전력}}{2^n \cdot \text{변환속도}} \text{ [Joul/step]} \quad (3)$$

제안한 6비트 A/D 변환기는 기존의 A/D 변환기와 비교하였을 때, 변환속도와 ENOB이 다소 낮은 성능을 보이기 때문에 전체적으로 높은 FoM을 나타낸다. 또한 변환속도 250MS/s에서 ENOB이 4비트 이상이 되는 최대 입력주파수는 30.27MHz로 나이키스트 입력주파수인 124.02MHz까지 데이터 변환하는데 무리가 있다. 상기의 제약 사항에 대한 원인으로서는 입력전압범위 감지회로의 대역폭 제한과 메탈 라인의 기생 성분으로 인해 클럭 신호의 감쇄라고 분석된다.

기존의 A/D 변환기와 제안한 A/D 변환기의 가장 큰 차별성은 소비전력이다. 기존의 A/D 변환기에서는 저전력 기법을 도입하여 설계하더라도 전력소모가 최소 150mW 이상인 반면에 제안하는 A/D 변환기는 최소 소비전력은 100mW 이하로 설계할 수 있게 된다. 이러한 저전력 기법을 도입한 A/D 변환기는 배터리 기반의 무선통신시스템에 유용하게 쓰일 수 있다. 또한 제안하는 입력전압범위 감지 기법은 아날로그-디지털 변환시

기준전압과 입력 신호를 비교하여 샘플링 & 양자화 하는 투-스텝, 서브-래인징, 폴딩, 파이프라인 A/D 변환기 등에도 응용될 수 있을 것이라 기대된다.

IV. 결 론

본 논문에서는 입력전압범위 감지 기법을 이용하여 6비트 250MS/s A/D 변환기를 설계 및 구현하였다. 플래쉬 A/D 변환기에서 고속 비교기는 큰 하드웨어를 차지하며, 고속 동작시 동적 소비전력을 많이 소모하였다. 제안하는 입력전압범위 감지회로를 이용하여 아날로그 입력신호 레벨에 따라 비교기단을 선택적으로 도통/차단하여 전체 A/D 변환기의 소비전력을 기존의 A/D 변환기 소비전력보다 1/2 가량 감소시켰다.

제안하는 A/D 변환기는 0.18um n-well 1-poly 6-metel CMOS 공정으로 제작되었으며, 측정 결과 1.8V 단일 전원 전압에서 106mW의 전력 소모를 보였다. 또한 250MHz의 샘플링 주파수와 30.27MHz 입력 주파수에서 SFDR 및 ENOB는 각각 36.41dBc, 4.1비트 수준을 보인다. 제작된 A/D 변환기의 칩 면적은 7.22mm² 이다.

감사의 글

반도체설계교육센터(IDECE)의 CAD Tool 지원에 감사드립니다.

참 고 문 헌

- [1] Lalitkumar Y. Nathawad, Ryohei Urata, Bruce A. Wooley, David A. B. Miller, "A 40-GHz-Bandwidth, 4-bit, Time-Interleaved A/D Converter Using Photoconductive Sampling," IEEE J. Solid-State Circuits, vol.38, pp. 2021-2030, Dec 2003.
- [2] Jeny (Heng-Chih) Lin, Babet Hatoun, "An Embedded 0.8V/480uW 6B/22MHz Flash ADC in 0.13-um Digital CMOS Process Using a Nonlinear Double Interpolation Technique," IEEE J. Solid-State Circuits, vol.38, pp. 1610-1617, Dec 2002.
- [3] Hui Pan, Asad A. Abidi, "Spatial Filtering in Flash A/D Converter," IEEE Tran. Circuit Syst. II, vol.50, no.8, pp. 208-211, Aug 2003.
- [4] Klaas Bult, Aaron Buchwald, "An Embedded

240-mW 10-b 50-MS/s CMOS ADC in 1-mm²,” IEEE J. Solid-State Circuits, vol.32, no.12, pp. 1887-1895, Dec 1997.

[5] Pedro M. Figueiredo, Joao C. Vital, “Kickback Noise Reduction Technique for CMOS Latched Comparator,” IEEE Tran. Circuit Syst. II, vol.53, no.7, Jul 2006.

[6] 사두환, 최희철, 김영록, 이승훈, “높은 정확도를 가진 집적 커패시터 기반의 10비트 250MS/s 1.8mm² 85mW 0.13um CMOS A/D 변환기,” 전자공학회 논문지, 제43권 SD편 제11호, 58-68쪽, 2006년 11월.

[7] Phillip E. Allen and Douglas R. Holberg, CMOS Analog Circuit Design, Oxford University Press Inc, 2002.

[8] Francisco Andre Cottea Alegria, Antonio Manuel da Cruz Serra, “Overdrive in the Ramp Histogram Test of ADCs,” IEEE Tran. Instrumentation and Measurement, vol.54, no.6, Dec 2005.

[9] X. Jiang, Z. Wang, M. F. Chang, “A 2GS/s 6b ADC in 0.18um CMOS,” IEEE Int. Solid-State Circuits Conf. Dig Tech. Papers, pp. 322-323, Feb 2003.

[10] Christoph Sandner, Martin Clara, Andreas Santner, Thomas Hartig, Franz Kuttner, “A 6-bit 1.2-GS/s Low-Power Flash-ADC in 0.13um Digital CMOS,” IEEE J. Solid-State Circuits, vol.40, pp. 1499-1505, Jul 2005.

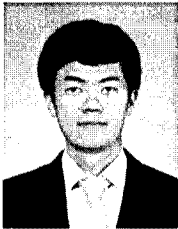
[11] M. Choi, A. A. Abidi, “A 6-b 1.3-Gsample/s A/D converter in 0.35um CMOS,” IEEE J. Solid-State Circuits, vol.36, no.12, pp. 1847-1858, Dec 2001.

[12] K. Uyttemhove, M. Steyaert, “A 1.8-V 6-bit 1.3-GHz flash ADC in 0.25um CMOS,” IEEE J. Solid-State Circuits, vol.38, no.7, pp. 1115-1122, Jul 2003.

[13] G. Geelen, “A 6b 1.1 GSsample/s CMOS A/D converter,” IEEE Int. Solid-State Circuits Conf. Dig Tech. Papers, pp. 128-129, Feb 2001.

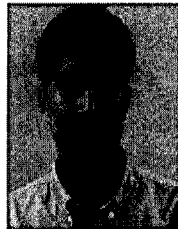
[14] P. Scholtens, M. Vertregt, “A 6-b 1.6-Gsample/s flash ADC in 0.18-um CMOS using averaging termination,” IEEE J. Solid-State Circuits, vol.37, no.12, pp. 1599-1609, Dec 2002.

저 자 소 개



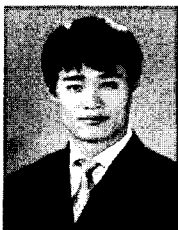
김 원(학생회원)
2008년 인하대학교 전자공학과
학사 졸업
2010년 인하대학교 전자공학과
석사 졸업
2010년~현재 LG전자 MC사업부

<주관심분야 : 아날로그/디지털 VLSI 설계, 플래쉬 A/D 변환기 설계 >



선 중 국(정회원)-교신저자
1993년 인하대학교 전자공학과
학사 졸업
1995년 인하대학교 전자공학과
석사 졸업

2000년 ENST (Ecole Nationale Supérieure des Telecommunications) France, 전자통신 공학과 박사 졸업
2000년~2003년 Nortel Networks, RF/Analog IC Design Engineer
2004년~현재 LS산전 중앙 연구소 책임 연구원
<주관심분야 : PLL 설계, A/D 및 D/A 변환기 설계, RF 설계 >



정 학 진(학생회원)
2006년 인천대학교 전자공학과
학사 졸업
2009년~현재 인하대학교
전자공학과 석사과정
<주관심분야 : 아날로그 VLSI설계, DC-DC converter 설계>



박 리 민(학생회원)
2007년 중국 장안대학교
전자공학과 학사 졸업
2009년~현재 인하대학교
전자공학과 석사과정
<주관심분야 : 아날로그 회로설계, DC-DC converter 설계>