

논문 2010-47SD-5-9

# 0.35 um 2P3M BCD 공정을 이용한 LLC 공진 제어 IC 설계

## ( A Design of LLC Resonant Controller IC in 0.35 um 2P3M BCD Process )

조 후 현\*, 홍 성 화\*, 한 대 훈\*\*, 천 정 인\*\*, 허 정\*\*\*, 이 강 윤\*\*\*

(HooHyun Cho, SeongWha Hong, DaeHoon Han, JeongIn Cheon, Jeong Hur, and Kang-Yoon Lee)

### 요 약

본 논문은 LLC 공진 제어 IC(Integrated Circuit) 설계에 관한 것이다. LLC 공진 제어 IC는 DC/DC 변환하기 위해서 외부의 공진 회로에 입력되는 주파수를 조정하여 트랜스포머를 통해서 2차 측의 출력 전압을 조정한다. 공진회로에 펄스를 공급하기 위한 클럭 생성기가 내장되어 있고, 클럭 주파수는 외부 저항을 사용하여 튜닝이 가능하다. 또한 외부 피드백 입력되는 전압을 이용해 주파수 조절이 가능하도록 VCO(Voltage Controlled Oscillator) 기능을 내장하였다. 동작의 신뢰성을 높이고 회로를 보호하기 위해서 UVLO(Under Voltage Lock Out), brown out, fault detector의 보호회로를 내장하였고, 입력 커패시턴스가 큰 용량의 IGBT(Insulated Gate Bipolar Transistor)를 구동하기 위해서 높은 전압, 전류의 제공이 가능한 HVG(High Side Driver), LVG(Low Side Driver) 드라이버 회로를 내장하였다. LLC 공진 제어 회로를 하나의 칩으로 구현하여 LLC 공진 회로를 제어하는데 있어 필요한 회로들을 설계하였다. 설계한 LLC 공진 제어 IC는 0.35 um 2P3M BCD 공정으로 제작하였다. 칩의 면적은 1400 um X 1450 um 이고, 5V, 15V 두 가지의 전원 전압을 사용한다.

### Abstract

This paper presents a design of a LLC resonant controller IC. LLC resonant controller IC controls the voltage of the 2nd side by adjusting frequency the input frequency of the external resonant circuit. The clock generator is integrated to provide the pulse to the resonant circuit and its frequency is controlled by the external resistor. Also, the frequency of the VCO is adjusted by the feedback voltage. The protection circuits such as UVLO(Under Voltage Lock Out), brown out, fault detector are implemented for the reliable and stable operation. The HVG, and LVG drivers can provide the high current and voltage to the IGBT. The designed LLC resonant controller IC is fabricated with the 0.35 um 2P3M BCD process. The overall die size is 1400 um X 1450 um, and supply voltage is 5V, 15V.

**Keywords :** LLC Resonant Controller, Clock Generator, Protection Circuit, HVG & LVG Driver

### I. 서 론

오늘날 대부분의 가전 기기와 컴퓨터의 ATX (Advanced Technology Extended) 파워 내부에는 높은

전력 밀도와 효율적인 DC/DC 전압 변환을 위해서 높은 주파수를 사용하여 전압을 변환한다. 높은 주파수를 사용함에 따라서 스위칭에 의한 높은 전류 스파이크에 의한 EMI에 대한 영향과 스위칭 손실을 감소시킬 수 있다. 또한 트랜스포머나 인덕터, 커패시터와 같은 리액티브 소자들의 부피를 줄일 수 있어 노트북이나 어댑터 LCD TV와 같이 슬림하고 작은 부피를 요구하는 제품들에 적용이 가능하다. LCD 모니터나 TV, 오디오에서 전압 변환시 높은 EMI 영향은 화질, 음질에 영향을 미쳐 성능의 저하가 나타날 수 있다. 공진형 컨버터의 공진회로를 제어하기 위해서는 위해서 공진주파수에 해당

\* 학생회원, \*\*\* 평생회원 건국대학교  
(Dept. of Electronics Eng., Konkuk University)

\*\* 정회원, 삼성전기(주)  
(Samsung Electro-mechanics Co., Ltd.)

※ 이 논문은 2009년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업입(No. 2009-0068457).

접수일자: 2009년11월5일, 수정완료일: 2010년4월1일

하는 클럭을 제공하는 회로가 필요하게 되는데 개별 소자를 사용하거나 마이크로 컨트롤러를 사용하여 동작을 제어할 수 있다. 하지만 개별 소자를 사용할 경우 회로가 복잡해지고 회로가 제어 회로가 차지하는 면적이 증가하게 되고, 마이크로 컨트롤러는 외국 기술에 주로 의존하고 있기 때문에 사용하기 위해 비싼 값을 지불해야 한다. 본 논문에서는 LLC 공진 탱크 회로를 제어하기 위한 LLC 공진 제어 회로를 하나의 칩으로 구현하여 LLC 공진 회로를 제어하는데 있어 기본적으로 필요한 회로 들을 설계하였다. LLC 공진 제어 IC는 0.35 um 2P3M BCD 공정을 사용하여 설계 하였다.

II. 본 론

1. 블록도

제안하는 LLC 공진 제어기의 기본 구조는 그림 1과 같다. 위의 구조는 내부의 제어 회로와 IGBT 구동을 위한 높은 전압을 제공하기 위해서 5 V 전압과 15 V 두 가지 전압을 사용한다. LLC 공진 제어기의 구성 블록은 크게 클럭 생성기와 IGBT를 구동하기 위한 레벨 시프터 회로 및 드라이버 회로, LLC 공진 제어 IC 및 전체 회로의 동작을 보호하기 위한 fault detector, UVLO, brown out 등의 보호 회로로 구성되어 있다.

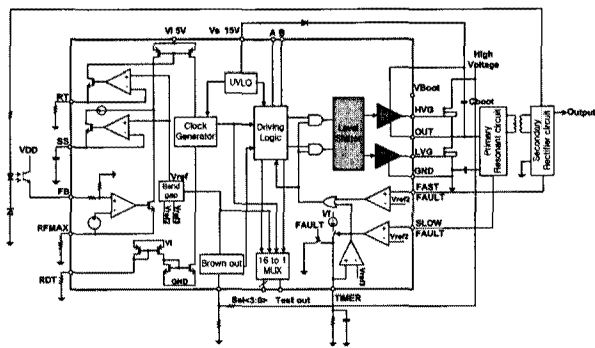


그림 1. LLC 공진 제어 IC의 블록도  
Fig. 1. A block diagram of the LLC resonant controller IC.

2. 각 구성 블록

가. 클럭 생성기

그림 2는 설계된 클럭 생성기의 블록다이어그램을 나타낸다. 클럭 생성기의 주파수는 기본적으로 전류에 의해서 커패시터에 충·방전되는 전압 기울기에 따라서

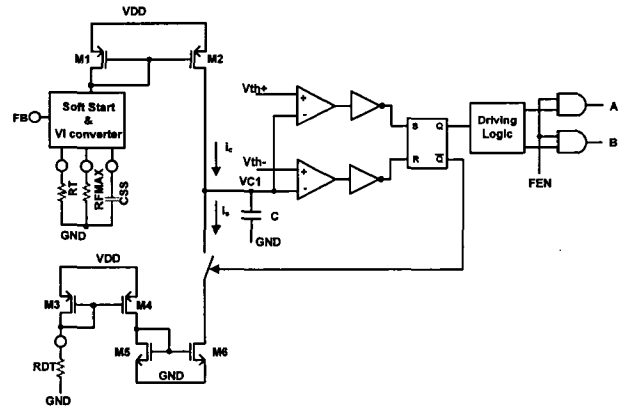


그림 2. 클럭 생성기의 블록도  
Fig. 2. A block diagram of the clock generator.

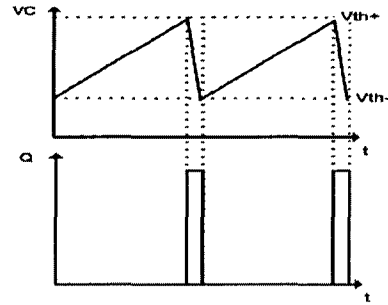


그림 3. Sawtooth 발생기의 출력파형  
Fig. 3. Output waveform of the sawtooth generator.

결정된다. 전류  $i_c$ 의 크기는 soft start & VI 컨버터 블록을 통해 연결되어 있는 외부 소자 RT, RFMAX, CSS에 의해서 조절이 가능하며 또한 FB 노드의 전압에 의해서 조절이 가능하다. 전류  $i_s$ 는 외부저항 RDT에 의해서 조절이 가능하다. LLC 공진 회로를 핸들링 하려면 주파수가 여러 가지 조건에 의해서 가변 가능하도록 설계를 하여야 하는데 이를 충족하기 위해서 soft start & VI 컨버터 회로를 구성하였다. Soft Start & VI 컨버터 회로는  $i_c$  전류를 외부 저항 RT를 사용해 고정시킬 수 있고, FB에 입력되는 전압의 크기에 의해서 가변 가능하며 RFMAX를 통해서 가변 가능한 최대 주파수를 결정할 수 있다. 또한 초기 동작이나 보호회로 동작 후 복귀시 CSS에 일정전압까지 충전되는 동안  $i_c$  전류를 조절하여 soft start 동작이 가능하도록 해준다.

그림 3는  $i_c$ ,  $i_s$  전류에 의해서 발생하는 톱니파를 나타낸다. 일정 전류  $i_c$ 로 C에 충전이 시작되면 C 전압은 선형적으로 상승하게 되고  $V_{th+}$  전압에 도달하면 SR 래치의 출력 Q는 high, Q'는 low가 되어 트랜스미션 게이트의 스위치를 ON시켜 C의 전하를  $i_s$ 의 전류로 방전시킨다. 방전되는 동안 C의 전압이  $V_{th-}$ 와 같아지게

되면 트랜스미션 게이트가 OFF되고 다시  $i_c$ 의 전류로 충전을 하며 그림 3에 보이는 것과 같은 톱니파를 발생하게 된다. 이때 SR latch의 출력은 그림 3의 아래에서 보는 것과 같이 나타나는데 이 출력을 이용한 드라이빙 로직회로에서는 두 개의 서로 반전된 데드타임을 갖는 A, B 신호를 발생시켜 클럭 생성기의 최종 출력으로 사용된다. 전류  $i_c$ 는 상승 기울기를  $i_s$ 는 하강 기울기를 결정하게 되며 하강 기울기의 시간에 따라서 데드타임이 결정된다. 외부 저항  $R_T$  에 대한  $f_{out}$ 의 주파수는 수식 (1)로 나타낼 수 있다.

$$f_{out} = \frac{1}{2 \cdot C \cdot \left( \frac{1}{i_c} + \frac{1}{i_s} \right) \cdot (V_{THP} - V_{THN})} \quad (1)$$

$$= \frac{1}{2 \cdot C \cdot \left( \frac{R_T}{V_{REF}} + \frac{1}{i_s} \right) \cdot (V_{THP} - V_{THN})}$$

나. HVG, LVG 드라이버

그림 4는 제안하는 HVG, LVG 드라이버의 블록 다이어그램을 나타낸다.

클럭 생성기로부터 출력되는 5 V의 clock 신호를 A, B로 입력 받아 외부의 LLC 공진 탱크에 전류를 공급하기 위한 IGBT를 구동시키기 위해서 높은 전압과 전류를 갖는 신호로 바꿔주게 된다. 그림 5의 레벨 시프터를 통해서 LDMOS를 구동할 수 있도록 클럭 생성기의 5V 출력전폭을 15 V의 출력 전폭으로 변환한다.

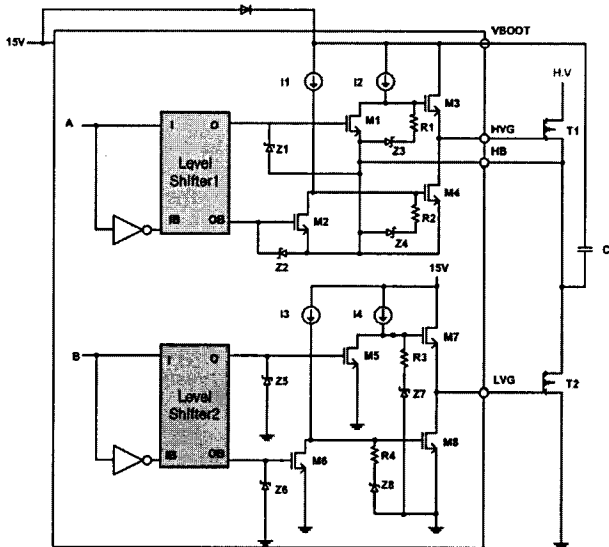


그림 4. HVG, LVG 드라이버의 블록다이어그램  
Fig. 4. A block diagram of the HVG, LVG driver.

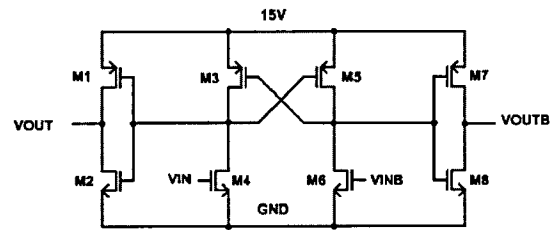


그림 5. 레벨 시프터 회로  
Fig. 5. Level shifter circuit.

외부에 연결된 입력 커패시턴스가 큰 IGBT T1, T2를 구동하기 위해 M3, M4, M7, M8은 W/L이 1.128 mm/1.8 um의 고전압 LDMOS를 사용하였다. LDMOS의 입력 커패시턴스가 크기 때문에 레벨 시프터의 출력 전류만으로 부족하므로 별도로 I1, I2, I3, I4 전류원을 사용하여 M3, M4, M7, M8의 입력을 구동하는 방식으로 설계를 하였다. W/L이 큰 고전압 LDMOS를 사용하여 큰 입력 커패시턴스를 갖는 IGBT에 대해 빠른 상승 시간과 하강 시간 및 높은 source/sink 전류를 제공할 수 있게 된다. 본 설계에서는 IGBT의 입력 커패시턴스를 2 nF으로 가정하고 상승 및 하강시간이 100 ns 이내가 되도록 설계하였다.

다. Protection 블록

(1) UVLO (Under Voltage Lock Out)

그림 6은 제안하는 UVLO의 블록 다이어그램을 나타낸다. UVLO는 15 V의 전원 전압을 감지하여 VCC 전압이 9 V 이상일 때 EN=1이 되어 클럭 생성기에 enable 신호를 제공한다. VCC 전압이 8.6 V 전압 미만이면 EN=0이 되어 클럭 생성기에 disable 신호를 제공하여 클럭 생성기의 동작을 off 시킨다.

turn on, turn off되는 전압은 저항 R1, R2, R3,에 의해서 결정되고, 본 설계에서는 레이아웃의 매칭 특성을

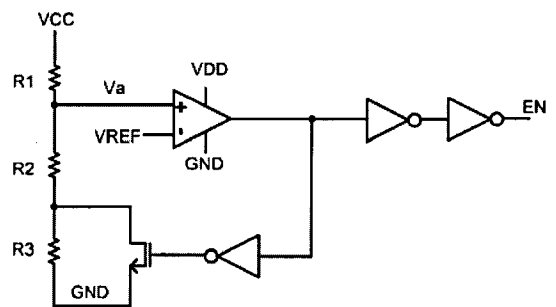


그림 6. UVLO의 블록다이어그램  
Fig. 6. A block diagram of the UVLO.

고려하여 UVLO의 내부 저항을 멀티핑거(multi-finger) 형태로 layout을 하였다. 수식 (2), (3)은 R1, R2, R3에 의한 UVLO의 turn on, turn off 전압을 나타낸다.

$$VOFF: V_a = VCC \cdot \left( \frac{R2 + R3}{R1 + R2 + R3} \right) < VREF \quad (2)$$

$$VON: V_a = VCC \cdot \left( \frac{R2}{R1 + R2} \right) > VREF \quad (3)$$

(2) Brown out

그림 7은 제안하는 Brown out의 블록 다이어그램을 나타낸다. Rupper, Rlower는 외부 저항을 나타낸다. H.V 전압을 감지하여 일정 전압 아래로 떨어질 때 BOEN 신호를 low가 되어 클럭 생성기의 disable 신호를 제공하여 동작을 멈추게 한다. UVLO 회로와 동작하는 방식이 비슷하지만 UVLO의 경우 내부 저항에 의해서 on, off 전압이 지정되어 있는 반면, Brown out에서는 외부 저항 Rupper, Rlower를 사용하여 on, off 전압의 튜닝이 가능하다. 수식 (4), (5)는 외부저항 Rupper, Rlower에 의한 VON, VOFF 전압을 나타낸다.

$$VON: V_{HV} > V_{BO} \cdot \left( \frac{R_{upper}}{R_{lower}} + 1 \right) \quad (4)$$

VOFF:

$$V_{HV} < \left( \frac{R_{upper}}{R_{lower}} + 1 \right) \cdot \left( V_{BO} - IBO \left( \frac{R_{lower} \times R_{upper}}{R_{lower} + R_{upper}} \right) \right) \quad (5)$$

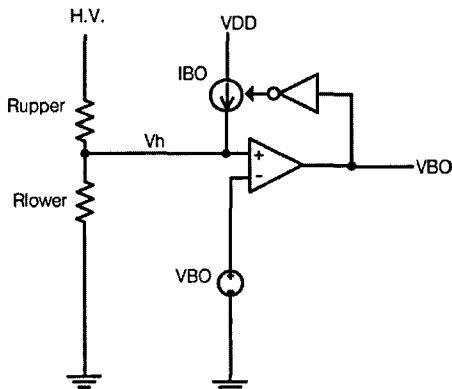


그림 7. Brown out의 블록도  
Fig. 7. A block diagram of the brown out.

(3) Fault detector

그림 8은 제안하는 Fault detector의 블록다이어그램

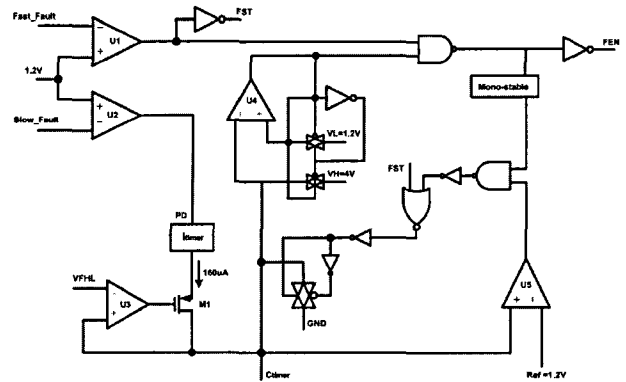


그림 8. Fault detector의 블록다이어그램  
Fig. 8. A block diagram of the fault detector.

을 나타낸다. Fault detector는 외부의 1차 측과 2차 측의 전압을 감지하여 과전압에 대해서 클럭 생성기의 동작을 멈추게 하여 출력 측에 전압을 떨어트리는 역할을 하게 된다. 또한 1차 측의 공진회로에 흐르는 전류를 감지하여 높은 전류가 흐를 때 클럭 생성기의 동작을 제어한다. Fast Fault는 입력 즉시 FEN 신호를 low로 하여 클럭 생성기의 동작을 즉각적으로 멈추게 하고, Slow Fault는 Ctimer에 연결되는 병렬 R, C 값에 의해서 Slow fault 입력이 일정시간 지속될 경우 클럭 생성기의 동작이 멈추도록 한다.

III. 실험

1. Layout

그림 9는 제작된 LLC 공진 제어 IC의 레이아웃을 나타낸다. 전체 면적은 1450 um X 1400 um이고, 클럭 생

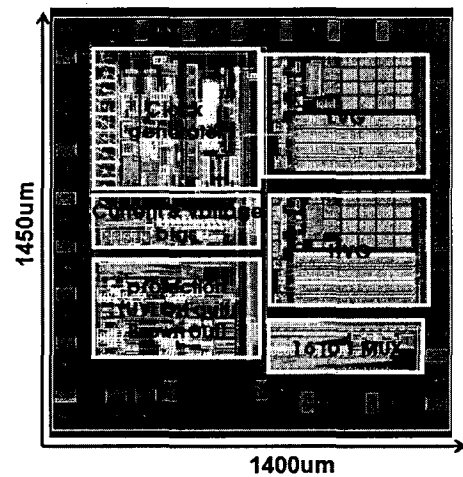


그림 9. 제작된 LLC 공진 제어 IC의 레이아웃  
Fig. 9. The layout of the LLC resonant controller IC.

생기와 보호회로, HVG 및 LVG 회로와 각 블록의 전압 전류를 제공하는 바이어스 회로 및 출력을 관찰하기 위한 16 to 1 MUX 회로로 구성되어 있다.

## 2. 클럭 생성기

그림 10은 설계한 클럭 생성기 내부의 톱니파 발생기의 측정 파형을 나타내며,  $RT = 300\text{ k}\Omega$ ,  $RDT = 68\text{ k}\Omega$  일 때 측정된 결과이다. 내부에서 만들어지는 톱니파의 파형은  $V_{THP} = 2.96\text{ V}$ ,  $V_{THN} = 1.47\text{ V}$  구간에서 발생되며 톱니파의 하강시간에 따라서 데드타임을 갖는 AI, BI 파형이 서로 반전되어 출력된다. 톱니파의 상승 시간에 의해서 AI, BI 출력의 주파수가 결정되고 하강

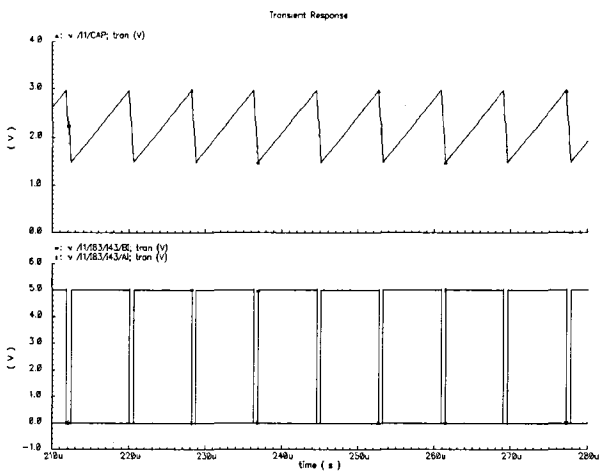


그림 10. 톱니파 발생기 및 AI, BI의 출력파형  
Fig. 10. Output waveform of the sawtooth generator and AI, BI pulse.

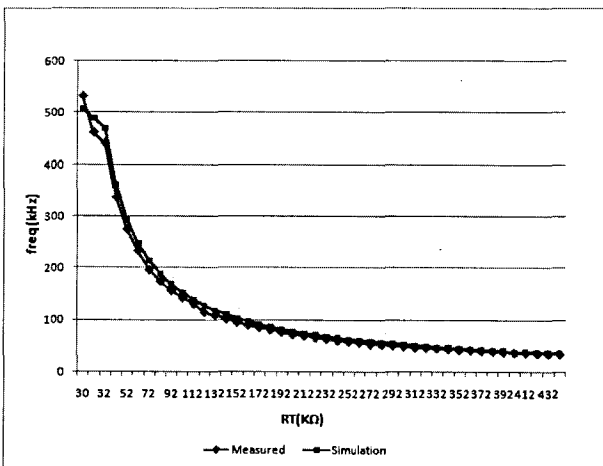


그림 11. 클럭 생성기의 RT 저항에 따른 주파수 가변 범위  
Fig. 11. The frequency range of the clock generator as a function of RT resistor.

시간에 따라서 데드타임이 결정된다. 그림 9는 RT 저항에 의한 주파수 가변 범위를 나타낸다. 회로의 가변 주파수 범위는 튜닝 저항 범위를  $30\text{ k}\Omega \sim 322\text{ k}\Omega$ 으로 변화시킬 때  $46.8\text{ kHz} \sim 531\text{ kHz}$ 로 가변 할 수 있었다. 그림 11은 RDT 저항에 의한 데드타임의 가변 범위를 나타낸다. 데드타임의 가변 범위는 튜닝 저항 범위를  $43\text{ k}\Omega \sim 343\text{ k}\Omega$ 으로 변화시킬 때  $260\text{ ns} \sim 2.2\text{ }\mu\text{s}$ 까지 가변이 가능하다.

그림 13은 VFB 전압에 의한 주파수 가변 범위를 나타낸다. 회로의 가변 주파수 범위는  $F_{max}$  주파수 설정에 의해서 최대 주파수가 결정된다. VFB 전압이  $1.2\text{ V}$  이상에서 주파수가 가변 되기 시작하며 여기서는  $F_{min}$

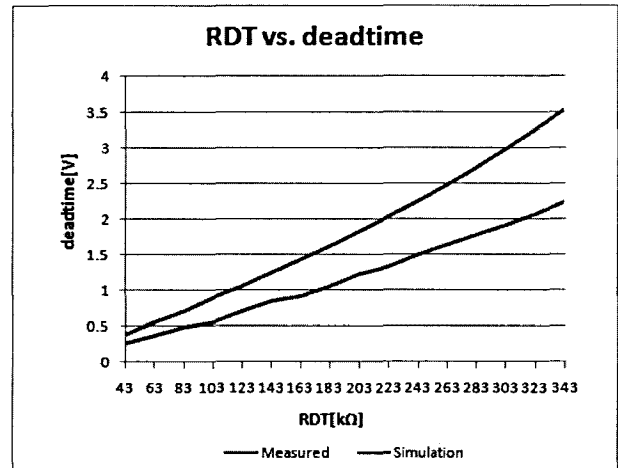


그림 12. 클럭 생성기의 저항에 대한 데드타임 가변 범위  
Fig. 12. The range of deadtime of the clock generator.

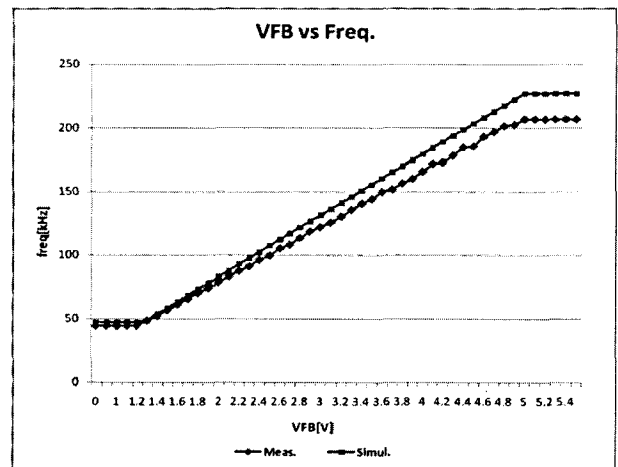


그림 13. 클럭 생성기의 VFB 전압에 대한 주파수 가변 범위  
Fig. 13. The frequency range of the clock generator as a function of VFB voltage.

= 44.48 kHz,  $F_{max} = 235$  kHz로 설정하였다. 외부의 제너 다이오드에 의해서 5 V까지 주파수가 가변 하게 된다.

3. HVG, LVG 드라이버

그림 14는 HVG, LVG의 출력 파형을 나타낸다. HV 전압이 11 V일 때 HB 전압을 0 V로 놓고 2.2 nF의 부하를 연결했을 때의 측정 결과이다. HVG, LVG의 진폭은 13.8 V이고, 상승 및 하강시간은 각각 74 ns, 75.2 ns로 측정 되었다. 이는 처음 정했던 <100 ns(@2 nF)에 만족한다. Isource, Isink 전류는 상승시간과 하강시간을 계산하여 얻어진 결과이다. Isource, Isink는 각각 327.7 mA, 323.0 mA이다.

그림 15는 HVG, LVG, HB, VBOOT의 출력 파형을 나타낸다. LLC 공진 회로를 공진시키기 위한 VHB 출력의 진폭은 10.9 V 이고, 이 때 VBOOT의 전압은 15



그림 14. HVG, LVG의 출력파형  
Fig. 14. Output waveform of HVG, LVG.

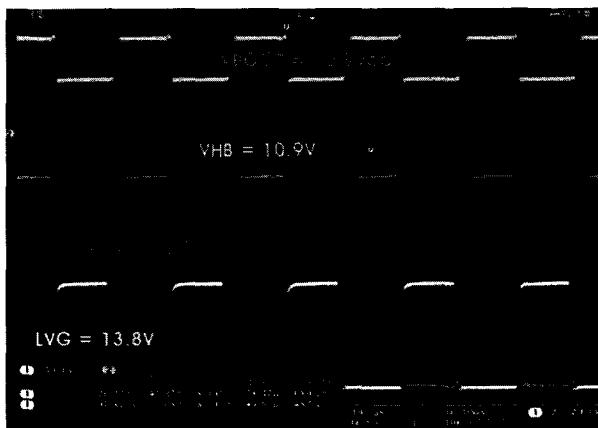


그림 15. HVG, LVG, HB, VBOOT의 출력파형  
Fig. 15. Output waveform of HVG, LVG, HB VBOOT.

V~25.9 V로 10.9 Vpp의 진폭으로 출력된다.

4. Protection 블록

가. UVLO

그림 16은 FUVLO = 7 Hz,  $F_{min} = 48.53$  kHz,  $F_{max} = 109$  kHz, Deadtime = 680 ns,  $C_{ss} = 1$  uF의 동작 조건에서 UVLO의 동작 파형을 나타낸다. VCC 입력이 0 V에서 15 V로 인가되면 9.1 V 이상의 전압에서 내부 회로가 동작하고 soft start 동작을 거치게 되면서 Vout 출력이 점진적으로 증가하게 된다. 반면 VCC 입력이 감소할 경우 8.7 V 이하로 감소하게 되면 HVG, LVG 출력이 Off되어 Vout이 감소된다. UVLO 회로는 내부 회로의 정확한 동작을 하도록 하여 신뢰성을 확보하고, 그에 따라 LLC 공진 제어 IC와 주변회로를 보호하는 역할을 한다.

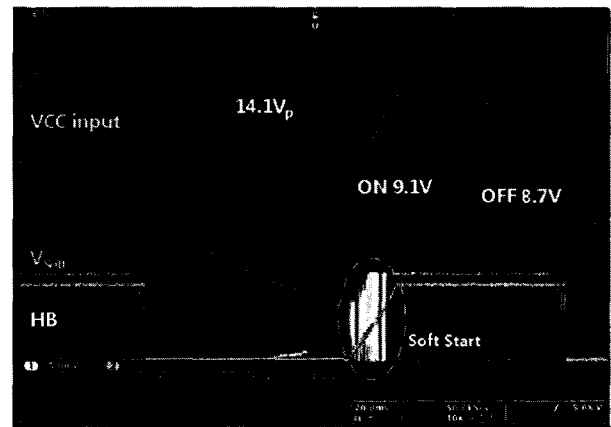


그림 16. VCC 입력에 대한 UVLO 동작 및 HB 출력파형  
Fig. 16. Output waveform of HB and UVLO operation as VCC input.

나. Brown Out

그림 17은  $F_{min} = 48.53$  kHz,  $F_{max} = 109$  kHz, Deadtime = 680 ns,  $C_{ss} = 1$  uF의 동작 조건에서 Brown Out 회로의 동작 파형을 나타낸다. VHV 입력이 상승하면서 인가되었을 경우 8.6 V 이상의 전압에서 soft start 동작을 하게 되면서 Vout 출력이 높아짐을 볼 수 있다. 반대로 VHV 입력이 감소하게 될 경우에는 8.1 V 이하에서 HB 출력이 Off되어 Vout이 감소되게 된다. VHV의 입력에 대한 ON, OFF 전압은 brown out 회로의 외부 저항 Rupper, Rlower을 조정하여 가변이 가능하다.

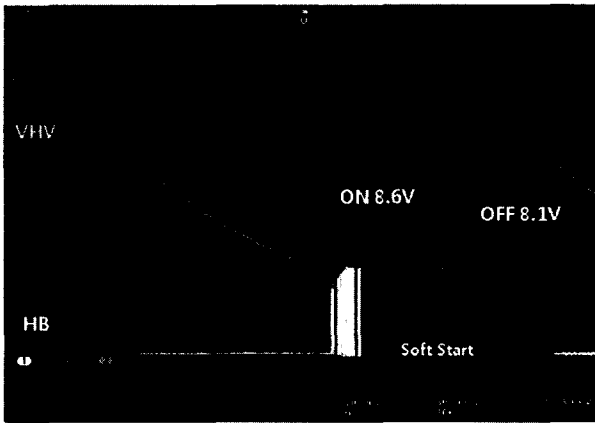


그림 17. HV 전압에 대한 brown out 동작 및 HB 출력파형  
 Fig. 17. HB output waveform and brown out operation as HV voltage.

다. Fault detector

그림 18은 fault detector의 fast fault 동작을 나타낸 것이다. fast fault 회로는 2차 측의 Vout 전압을 감지하여 피드백을 통해서 특정전압 이상이 되면 클럭 생성기의 동작을 즉각적으로 멈추게 하는 역할을 한다. fast fault 입력이 기준 전압보다 커질 경우 즉각적으로 fault 신호가 low가 되면서 클럭 생성기의 동작을 멈추게 하고, HVG, LVG 출력은 나타나지 않는다. fast fault 입력이 기준 전압보다 낮아질 경우에 HVG, LVG 출력은 soft start 동작을 거치면서 정상 주파수로 클럭 신호를 내보낸다.

그림 19는 fault detector의 slow fault 동작을 나타낸

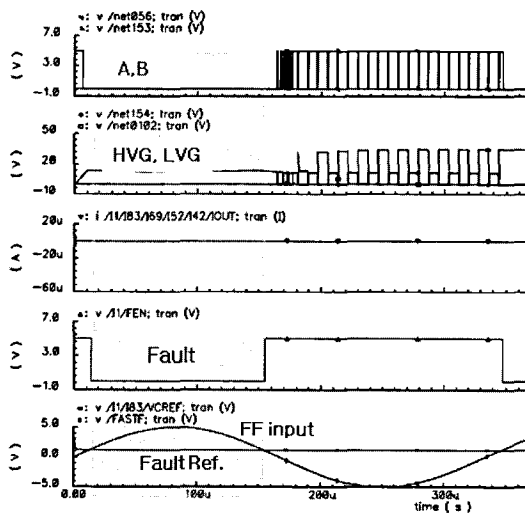


그림 18. fast fault 동작 파형  
 Fig. 18. Waveform of the fast fault operation.

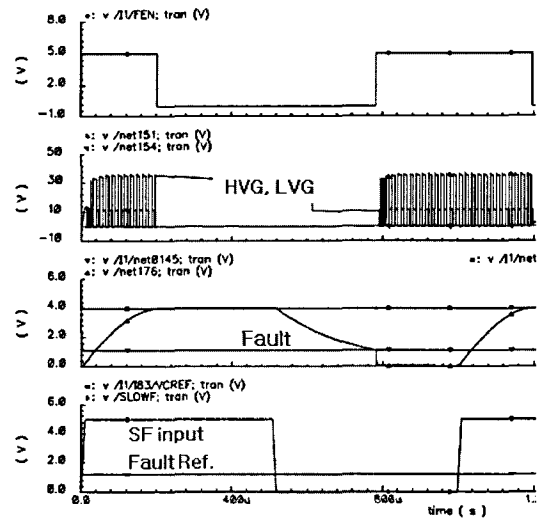


그림 19. Slow fault의 동작 파형  
 Fig. 19. Waveform of the slow fault operation.

표 1. 제작된 LLC 공진 제어 IC의 성능  
 Table 1. Performance of the designed LLC resonant controller.

	파라미터	모의 실험	측정 결과	Unit	
동작	VDD	5	5	V	
	VCC	15	15	V	
	Iq(@freq, no load)	8.8	7.8	mA	
	피드백				
	Internal pull-down resistor	20	19	kΩ	
	Voltage no VCO action	1.2	1.2	V	
	타이머				
	Soft start charge current	121.2	110.3	μA	
	Soft start ending voltage	2.2	2.2	V	
	클럭 제너레이터				
deadtime(max)	2	2	us		
deadtime(min)	500	500	ns		
Max freq.	500	531	kHz		
Min freq.	50	46	kHz		
드라이버 출력	Isink	437	323	mA	
	Isource	429.7	327.7	mA	
	tr.(@2nF load)	52	74.5	ns	
	tf.(@2nF load)	54.9	75.1	ns	
	UVLO				
보호회로	VUVLO(turn on)	9	9.1	V	
	VUVLO(turn off)	8.6	8.7	V	
	Brown out				
Hysteresis Current	20.8	17.6	μA		

것이다. slow fault 회로는 1차 측의 LLC 공진회로의 과전류에 의해 발생하는 회로의 과열을 방지하기 위해 1차 측에 흐르는 전류를 전압으로 변환하여 입력이 일정시간 동안 유지될 경우 fault detector R, C 양단에 전압이 증가하게 되고, 4 V가 되면 클럭을 off시킨다. 입력이 제거되면 R, C 시정수에 따라 방전이 일어나고 1.2V 전압에 도달하면 soft start 동작을 거치면서 클럭을 발생시킨다.

표 2. 기존 제품과의 성능 비교

Table 2. Performance comparison results with prior works.

제조사		STM	On Semi.	Philips	Moto-rola	This work	UNIT
동작	$V_{\text{supply}}$	10.7	13.3	13.4	12	15.5	V
	$I_o(@\text{freq})$	2	4	2.4	27	7.8	mA
	$V_{\text{UVLO,ON}}$	10.7	13.3	13.4	9	9.1	V
	$V_{\text{UVLO,OFF}}$	8	9.5	9.4	8.6	8.7	V
드라이버 출력	$I_{\text{sink}}$	450	1000	300	200	328	mA
	$I_{\text{source}}$	250	500	180	200	323	mA
	rising time (@1nF load)	80	40	-	20	75(2.2nF)	ns
	falling time (@1nF load)	40	20	-	15	75(2.2nF)	ns
클럭 체너레이터	Max freq.	120	500	500	2050	531.0	kHz
	Min freq.	60	50	200	525	46.0	kHz
	deadtime(max)	0.27	2	0.4	0.25	2.0	$\mu\text{s}$
	deadtime(min)		0.1			0.1	
보호회로 유무	UVLO	yes	yes	yes	yes	yes	-
	Brown out	no	yes	no	no	yes	
	Fault	no	yes	no	yes	yes	

#### IV. 결 론

본 연구를 통해 개발된 LLC 공진 제어 IC는 동부하이텍 2P3M 0.35  $\mu\text{m}$  BCD 공정을 이용하여 제작되었으며, 5 V, 15 V 전원 전압에서 7.8 mA 전류를 소비하고 1400  $\mu\text{m}$  X 1450  $\mu\text{m}$ 의 면적을 차지한다. LLC 공진 회로를 제어하기 위해서 주파수가 가변 가능한 회로를 내장하고 있다. 외부의 튜닝 저항을 사용하여 가변 가능한 주파수 범위는 46 kHz~531 kHz이다. 클럭 생성기는 soft start 기능과 외부 전압에 의해 주파수를 조절할 수 있는 회로가 내장 되어 있어 외부에 전압 피드백 회로를 구성하여 주파수를 가변 시킬 수 있다. 발생하는 클럭 신호는 HVG, LVG 드라이버를 통해서 큰 입력 커패시턴스와 높은 문턱전압을 갖는 IGBT 를 구동할 수 있도록 높은 전류 및 전압을 제공한다. HVG, LVG를 통해서 출력되는 전압 진폭은 13.7 V이고, 2.2 nF의 부하 조건에서 74 ns의 상승시간과 75 ns의 하강시간을 갖는다. 이때 IGBT의 게이트 입력으로 제공되는  $I_{\text{source}}$ ,  $I_{\text{sink}}$  전류는 327.7 mA와 323.0 mA이다.

#### 참 고 문 헌

- [1] Bo Yang, "Topology Investigation for Front End DC/DC Power Conversion for Distributed Power System", September 12, 2003.
- [2] Sanjaya Maniktala, "Switching Power Supplies A

to Z", ISBN 0-7506-7970-0

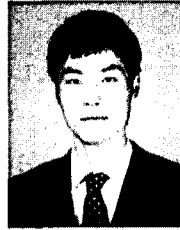
- [3] Robert W. Erickson & Dragan Maksimovic, "Fundamentals of Power Electronics Second Edition", 2nd edition, 2001, ISBN 0-7923-7270-0
- [4] CHRISTOPHE P. BASSO, "Switch-Mode Power Supplies", ISBN 978-0-07-150859-9
- [5] R. Jacob Baker, "CMOS Circuit Design, Layout, and Simulation", IEEE, 1998, ISBN 0-7803-3416-7
- [6] Behzad Razavi, "Design of Analog CMOS Integrated Circuits", 2001, ISBN 0-07-118815-0
- [7] Bo Yang & Fred C. Lee, "LLC Resonant Converter for Front End DC/DC Conversion", 2002, IEEE
- [8] On-Semi, "NCP1396A, NCP1396B Product Preview", Feb 2007.
- [9] On-Semi, "AND8311/D, Understanding the LLC Structure in Resonant Applications", Jan 2008.
- [10] On-Semi, "AND8293/D, Implementing an LCD TV Power Supply with the NCP1396A, NCP1605, and NCP1027", Jun 2007.



— 저 자 소 개 —



조 후 현(학생회원)  
2006년 동양대학교 전자공학과  
학사 졸업.  
2008년~현재 건국대학교 전자  
정보통신공학과  
석사 과정.  
<주관심분야 : 아날로그/디지털  
Mixed Mode 설계>



홍 성 화(학생회원)  
2008년 한림대학교 전자공학과  
학사 졸업.  
2008년~현재 건국대학교 전자정  
보통신공학과 석사과정.  
<주관심분야 : 아날로그/디지털  
Mixed Mode 설계>



한 대 훈(정회원)  
2007년 광운대학교 전파공학과  
학사 졸업.  
2009년 광운대학교 전자공학과  
석사 졸업.  
2009년~현재 삼성전기  
주임연구원

<주관심분야 : RF / 아날로그 집적회로설계>



천 정 인(정회원)  
2002년 서강대학교 전자공학과  
학사 졸업.  
2004년 서강대학교 전자공학과  
석사 졸업.  
2004년~현재 삼성전기  
책임연구원

<주관심분야 : 아날로그 집적회로 설계>



허 정(평생회원)  
1983년 서울대학교 전자공학과  
석사 졸업.  
1991년 서울대학교 전자공학과  
박사 졸업.  
1991년~현재 건국대학교  
전자공학부 교수.

<주관심분야 : 안테나, RF 및 Microwave 회로>



이 강 운(평생회원)  
2003년 서울대학교 전기공학부  
박사 졸업.  
2000년~2005년 (주)지씨티리씨치  
책임 연구원.  
2005년~현재 건국대학교  
전자공학부 부교수.

<주관심분야 : RF · 아날로그 집적회로 설계, 아  
날로그/디지털 Mixed Mode 설계>