논논문 2010-47SD-5-11

0.357 ps의 해상도와 200 ps의 입력 범위를 가진 2단계 시간-디지털 변환기의 설계

(A Design of 0.357 ps Resolution and 200 ps Input Range 2-step Time-to-Digital Converter)

박 안 수*, 박 준 성*, 부 영 건*, 허 정**, 이 강 윤**

(AnSoo Park, Joon-Sung Park, YoungGun Pu, Jeong Hur, and Kang-Yoon Lee)

요 약

본 논문에서는 디지털 위상동기루프에서 사용하는 고해상도와 넓은 입력 범위를 가지는 2 단계 시간-디지털 변환기(TDC) 구조를 제안한다. 디지털 위상동기루프에서 디지털 오실레이터의 출력 주파수와 기준 주파수와의 위상 차이를 비교하는데 사용하는 TDC는 고해상도로 구현되어야 위상고정루프의 잡음 특성을 좋게 한다. 기존의 TDC의 구조는 인버터로 구성된 지연 라인으로 이루어져 있어 그 해상도는 지연 라인을 구성하는 인버터의 지연 시간에 의해 결정되며, 이는 트랜지스터의 크기에 의해 결정된다. 따라서 특정 공정상에서 TDC의 해상도는 어느 값 이상으로 높일 수 없는 문제점이 있다. 본 논문에서는 인버터보다 작은 값의 지연 시간을 구현하기 위해 위상-인터폴레이션 기법을 사용하였으며, 시간 증폭기를 사용하여 작은 지연 시간을 큰 값으로 증폭하여 다시 TDC에 입력하는 2 단계로 구성하여 고해상도의 TDC를 설계하였다. 시간 증폭기의 이득에 영향을 주는 두 입력의 시간 차이를 작은 값으로 구현하기 위해 지연 시간이 다른 두 인버터의 차이를 이용하여 매우 작은 값의 시간 차이를 구현하여 시간증폭기의 성능을 높였다. 제안하는 TDC는 0.13 μm CMOS 공정으로 설계 되었으며 전체 면적은 800 μm × 850 μm이다. 1.2 V의 공급전압에서 12 mA의 전류를 사용하며 0.357 ps의 해상도와 200 ps의 입력 범위를 가진다.

Abstract

This paper presents a high resolution, wide input range 2-step time-to-digital converter used in digital PLL. TDC is used to compare the DPLL output frequency with reference frequency and should be implemented with high resolution to improve the phase noise of DPLL. The conventional TDC consists of delay line realized inverters, whose resolution is determined by delay time of inverter and transistor size, resulting in limited resolution. In this paper, 2-step TDC with phase-interpolation and Time Amplifier is proposed to meet the high resolution and wide input range by implement the delay time less than an inverter delay. The gain of Time Amplifier is improved by using the delay time difference between two inverters. It is implemented in 0.13 μm CMOS process and the die area is 800 μm × 850 μm. Current consumption is 12 mA at the supply voltage of 1.2 V. The resolution and input range of the proposed TDC are 0.357 ps and 200 ps, respectively.

Keywords: Time-to-Digital Converter, Phase-Interpolation, Time-Amplifier, 2-step TDC, ADPLL

I. 서 론

무선 통신용 송수신기에서 로켈 오실레이터(LO) 주파수를 공급하기 위하여 위상동기 루프를 구성하여 많이 사용하고 있다. 이에 최근에는 공정 스케일이 낮아지고 있어, 아날로그 방식의 위상동기 루프 동작에 문

* 학생회원, ** 평생회원, 건국대학교 전자정보통신공학부
(Department of Electronic Engineering, Konkuk University)

※ 이 논문은 2009년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(No. 2009-0068457).

접수일자: 2009년12월22일, 수정완료일: 2010년4월19일

제점이 나타나고 있다. 그리하여, 이를 디지털로 구성할 경우 공정변화에 둔감하기 때문에 이를 극복하고자 디지털 방식의 위상동기 루프를 사용하기 시작하였다. 이에 구성블록으로 시간-디지털 변환기(TDC)를 사용하고 있다.

디지털 위상동기루프는 하위 블록으로 사용하는 TDC의 해상도에 따라 그 성능이 결정된다. 따라서 높은 성능의 위상동기루프를 구현하기 위해서는 고해상도의 TDC를 필요로 한다.

TDC는 한 입력은 지연 라인을 거쳐 시간 지연을 갖게 한 후 또 다른 입력과 비교하여 디지털 코드로 출력한다. 따라서 해상도는 시간 지연의 크기에 따라 해상도가 결정된다. 기존 TDC 구조에서는 지연 라인을 주로 인버터로 구성하기 때문에 해상도가 인버터의 지연 시간에 의해 결정된다. 그 지연 시간은 트랜지스터의 최소 크기로 설계된 인버터의 지연 시간 이하의 값으로 구현할 수 없어 특정 공정상에서는 지연 시간이 제한이 되어 고해상도의 TDC를 구현하기 어려운 문제점이 있다.[2]

본 논문에서는 이와 같은 문제를 해결하고자 위상-인터폴레이션 기법과 시간 증폭기를 사용하여 2단계로 구성하여 고해상도와 넓은 범위를 가지는 새로운 구조의 TDC를 제안하였다.

II. 본 론

1. 기존의 단일 지연 라인 TDC

그림 1은 디지털 위상동기루프의 개념도이다.[1] TDC는 디지털 컨트롤 오실레이터(DCO)의 출력 주파수와 기준 주파수 간의 차이를 디지털 코드로 변환하여 부치환 루프로 보상하는 역할을 한다. 따라서 출력 주파수의 위상 노이즈를 줄이기 위해서는 고해상도의 TDC가

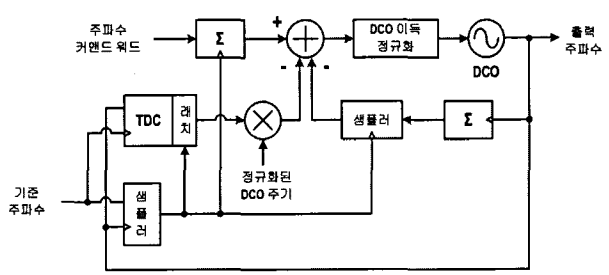


그림 1. 디지털 위상동기루프의 개념도
Fig. 1. Block Diagram of All-Digital Phase-Locked Loop.

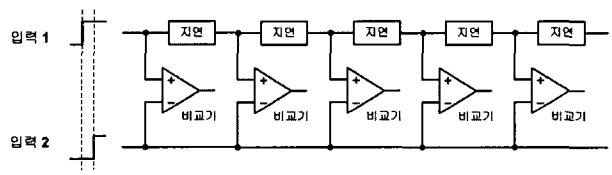


그림 2. 일반적인 TDC 개념도
Fig. 2. Block Diagram of Conventional TDC.

필요로 한다.

그림 2는 종전의 단일 지연 라인(Single Delay Line)을 가지는 일반적인 TDC의 개념도이다.[2]

단일 지연 라인에서 지연 라인을 구성하는데 통상적으로 인버터로 구현되며 위의 구조의 TDC 해상도는 지연 라인을 구성하는 인버터의 지연 시간에 의해 결정된다. 인버터의 지연 시간은 공정의 트랜지스터의 크기에 의해 결정되기 때문에 특정 공정상에서 TDC의 해상도는 어느 이상 값으로 높일 수 없는 문제점이 있다.

2. 제안하는 위상-인터폴레이션 기법과 시간 증폭기를 이용한 2단계 TDC

그림 3는 제안하는 TDC의 개념도이다.

TDC는 전체적으로 Coarse TDC와 Fine TDC 및 시간증폭기(TA)로 구성되어 있다. 입력 1과 입력 2의 시간 간격은 Coarse TDC에 의해 2진수 코드를 출력하며 가장 가까운 지연된 입력 1과 입력 2를 시간 증폭기로

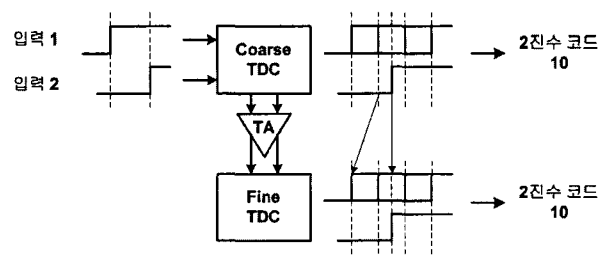


그림 3. 제안하는 TDC 개념도
Fig. 3. Block Diagram of the Proposed TDC.

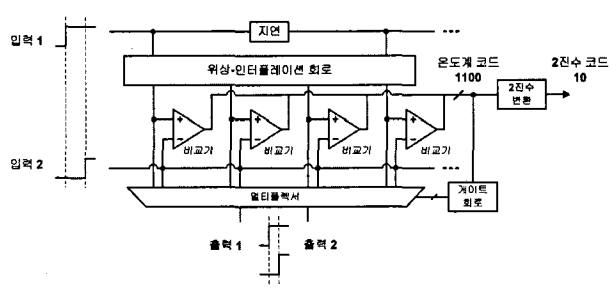


그림 4. 제안하는 Coarse TDC 개념도
Fig. 4. Block Diagram of the Proposed Coarse TDC.

전달한다. 시간 증폭기는 두 파형의 시간 간격을 큰 값으로 증폭하여 Fine TDC에 전달한다. Fine TDC는 입력된 두 파형의 시간 간격을 2진수 코드로 출력한다.

Coarse TDC는 인버터로 구성된 지연 라인과 저항들로 구성된 위상-인터폴레이션 및 비교기, XOR로 구성된 게이트 회로, 멀티플렉서를 포함한다.

Coarse TDC의 입력 1은 일반적으로 오실레이터 신호 또는 분주된 오실레이터 신호가 입력되며 지연 라인의 시작 노드로 입력되어 여러 지연 셀들을 거쳐 마지막 노드까지 전달된다. 입력 1이 입력되는 시간 지연 라인은 인버터로 구성되며 약 40 ps의 시간 지연을 가진다. 약 40 ps의 시간 지연을 가지는 인버터의 입출력 노드의 두 신호는 위상-인터폴레이션 회로에 입력된다.

Coarse TDC의 입력 2는 일반적으로 기준 신호가 입력되며 아무런 신호 왜곡 없이 마지막 노드까지 전달된다.

그림 5는 위상-인터폴레이션의 개념도이다.

위상-인터폴레이션 회로는 입력 1과 입력 2의 전압 차이를 저항에 의해 전압 분배를 한 후 버퍼를 거쳐서 입력 1과 입력 2 사이의 시간 간격을 여러 개의 위상으로 분할한 파형들을 출력한다. 위상-인터폴레이션에서 구성되는 저항들은 출력들이 일정한 시간 간격을 가질 수 있도록 서로 다르게 설정되며 각 저항들을 정확한 저항값을 가질 수 있도록 저항 튜닝 회로를 포함한다. 제안한 위상-인터폴레이션은 8-위상을 사용하여 40 ps의 지연 시간을 가진 두 파형을 입력 받아 8개의 위상으로 세분화하여 5 ps의 지연 시간을 가진 파형을 출력한다.

Coarse TDC에서 지연 라인과 위상-인터폴레이션 회로를 통해 매우 작은 값으로 지연된 입력 1들의 여러 노드들의 파형의 상승 에지와 입력 2의 파형의 상승 에지를 여러 비교기에서 비교하여 출력된 온도계 코드를 2진수 코드로 변환하여 최종 출력한다. Coarse TDC는 인버터 및 위상-인터폴레이션에 의해 해상도는 5 ps를 가진다.

지연된 입력 1들과 입력 2에서 시간 간격이 가장 작은 파형을 선택하기 위해 출력된 온도계 코드에서 '1'과 '0'이 연속으로 출력된 부분을 확인하기 위해 XOR로 구성된 게이트 회로를 거쳐 멀티플렉스의 셀렉션 신호로 입력된다.

멀티플렉서에서 출력된 두 파형의 시간 간격은 Coarse TDC의 해상도인 5 ps 이하가 된다. 인버터로 구성되는 지연 라인과 위상-인터폴레이션으로 5 ps 이하의 시간간격을 구현하기 매우 어렵기 때문에 5 ps의 시간간격을 시간증폭기에서 증폭하여 수십 ps로 늘린 후 Fine TDC로 전달된다.

그림 6는 시간 증폭기의 회로도이다.

시간증폭기는 큰 로딩 캐패시턴스를 가지는 래치와 Toff의 시간 지연을 가진 지연 소자 및 XNOR으로 구성된다.

래치 1은 입력 2와 입력 2보다 α의 지연 시간을 가지는 입력 1를 입력으로 받아 래치 출력을 XNOR하여 출력 1에 전달한다. 래치 2는 입력 1과 입력 1보다 α의 지연 시간을 가지는 입력 2를 입력으로 받아 래치 출력을 XNOR하여 출력 2에 전달한다. 즉 각각의 래치는 α의

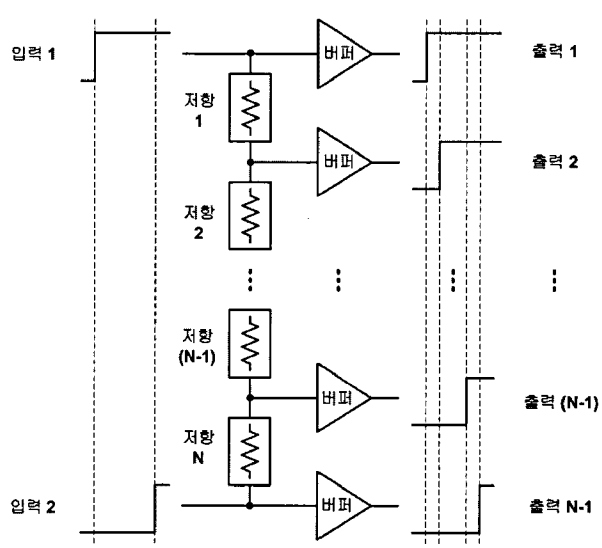


그림 5. 위상-인터폴레이션 개념도
Fig. 5. Block Diagram of Phase-Interpolation.

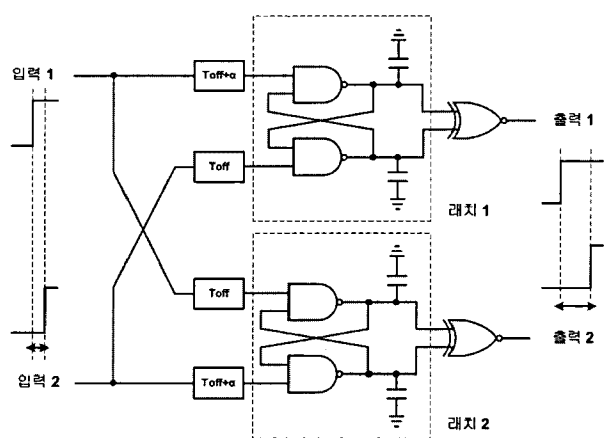


그림 6. 시간 증폭기 회로도
Fig. 6. Time Amplifier Schematic.

지연 시간 차이를 가진 두 파형이 입력된다.

시간 증폭기는 입력 1과 입력 2의 시간 간격의 값을 증폭하여 출력 1과 출력 2의 시간 간격을 넓힌다. 그 증폭되는 정도는 래치에 입력되는 입력 1과 입력 2의 지연 시간 차이(α)와 래치의 트랜스컨덕턴스(gm)와 반비례하며 래치의 로딩 캐패시턴스(C)에 비례한다.[4]

$$TA\text{ 이득} = \frac{2C}{gm \times \alpha} \quad (1)$$

시간 증폭기의 이득을 높이기 위해 α값을 줄이는데 증폭도를 월등히 높이기 위해 수 ps정도의 지연시간을 필요로 하지만 통상적인 인버터의 지연 시간보다 매우 작은 값이기 때문에 구현하기가 어렵다. 따라서 입력 1과 입력 2를 모두 인버터의 지연 시간을 가지게 하되 입력 1과 입력 2에 연결되는 인버터의 지연시간을 다르게 하여 두 인버터의 지연 시간의 차이로 수 ps의 지연시간을 구현하였다. 즉 입력 1에 연결되는 인버터는 Toff의 지연 시간을 갖게 하며, 입력 2에 연결되는 인버터는 위 인버터보다 크기가 약간 큰 인버터를 사용하여 Toff + α의 지연 시간을 갖게 하여 그 차이인 α를 구현하여 수 ps의 지연시간을 갖도록 설계하였다.

시간 증폭기의 이득 높이기 위해 래치의 로딩 캐패시턴스를 높이는데 래치의 출력 노드에 임의적으로 캐패시터를 연결하여 큰 로딩 캐패시턴스를 갖게 하였다.

Fine TDC는 인버터로 구성된 지연 라인과 저항들로 구성된 위상-인터폴레이션 및 비교기들을 포함한다.

Fine TDC는 시간증폭기로 증폭된 두 신호를 입력받으며, Coarse TDC에서 시간증폭기으로 신호를 전달하기 위해 필요한 하위 블록인 게이트 회로와 멀티플렉서가 제거된 구조로 동작 역시 Coarse TDC와 동일하여 비교기들에서 출력되는 온도계 코드를 2진수 코드로 변환하여 최종 출력한다. Fine TDC는 인버터 및 위상-인터폴레이션에 의해 해상도는 5 ps를 가진다.

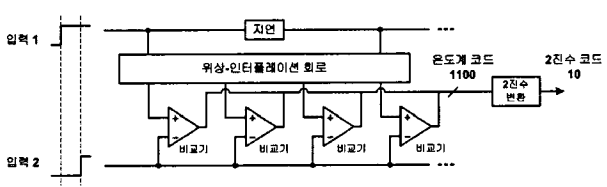


그림 7. 제안하는 Fine TDC 개념도
Fig. 7. Block Diagram of the Proposed Fine TDC.

3. 저항 튜닝 회로

일정한 시간 간격을 출력하는 위상-인터폴레이션 회로는 저항에 매우 민감하게 동작하게 된다. 하지만 공정상 저항은 ±15%의 변화값을 가지게 되므로 설계에서는 이를 고려해야 한다. 따라서 공정상 저항이 변하더라도 자동으로 본래의 저항으로 보상해 주는 튜닝 회로를 구성하여 위상-인터폴레이션 블록의 위상을 일정하게 유지하도록 설계하였다.

그림 8은 저항 튜닝 회로도이다.

저항 튜닝 회로는 노드 1과 노드 2 사이에 스위치로 연결되어 구성되어 있는 저항들과 스위치를 컨트롤하는 디지털 코드를 발생하는 회로로 구성되어 있다.

노드 1과 노드 2에 연결되어 있는 저항 R1은 실제 필요로 하는 저항이며 스위치로 연결된 저항 R2 ~ R4는 저항 R1과 병렬 연결되어 스위치 S1~S3의 온오프에 따라 저항 R1의 저항값이 ±15%가 될 수 있다. 공정에 의해 저항 R1의 저항값이 변하더라도 병렬 연결된 저항 R2 ~ R4에 연결된 스위치 S1~S3에 스위치 컨트롤 비트를 인가함으로써 노드 1과 노드 2 사이에 보이는 저항은 일정한 값으로 유지될 수 있다.

스위치 컨트롤 비트를 발생하는 회로는 저항 R1 ~ R4와 동일한 저항값으로 구성한 복제 저항과 밴드갭 레퍼런스 및 비교기, 디지털 컨트롤러로 구성되어 있다.

밴드갭 레퍼런스에서 생성된 기준 전류는 복제 저항에 전달되어 일정 전압을 형성시킨다. 형성된 일정 전압은 기준 전압과 비교기를 통해 전압값을 비교한 후

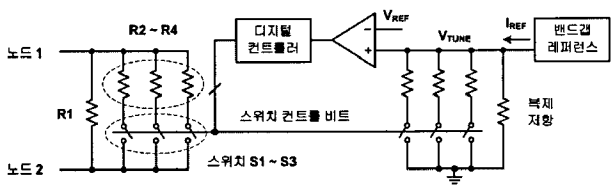


그림 8. 저항 튜닝 회로도
Fig. 8. Resistor Tuning Schematic.

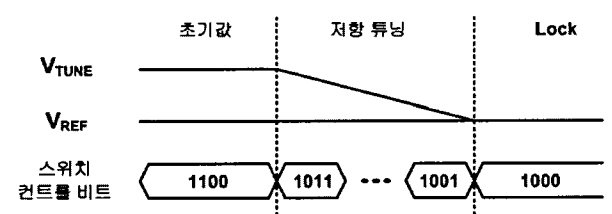


그림 9. 제안하는 저항 튜닝 회로도의 타이밍 다이어그램
Fig. 9. Timing diagram of the proposed resistor tuning method.

출력 결과를 디지털 컨트롤러를 거쳐 디지털 코드로 변환되어 복제 저항에 연결된 스위치로 전달되는 부궤환 루프로 동작하게 된다.

그림 9는 제안하는 저항 튜닝 회로도의 타이밍 다이어그램이다.

초기에 저항 R1이 공정에 의해 설계치보다 높아질 경우 복제 저항 또한 설계치 보다 높아지게 된다. 밴드갭 레퍼런스에서 생성되는 전류는 일정하므로 복제 저항에 형성되는 전압 V_{TUNE}은 상승하게 되고 기준 전압보다 높으므로 비교기에서는 '1'을 출력하게 된다. 출력된 비트는 디지털 컨트롤러를 통해 병렬 연결된 복제 저항들의 스위치로 연결된다. 저항 튜닝이 이루어지는 동안 스위치 컨트롤러 비트는 낮아지면서 V_{TUNE}와 V_{REF}가 같아질 때 원래의 저항값으로 복귀되면서 저항 튜닝이 완료된다.

반대의 경우, 저항 R1이 공정에 의해 설계치 보다 낮아질 경우 복제 저항에 형성된 전압은 낮아지고 비교기에서는 '0'을 출력하게 된다. 출력된 비트는 디지털 컨트롤러로 인해 병렬 연결된 복제 저항의 스위치가 꺼지게 되며 저항값은 다시 높아지게 된다.

저항 R1이 공정에 의해 그 값이 변하더라도 위 동작이 반복되는 부궤환 루프를 통해 일정한 저항값이 유지되어 위상-인터폴레이션의 출력 파형의 간격이 일정하게 유지된다.

III. 실 험

그림 10은 제안하는 2단계 TDC의 레이아웃이다. 0.13 μm CMOS 공정을 사용하였으며 전체 면적은 800 μm × 850 μm이다.

그림 11은 위상-인터폴레이션의 모의실험 결과이다. Coarse TDC 및 Fine TDC에서 입력 받은 파형은 인버터로 구성된 지연 라인을 통과하면서 40 ps의 시간 지연이 발생한다. 40 ps의 시간 지연이 생긴 두 파형을 위상-인터폴레이션에서 입력받아 8개의 위상으로 세분화하여 시간 지연인 5 ps인 8개의 파형을 출력한다.

시간 증폭기는 Coarse TDC의 두 출력 파형의 시간 간격을 증폭하여 Fine TDC에 입력한다. 그림 12는 시간 증폭기의 두 입력 파형의 시간 간격에 따른 두 출력 파형의 시간 간격을 보여주는 시간 특성 곡선의 모의실험 결과이다. 두 입력의 시간 간격이 -10 ps ~ 10 ps에서 선형적인 동작을 하며 이득은 14이다.

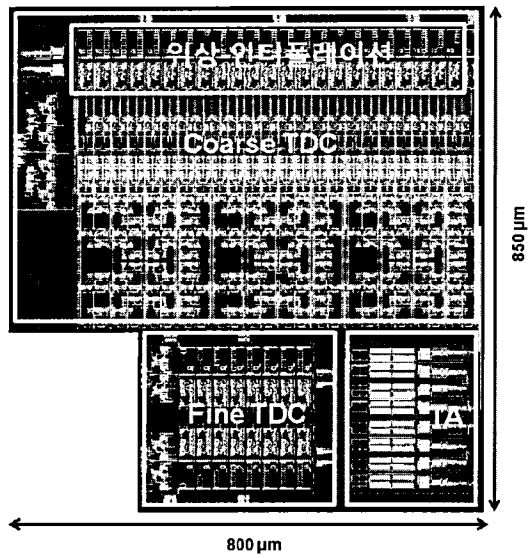


그림 10. 2단계 TDC 레이아웃
Fig. 10. Layout of 2-step TDC.

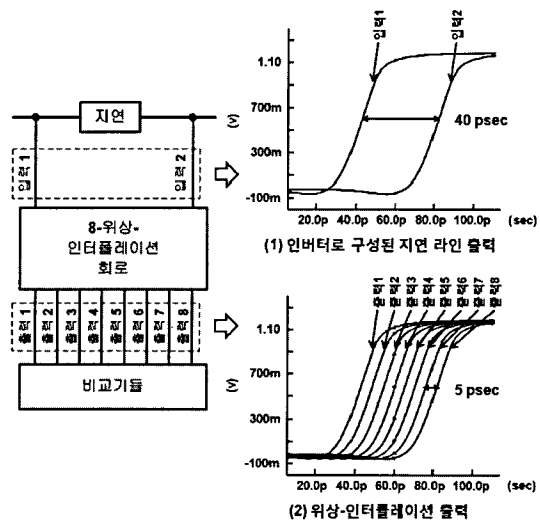


그림 11. 위상-인터폴레이션 모의실험 결과
Fig. 11. Phase-Interpolation Simulation Result.

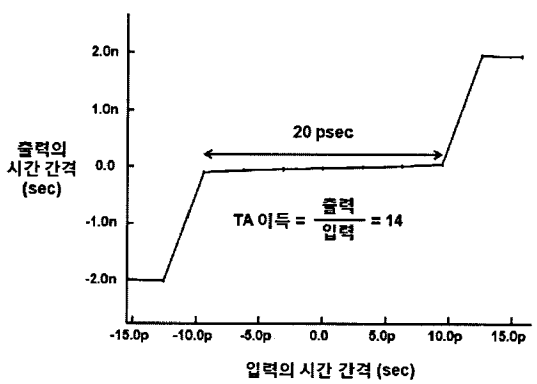


그림 12. 시간 증폭기 특성 곡선 모의실험 결과
Fig. 12. Time Amplifier Characteristic Simulation Result.

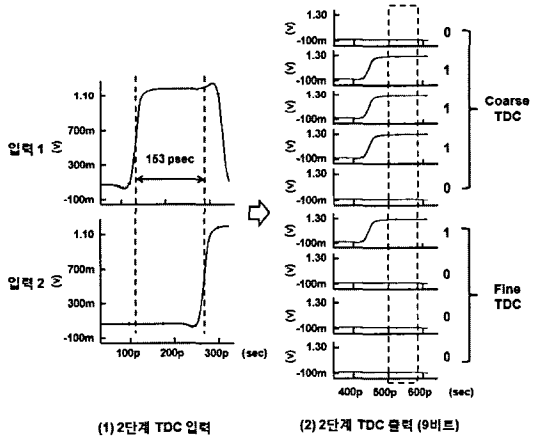


그림 13. 2단계 TDC 모의실험 결과
Fig. 13. 2-step TDC Simulation Result.

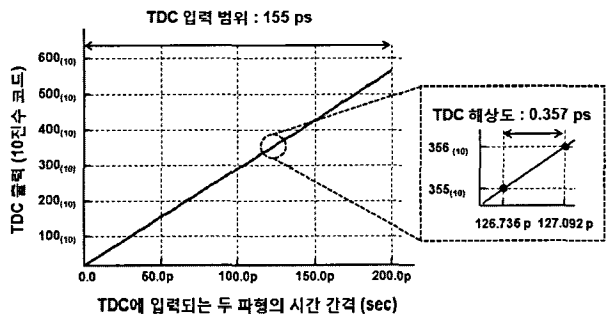


그림 14. 2단계 TDC 특성 모의실험 결과
Fig. 14. 2-step TDC Characteristic Simulation Result.

그림 13은 2단계 TDC의 모의실험 결과이다. 2단계 TDC에 153 ps의 시간 간격을 가진 두 파형을 입력하였을 때 Coarse TDC에서 인버터와 위상-인터폴레이션에 의한 5 ps의 해상도로 2진수 '01110'을 출력하며, 시간 증폭기에서 3 ps를 14배 증폭한 42 ps를 Fine TDC에서 인버터와 위상-인터폴레이션에 의해 5 ps 해상도로 2진수 '1000'을 출력한다.

그림 14는 제안한 2단계 TDC의 특성 모의실험 결과이다.

TDC에 입력하는 두 파형의 시간 간격을 0 ps 부터 200 ps 까지 증가하였을 때 TDC에서 출력하는 2 진수 코드의 결과를 10진수로 변환한 특선 곡선이다. 두 입력 파형의 시간 간격이 넓어질수록 출력되는 디지털 코드가 해상도에 맞게 증가한다. 2단계 TDC의 해상도는 0.357 ps이며 200 ps의 범위를 가진다.

표 1은 이전 논문들과 본 논문의 성능을 비교한 표이다.

$$FOM = 20\log(T_{RES}) - 20\log(F_O) + 10\log(\frac{P_{DC}}{1m\,W}) \quad (2)$$

표 1. 타 논문과의 성능 비교
Table 1. Comparison with prior works.

	공정	동작 주파수	해상도	소비 전력	FOM
[4]	90 nm CMOS	10 MHz	1.25 ps	3 mW	-373.3
[5]	0.13 μm CMOS	2 GHz	12 ps	2.5 mW	-400
[6]	90 nm CMOS	1.8 GHz	0.75 ps	70 mW	-409.2
제안하는 2단계 TDC	0.13 μm CMOS	2.4 GHz	0.357 ps	14.4 mW	-425

식 (2)는 제안한 2단계 TDC와 타 논문의 TDC간의 FOM (Figure of merit)를 나타낸다. T_{RES}는 TDC의 해상도이며 F_O는 TDC의 동작주파수, P_{DC}는 TDC의소비전력이다. 본 논문과 같은 공정 또는 더 작은 공정에서 설계된 TDC 보다 월등히 높은 성능을 구현하였다.

Ⅳ. 결 론

본 논문에서는 위상-인터폴레이션과 시간 증폭기로 구성되는 Coarse-Fine의 2단계 TDC를 제안하였다. Coarse TDC에서 인버터의 지연 시간을 위상-인터폴레이션 회로를 통해 더 세분화하였으며 세분화된 지연 시간을 시간 증폭기를 통해 넓게 증폭한 후 Fine TDC에서 다시 인버터와 위상-인터폴레이션를 이용함으로써 고해상도의 TDC를 구현하였다.

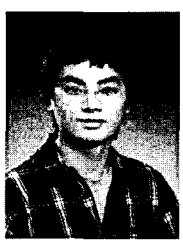
제안한 TDC는 0.13 μm CMOS 공정을 사용하였으며 전체 면적은 800 μm × 850 μm이다. 1.2 V의 공급전압에서 12 mA의 전류를 사용하며 다른 논문들과 비교하여 월등하게 높은 0.357 ps의 해상도와 200 ps 의 입력 범위를 가진다.

참 고 문 헌

[1] Staszewski. R.B., Balsara. P.T., "Phase-domain all-digital phase-locked loop", IEEE Trans. on Circuits and Systems II Express Briefs, Vol. 52, Issue 3, pp. 159-163, March 2005.
[2] Dudek. P., Szczepanski, S., Hatfield. J.V., "A high-resolution CMOS time-to-digital converter utilizing a Vernier delay line", IEEE J.

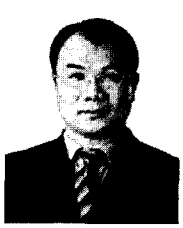
Solid-State Circuits, Vol. 35, Issue 2, pp. 240-247, February. 2000.
[3] Henzler. S., Koeppe. S., Lorenz. D., Kamp. W., Kuenemund. R., Schmitt-Landsiedel. D., "A Local Passive Time Interpolation Concept for Variation-Tolerant High-Resolution Time-to-Digital Conversion", IEEE J. Solid-State Circuits, Vol. 43, Issue 7, pp. 1666-1676, July 2008.
[4] Minjae Lee, Abidi. A.A., "A 9 b, 1.25 ps Resolution Coarse-Fine Time-to-Digital Converter in 90 nm CMOS that Amplifies a Time Residue", IEEE J. Solid-State Circuits, Vol. 43, Issue 4, pp. 769-777, April 2008.
[5] Tonietto, R., Zuffetti, E., Castello, R., Bietti, I., "A 3MHz Bandwidth Low Noise RF All Digital PLL with 12ps Resolution Time to Digital Converter", Solid-State Circuits Conference, 2006. ESSCIRC 2006. Proceedings of the 32nd European, pp. 150-153, September, 2006.
[6] Minjae Lee, Heidari. M. E., Abidi. A. A., "A Low-Noise Wideband Digital Phase-Locked Loop Based on a Coarse-Fine Time-to-Digital Converter With Subpicosecond Resolution", IEEEJ.Solid-State Circuits, Vol. 44, Issue 10, pp. 2808-2816, October. 2009.

저 자 소 개



박 안 수(학생회원)
2009년 건국대학교 전자공학과 학사 졸업.
2009년~현재 건국대학교 전자정보통신공학과 석사과정.
<주관심분야 : RF / 아날로그 집적회로 설계>

부 영 건(학생회원)
2008년 건국대학교 전자정보통신공학과 석사 졸업.
2008년~현재 건국대학교 전자정보통신공학과 박사과정.
<주관심분야 : RF / 아날로그 집적회로 설계>



이 강 윤(평생회원)-교신저자
2003년 서울대학교 전기공학부 박사 졸업.
2000년~2005년 (주)지씨티리써치 책임 연구원.
2005년~현재 건국대학교 전자공학부 부교수.
<주관심분야 : RF · 아날로그 집적회로설계, 아날로그/디지털 Mixed Mode 설계>

박 준 성(학생회원)
2008년 건국대학교 전자공학과 학사 졸업.
2008년~현재 건국대학교 전자정보통신공학과 석사과정.
<주관심분야 : RF / 아날로그 집적회로 설계>

허 정(평생회원)
1983년 서울대학교 전자공학과 석사 졸업.
1991년 서울대학교 전자공학과 박사 졸업.
1991년~현재 건국대학교 전자공학부 교수.
<주관심분야 : 안테나, RF 및 Microwave 회로>