

논문 2010-47SD-5-12

디지털 제어 발진기의 전력소모 최적화 설계기법

(A Design Procedure of Digitally Controlled Oscillator for Power Optimization)

이 두 찬*, 김 규 영**, 김 수 원***

(Doo-Chan Lee, Kyu-Young Kim, and Soo-Won Kim)

요 약

본 논문에서는 디지털 제어 발진기의 전력소모를 최적화하는 설계기법을 제안한다. 디지털 제어 발진기의 Coarse tuning 비트수와 Fine tuning 비트수를 조절하여 LSB Resolution, 주파수 범위, 선형성, 이식성에는 영향을 주지 않고 전력소모를 최적화한다. 이를 위해 제어 비트에 따른 디지털 제어 발진기의 전력소모 변화를 분석하였다. 본 논문에서는 0.13um 1.2V CMOS 라이브러리를 이용하여 제안한 설계기법을 적용한 경우와 그렇지 않은 경우를 모두 설계, 모의실험 및 검증하였다. 제안한 설계기법을 적용한 디지털 제어 발진기는 모의실험결과 283MHz부터 1.1GHz의 클록을 생성할 수 있으며, LSB Resolution은 1.7ps이다. 디지털 제어 발진기의 출력 주파수가 1GHz일 때 전력소모는 2.789mW이다.

Abstract

This paper presents a design procedure of digitally controlled oscillator(DCO) for power optimization. By controlling coarse tuning bits and fine tuning bits of DCO, the proposed design procedure can optimize the power dissipation and does not affect the LSB resolution, frequency range, linearity, portability. For optimization, the relationship between control bits and power dissipation of the DCO was analyzed. The DCO circuits using and unusing proposed design technique have been designed, simulated and proved using 0.13um, 1.2V CMOS library. The DCO circuit with proposed design technique has operation range between 283MHz and 1.1GHz and has 1.7ps LSB resolution and consumes 2.789mW at frequency of 1GHz.

Keywords : Digitally controlled oscillator(DCO), All-digital phased locked loop(ADPLL), Clock generator

I. 서 론

PLL(Phase-locked loop)은 디지털 신호전송과 통신

시스템에서 클록과 데이터를 복원하거나 주파수를 합성하는데 널리 사용되는 회로이다. 최근 CMOS 기술이 점점 발달함에 따라 트랜지스터의 누설 전류가 증가하게 되어 그림 1.(a)와 같은 아날로그 방식 PLL의 charge pump(CP) 설계가 어려워지고 있다^[1]. Charge pump의 누설 전류는 아날로그 방식의 PLL 제어 전압에 노이즈로 작용하여 래퍼런스 spur를 일으키게 된다. 또한 그림 1.(a)의 루프 필터(Low pass filter, LPF)에 사용되는 면적이 큰 저항과 커패시터는 SOC 설계에서 집적도와 이식성을 떨어뜨린다. 이러한 아날로그 방식 PLL의 문제점들을 해결하기 위해서 그림 1.(b)의 ADPLL(All-digital phase-locked loop)이 큰 관심을 받고 있다^[2~3]. ADPLL은 디지털 블록으로만 구성되어 아날로그 방식의 PLL보다 노이즈에 둔감하고 전원 전압

* 학생회원, 고려대학교 나노반도체공학과
(Dep. of Nano Semiconductor Eng.,
Korea University)

** 학생회원, *** 정회원, 고려대학교 전기전자전파
공학부
(Dep. of Electrical Eng., Korea University)

※ This work was supported by the Korea
Foundation for International Cooperation of
Science & Technology (KICOS) through a grant
provided by the Korea Ministry of Science &
Technology (MOST) (K20601000002-07E0100-
00220) and Seoul Program (10920)

접수일자: 2009년11월20일, 수정완료일: 2010년3월15일

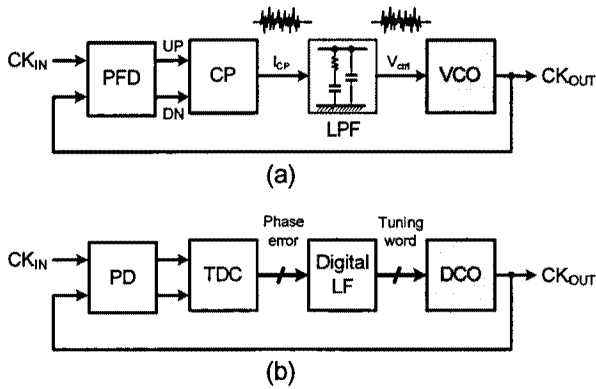


그림 1. (a) 아날로그 PLL, (b) 디지털 PLL
Fig. 1. (a) Analog PLL, (b) ADPLL

의 변화에 덜 민감하다. 또한 집적도와 이식성이 높아서 SOC 설계에 적합하다.

그림 1.(b)의 디지털 제어 발진기(Digitally controlled oscillator, DCO)는 그림 1.(a)의 전압 제어 발진기(Voltage controlled oscillator, VCO)와 같은 역할을 하므로 ADPLL의 전체 성능에 큰 영향을 준다. 디지털 제어 발진기는 일반적으로 높은 LSB Resolution, 넓은 주파수 범위, 선형성 그리고 이식성을 만족해야 한다^[4]. 또한 디지털 제어 발진기는 ADPLL의 전력소모의 약 50%를 차지하게 되므로 저전력 구현이 필수적이다^[5].

일반적으로 디지털 제어 발진기의 출력 주파수의 범위를 넓히고 Resolution을 높이기 위해서 그림 2와 같이 Coarse tuning 블록과 Fine tuning 블록으로 구성된다^[6]. 원하는 출력 주파수 범위와 Resolution을 만족하기 위해서 디지털 제어 발진기의 제어 비트수를 Coarse tuning 블록과 Fine tuning 블록에 적절히 분배해야 한다. 그러나 출력 주파수 범위와 Resolution은 같음에도 불구하고 Coarse tuning 비트수와 Fine tuning 비트수에 따라서 각 블록의 Delay cell의 개수가 달라지므로 전력소모에는 차이가 발생하게 된다. 이에 본 논문에서는 Coarse tuning 비트수와 Fine tuning 비트수를 조절하여 디지털 제어 발진기의 전력소모를 최적화할 수 있는 설계기법을 제안하였다.

논문의 구성은 다음과 같다. II장에서는 제안하는 디지털 제어 발진기의 전력소모 최적화를 위한 설계기법을 소개하고 III장에서는 디지털 제어 발진기를 구현하여 제안한 설계기법을 검증하도록 한다. 마지막으로 IV장에서는 결론을 도출하도록 한다.

II. 전력소모 최적화 설계기법

디지털 제어 발진기의 전력소모를 최적화하기 위해서는 Coarse tuning 비트수와 Fine tuning 비트수에 따른 전력소모 관계를 알아야 한다. 이를 위해 먼저 디지털 제어 발진기의 총 제어 비트수를 알아야 한다. 수식 (1)은 제어 비트수에 따라 디지털 제어 발진기가 제어할 수 있는 주파수 범위(T_{Range})를 나타낸다.

$$T_{Range} = 2 \times ((2^m - 1)T_{D1} + (2^n - 1)T_{D2}) \quad (1)$$

여기서 m 은 Coarse tuning 비트수, n 은 Fine tuning 비트수, T_{D1} 은 Coarse tuning 블록의 Resolution, T_{D2} 은 Fine tuning 블록의 Resolution, 즉 LSB Resolution을 나타낸다. Fine tuning 블록에서 조절 가능한 주파수 범위가 Coarse tuning 블록의 Resolution보다 커야하므로 수식 (1)은 다음과 같이 쓸 수 있다.

$$l = m + n > \log_2 \frac{T_{Range}}{2T_{D2}} \quad (T_{D1} < (2^n - 1)T_{D2}) \quad (2)$$

여기서 l 은 디지털 제어 발진기의 총 제어 비트수를 나타낸다. 수식 (2)를 이용하여 디지털 제어 발진기의 총 제어 비트수를 구할 수 있다.

디지털 회로에서 전력을 소비하는 주된 요인은 스위칭시 커패시터를 충전 또는 방전 하면서 발생하는 동적 전력소모이며 그 수식은 다음과 같다^[7].

$$P_{dyn} = C_L \cdot V_{DD}^2 \cdot f_{0 \rightarrow 1} \quad (3)$$

수식 (3)을 이용하여 디지털 제어 발진기의 총 동적 전력소모를 구할 때는 전원 전압(V_{DD})과 스위칭 주파수($f_{0 \rightarrow 1}$)는 제어 비트수와 무관하므로 제어 비트수에 따라 각 스위칭 노드별로 보이는 커패시터(C_L)의 크기만 고려하면 된다. 그림 2의 Coarse tuning 블록의 Delay cell은 인버터 두 개로 구성하였으며, MUX는 그림 3과 같이 Binary tree 구조를 기반으로 2-input NAND 게이트를 사용하였다. Coarse tuning 블록의 동적 전력소모는 다음과 같다.

$$P_{Coarse} = f \cdot V_{DD}^2 \cdot \{2^m (C_{inv} + C_{nand2}) + (2^m - 1)C_{inv}\} \quad (4)$$

또한 Coarse tuning의 제어 비트수에 따라 MUX 2-input NAND 게이트 개수도 달라지므로 MUX의 동적 전력소모도 고려해야 한다. MUX의 동적 전력소모

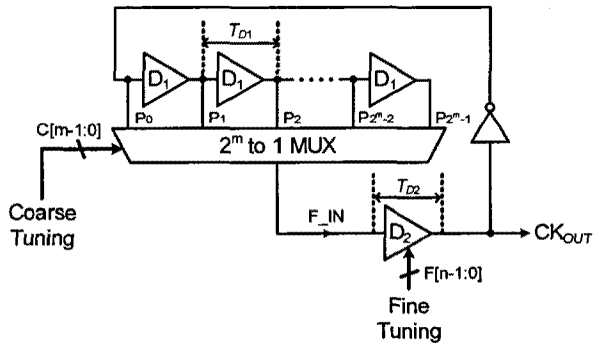


그림 2. 일반적인 디지털 제어 발진기의 블록 다이어그램
Fig. 2. Block diagram of conventional DCO.

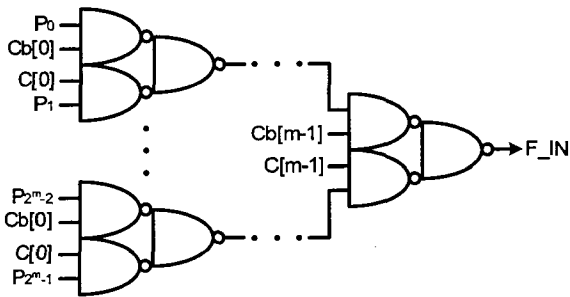


그림 3. 2^m 대 1 MUX의 블록 다이어그램
Fig. 3. Block diagram of 2^m to 1 MUX.

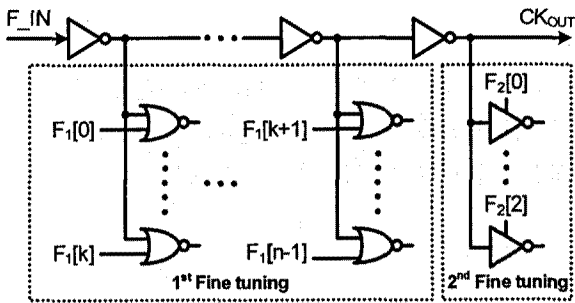


그림 4. Fine Tuning 블록 다이어그램
Fig. 4. Block diagram of fine tuning stage.

는 다음과 같다.

$$P_{MUX} = f \cdot V_{DD}^2 \cdot (2^{m+1} + 2^m - 4)C_{nand2} \quad (5)$$

디지털 제어 발진기의 Fine tuning 블록은 전력소모를 줄이고 LSB Resolution을 높이기 위해 Resolution이 다른 여러 개의 substage로 구성된다^[6]. 본 논문에서는 제안된 설계 기법을 보다 쉽게 검증하기 위해서 그림 4와 같이 Fine tuning 블록을 두 개로 나누어 구현하였다. 1st Fine tuning 블록은 제어 비트수 n , 2^2-1 개의 2-input NOR 게이트로 구현하였으며, 2nd Fine tuning 블록은 Coarse tuning 비트수와 Fine tuning 비트수가

변하더라도 LSB Resolution을 일정하게 유지하기 위해 제어 비트수 3, 2^3-1 개의 인버터로 구현하였다. Fine tuning 블록의 동적 전력소모는 다음과 같다.

$$P_{Fine} = f \cdot V_{DD}^2 \cdot ((2^n - 1)C_{nor2} + (2^3 - 1)C_{inv}) \quad (6)$$

수식 (4), (5), (6)을 이용하면 디지털 제어 발진기의 총 동적 전력소모를 구할 수 있으며 그 수식은 다음과 같다.

$$P_{Total} = P_{Coarse} + P_{MUX} + P_{Fine} \quad (7)$$

수식 (7)을 이용하면 디지털 제어 발진기의 동적 전력소모를 최적화하는 Coarse tuning 비트수와 Fine tuning 비트수를 구할 수 있다.

$$m = \log_2 \sqrt{\frac{2^l C_{nor2}}{2C_{inv} + 4C_{nand2}}} \quad \left(\frac{\partial P_{Total}}{\partial m} = 0 \right) \quad (8)$$

$$n = \log_2 \sqrt{\frac{2^l (2C_{inv} + 4C_{nand2})}{C_{nor2}}} \quad \left(\frac{\partial P_{Total}}{\partial n} = 0 \right) \quad (9)$$

수식 (8), (9)는 디지털 제어 발진기의 전력소모를 최적화 할 수 있는 Coarse tuning 비트수와 Fine tuning 비트수를 나타낸다.

III. 검증 결과

제안된 설계 기법을 검증하기 위해서 Matlab과 Spectre로 모의실험을 진행하였다. 먼저 Matlab을 이용하여 디지털 제어 발진기의 전력소모를 최적화하는 Coarse tuning 비트수와 Fine tuning 비트수를 구하였다. 다음으로 Matlab 결과를 검증하기 위하여 Spectre를 이용하여 디지털 제어 발진기를 구현하였다.

1. Matlab을 통한 모의실험 결과

Coarse tuning 비트수와 디지털 제어 발진기의 동적 전력소모 관계를 도식화하기 위해 먼저 수식 (1), (2)를 이용하여 총 제어 비트수를 12로 결정하였다. 수식 (4), (5), (6)에 사용되는 C_{inv} , C_{nand2} , C_{nor2} 의 크기는 CMOS 0.13um 공정 파라미터를 이용하여 구하였다. 디지털 제어 발진기의 출력 주파수가 1GHz, 전원 전압이 1.2V일 때 수식 (7)을 도식화하면 그림 5와 같다. 그림 5에서 Coarse tuning 비트수가 3, 4, 5일 때 동적 전력소모를

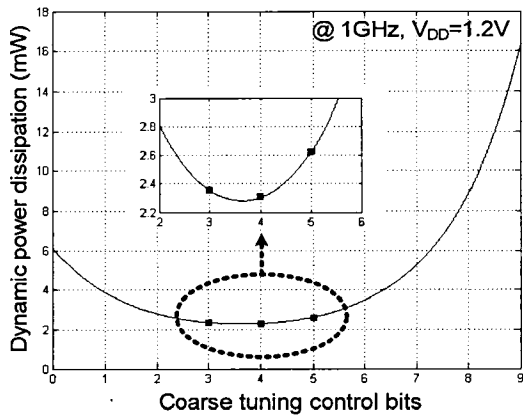


그림 5. Coarse tuning 비트수와 동적 전력소모 관계
Fig. 5. Coarse tuning bits vs Dynamic power dissipation.

비교해보면, 4일 때 동적 전력소모가 최소임을 확인할 수 있다. 따라서 Coarse tuning 비트수가 4, 1st Fine tuning 비트수가 5, 2nd Fine tuning 비트수가 3일 때 디지털 제어 발진기의 동적 전력소모가 최적화된다.

2. Spectre를 통한 모의실험 결과

Matlab 모의실험 결과를 검증하기 위하여 디지털 제어 발진기는 CMOS 0.13um 공정을 이용하여 Coarse tuning 비트수가 각각 3, 4, 5일 때를 모두 구현하였다. 그림 6은 각 경우에 대한 레이아웃을 나타내며, 면적은 550um × 150um (0.083mm²)로 모두 동일하다.

먼저 제안한 설계기법을 적용한 경우와 않은 경우를 비교하여 성능이 동일함을 확인하고, 전력소모를 비교하여 디지털 제어 발진기의 전력소모가 최적화가 되었는지 확인해야 한다.

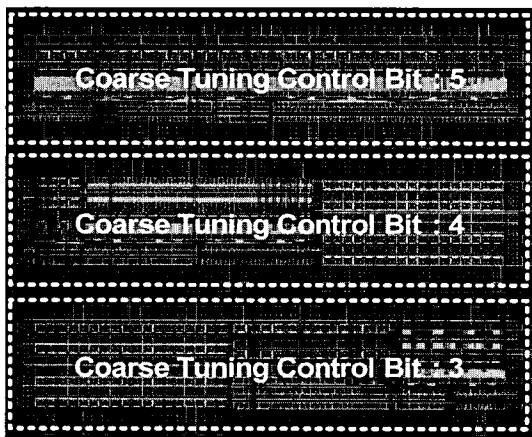


그림 6. 레이아웃
Fig. 6. Layout.

표 1에서 각 Tuning 블록별로 Resolution과 제어범위를 요약하였다. 디지털 제어 발진기는 Tuning 블록의 제어범위가 이전 Tuning 블록의 Resolution보다 커야함을 만족해야 한다. Coarse tuning 비트수가 각각 3, 4, 5일 때 모두 만족하는 것을 확인할 수 있다. 또한 각각의 경우에 대해 LSB Resolution이 1.7ps, 1.7ps, 1.6ps로 거의 동일함을 확인할 수 있다.

그림 7은 Coarse tuning 비트수가 각각 3, 4, 5일 때 제어코드에 따른 디지털 제어 발진기의 주기를 나타낸다. 여기서 디지털 제어 발진기의 선형성을 확인할 수

표 1. Tuning 블록별 Resolution/Range(제어범위)
Table 1. Resolution/Range of tuning block.

| Coarse tuning bits | | 3 | 4 | 5 |
|-----------------------------|-----------------|--------|--------|--------|
| Coarse tuning | Range (ps) | 2274.4 | 2398.8 | 2475.3 |
| | Resolution (ps) | 284.3 | 149.6 | 77.35 |
| 1 st Fine tuning | Range (ps) | 287.4 | 165.8 | 100.2 |
| | Resolution (ps) | 4.5 | 5.2 | 6.3 |
| 2 nd Fine tuning | Range (ps) | 13.4 | 13.6 | 12.9 |
| | Resolution (ps) | 1.7 | 1.7 | 1.6 |

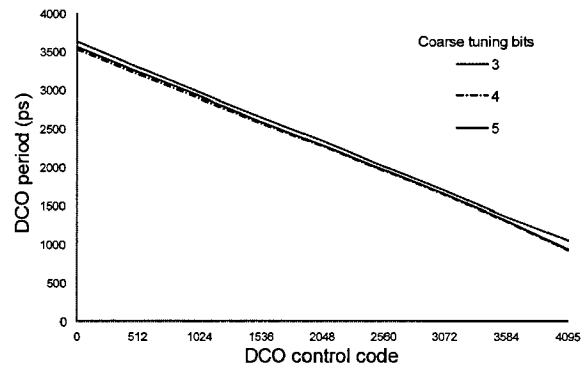


그림 7. 디지털 제어 발진기의 제어 코드 대 출력 주기
Fig. 7. DCO control code vs DCO period.

표 2. 성능비교
Table 2. Performance comparisons.

| Coarse tuning bits | 3 | 4 | 5 |
|---------------------|----------------------|----------|----------|
| Process | 0.13um CMOS | | |
| Supply | 1.2V | | |
| Area | 0.083mm ² | | |
| Range (MHz) | 227~1010 | 283~1100 | 282~1040 |
| LSB Resolution (ps) | 1.7 | 1.7 | 1.6 |
| Power (@1GHz) | 3.987mW | 2.789mW | 4.543mW |

있다. 각각의 경우 모두 선형성을 갖고 있음을 확인하였고 기울기도 동일함을 확인할 수 있다. 또한 제어가 가능한 주기 범위 역시 동일함을 확인할 수 있다.

그림 6, 7과 표 1을 통해서 Coarse tuning 비트수가 각각 3, 4, 5 일 때 디지털 제어 발진기의 주요 성능인 LSB Resolution, 선형성, 출력 주파수 범위 그리고 면적이 모두 동일함을 확인하였다. 이제 제안한 설계기법을 적용한 경우가 가장 적은 전력소모를 하는지 확인해야 한다. Coarse tuning 비트수가 3 일 때 전력소모는 3.987mW, 4 일 때는 2.789mW, 5 일 때는 4.543mW 이다. 구현된 디지털 제어 발진기의 전력소모가 Matlab 모의실험 결과보다 높은 이유는 동적 전력소모와 정적 전력소모를 모두 고려하였기 때문이다. Coarse tuning 비트수는 4, 1st Fine tuning 비트수는 5, 2nd Fine tuning 비트수는 3일 때 전력소모가 가장 최소가 되는 것을 확인하였다. 따라서 제안한 설계기법을 이용하여 디지털 제어 발진기의 전력소모를 최적화 할 수 있다. 표 2에서 Coarse tuning 비트수에 따른 성능비교 결과를 요약하였다.

IV. 결 론

본 논문에서는 디지털 제어 발진기의 전력소모를 최적화할 수 있는 설계 기법을 제안하였다. 제안한 설계 기법을 이용하면 전력소모를 최적화 할 수 있는 Coarse tuning 비트수와 Fine tuning 비트수를 구할 수 있다.

Matlab 모의실험 결과를 통해 전력소모를 최적화 할 수 있는 Coarse tuning 비트수와 Fine tuning 비트수를 구하였고 이를 Spectre를 통해 검증하여, 제안한 설계 기법이 디지털 제어 발진기의 전력소모를 최적화하는 것을 확인할 수 있다. 제안된 설계 기법을 적용한 디지털 제어 발진기는 283MHz부터 1.1GHz의 클럭을 생성할 수 있으며, LSB Resolution은 1.7ps, 면적은 550um × 150um (0.083mm²)이다. 전력소모는 2.789mW로써 제안된 설계 기법을 적용하지 않은 동일한 성능의 디지털 제어 발진기보다 전력소모를 더 적게 하는 것을 확인하였다.

참 고 문 헌

[1] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, 2001.

- [2] M. Maymandi-Nejad and M. Sachdev, "A monotonic digitally controlled delay element," *IEEE J. Solid-State Circuits*, vol. 40, no. 11, pp. 2212-2219, Nov. 2005.
- [3] R. B. Staszewski, D. Leipold, K. Muhammad, and P. T. Balsara, "All-digital PLL with ultra fast settling," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 54, no 2, pp. 181-185, Jan. 2007.
- [4] Byoung-Mo Moon, Young-June Park and Deog-Kyoon Jeong, "Monotonic Wide-Range Digitally Controlled Oscillator Compensated for Supply Voltage Variation," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 55, no 10, pp. 1036-1040, Oct. 2008.
- [5] T.Olsson and P.Nilsson, "A digitally controlled PLL for SoC applications," *IEEE J. Solid-State Circuits*, vol. 39, no 5, pp. 751-760, May 2004.
- [6] D. Sheng, C.-C. Chung, and C.-Y. Lee, "An Ultra-Low-Power and Portable Digitally Controlled Oscillator for SoC Applications," *IEEE Trans, Circuit Syst. II. Express Briefs*, vol. 54, no. 11, pp. 954-958, Nov. 2007.
- [7] J. M. Rabaey, *Digital Integrated Circuit-A Design Perspective*, second ed. Englewood Cliffs, NJ: Prentice-Hall, 2003.

저 자 소 개



이 두 찬(학생회원)
 2009년 고려대학교 전기전자전파
 공학부 학사졸업.
 2009년~현재 고려대학교 나노
 반도체공학과 석사과정.
 <주관심분야 : 반도체>



김 규 영(학생회원)
 2005년 고려대학교 전기전자전파
 공학부 학사졸업.
 2005년~현재 고려대학교
 전자컴퓨터공학과
 석박사통합과정.
 <주관심분야 : 반도체>



김 수 원(정회원)-교신저자
 1974년 고려대학교 전자공학과
 학사 졸업.
 1976년 고려대학교 전자공학과
 석사 졸업.
 1983년 Texas A&M Univ.
 전자공학과 석사 졸업.

1987년 Texas A&M Univ. 전자공학과
 박사 졸업.
 1987년~현재 고려대학교 전기전자전파공학부
 정교수.
 <주관심분야 : 반도체>