한국마린엔지니어링학회지 제34권 제4호, pp. 540~546, 2010. 5 (ISSN 1226-9549)
Journal of the Korean Society of Marine Engineering

실리콘 RFIC상에 주기적 스트립 구조를 이용한 초소형 온칩용 윌킨슨 전력분배기 개발에 관한 연구

주정갑[1] · 윤 영†

(원고접수일: 2010년 2월 10일, 원고수정일: 2010년 3월 30일, 심사완료일: 2010년 5월 4일)

A Study of Highly Miniaturized On-Chip Wilkinson Power Divider Employing Periodic Strip Structure for Application to Silicon RFIC

Jeong-Gab Ju[1] · Young Yun†

요 약 : 본 논문에서는 주기적 스트립구조(PSS)를 이용하여 실리콘 RFIC상에 집적 가능한 초소형 수동소자를 개발하였고, 주기적 스트립구조상의 Contact의 유/무에 따른 영향에 대한 선로파장 및 삽입손실에 대한 변화에 대하여 연구 하였다. 구체적으로는 실리콘 RFIC 반도체 기판상에 온칩 윌킨슨 전력분배기를 제작 평가하였다. 제작된 윌킨슨 전력분배기의 면적은 종래의 약 4.8 %인 0.44 X 0.1 mm^2이며, 25 ~ 50 GHz의 범위에서 양호한 RF특성을 보여주었다.
주제어 : 실리콘, RFIC, 주기적 스트립구조(PSS), 윌킨슨 전력분배기

Abstract: In this study, using a coplanar waveguide employing Periodic Strip Structure (PSS), highly miniaturized on-chip wilkinson power divider was realized on Si radio frequency integrated circuit (RFIC). The wilkinson power divider exhibited good RF performances from 25 to 50 GHz, and its size was 0.44 X 0.1 mm^2, which is 4.8 % of conventional one. We also investigated the RF performances of various structures employing PSS.
Key words: Silicon, Periodic Strip Structure, RFIC, Wilkinson power divider

1. 서 론

전자산업이 발전함에 따라 무선통신 시스템을 이용한 정보통신기술이 급속한 성장을 이루고 있으며, 다양한 정보·서비스로 인한 삶의 질은 급속도로 개선·발전되고 있다. 최근 정보화 사회의 급격한 발달은 통신 수단의 발전을 가져왔고, 고정된 장소에서의 통신으로부터 자동차, 선박 등의 이동수단에서의 통신, 위성통신까지 그 범위가 확대되고 있다. 이러한 발전에 대한 통신소자의 소형화와 고집적화는 현재 전자부품산업의 최대과제이다.

무선통신 시스템을 구성하는 전력증폭기, 믹서 등의RFIC 전자소자에는 전력결합/분배기가 필요하다. 일반적인 결합/분배기로 윌킨슨 전력분배기(Wilkinson power divider)가 사용되고 있으며, 이 윌킨슨 분배기는 1960년에 최초로 그 특성과 구조가 소개된 이래로 각종 무선 통신용 회로 및 시스템을 구성에 있어 신호의 분배 및 결합을 위해 널리 사용되는 초고주파 회로 중의 하나이다.[1] 그러나, 이러한 결합/분배기, 필터 등의 기존의 일반적 RF 수동소자들은 큰 점유면적으로 인하여 RFIC 내부에 집적 되지 못하고 외부에서 설계, 조작되어 왔다.[2] 이러한 문제점으로 인해 아

† 교신저자(한국해양대학교 전파공학과, E-mail: yunyoung@hhu.ac.kr, Tel: 051-410-4426
1 한국해양대학교 전파공학과

직까지도 진정한 의미의 SoC용 실리콘 반도체 단말기가 실현되지 못하고 있으며, 이는 실리콘 IC 분야에서 조속히 해결되어야 할 필수적인 과제이다. 이러한 문제점을 해결하기 위해서는, RFIC 내부에 집적 가능한 초소형 수동소자의 개발이 필요하다. 상기 문제점을 해결하기 위하여 최근 본 연구그룹에서 단파장 특성을 가지는 주기적 스트립 구조에 대한 기본특성을 발표하였다.[3]

본 논문에서는 기존의 스트립 구조를 최적화하기 위하여 여러 가지 주기적 스트립 구조에 대한 특성분석을 수행하였으며, 최적 특성을 가지는 스트립 구조를 이용하여 초소형의 윌킨슨 전력 분배기를 개발하였다. 구체적으로는 contact의 유/무에 따른 선로파장 및 삽입손실의 변화에 대하여 연구 하였으며 최적의 결과를 가지는 선로구조를 이용하여 실리콘 RFIC용 초소형 윌킨슨 전력 분배기를 개발하였다.

2. 주기적 스트립구조를 이용한 코프레너 전송선로의 구조

본 논문에서는 주기적 스트립구조를 이용하여 초소형 수동소자를 제작하였으며, 본 절에서는 주기적 스트립구조에 관해 설명하도록 한다. 그림 1과 2는 본 논문에서 제안하는 주기적 스트립구조 PSS(Periodic Strip Structure)를 이용한 코프레너 선로구조이다.

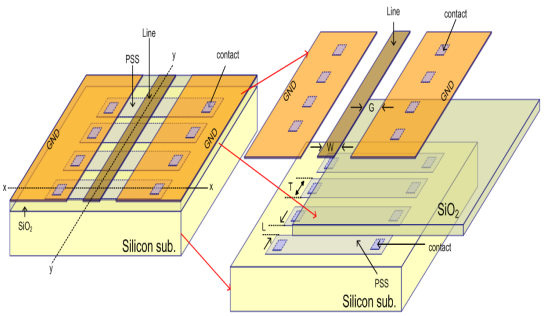


Figure 1: Structure of coplanar waveguide employing PSS.

Figure 1은 전체적인 주기적 스트립구조를 보여주고 있으며, 보는 바와 같이 선로(GND 포함)와 실리콘 기판 사이에 SiO_2 유전체 박막이 존재하는 구조이며, SiO_2 유전체 박막구조의 사이공간에 PSS 구조를 삽입하였다. 그리고 PSS 구조는 Contact를 통하여 그림 1의 상단의 접지면에 연결되므로 PSS 구조도 접지가 된다.

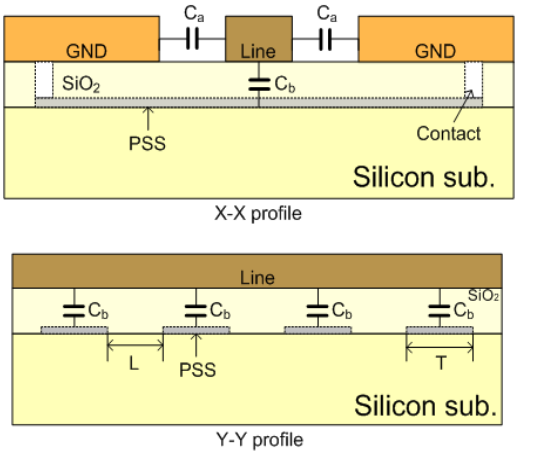


Figure 2: A cross-sectional view of coplanar waveguide employing PSS.

Figure 2는 X-X 방향, Y-Y 방향의 단면을 보여 주고 있으며, 기존의 일반적 코프레너 전송선로는 선로와 상부 접지면 사이의 용량 Ca만 존재하지만 PSS구조는 용량 Ca 뿐만 아니라 추가적인 용량성분 Cb가 존재하게 된다. 즉, PSS 구조가 존재하지 않는 기존의 전송선로의 경우 전체용량이 C = Ca가 되지만, PSS 구조가 존재하는 전송선로의 경우 전체용량은 C = Ca + Cb 가 된다. 이것은 전송선로의 파장과 임피던스는 식 (1), (2)와 같이, 용량(C)에 반비례하므로[4], 선로와 접지사이의 용량이 증가할수록 특성임피던스 Z_0와 선로파장 λg는 감소하게 된다. 따라서, 본 논문에서 제안하는 주기적 스트립구조 PSS는 기존의 코프레너 선로구조[4]에 비해 저 임피던스 특성과 단파장 특성을 가진다는 것을 알 수 있다.

$$Z_0 = \sqrt{\frac{L}{C}} = \sqrt{\frac{L}{Ca+Cb}} \quad \text{식(1)}$$

$$\lambda_g = \frac{1}{f\sqrt{LC}} = \frac{1}{f\sqrt{L(Ca+Cb)}} \quad \text{식(2)}$$

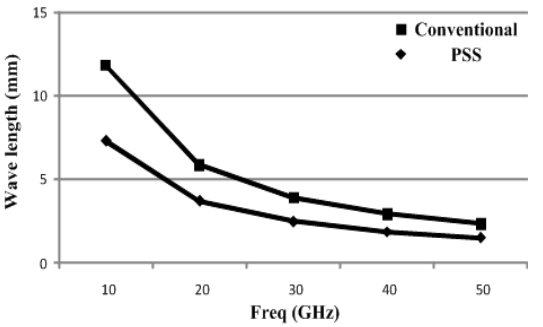


Figure 3: Wavelength of coplanar waveguide employing PSS and conventional one.

Figure 3은 실리콘 RFIC상에 형성된 기존의 코프레너 선로의 파장과 PSS 구조를 사용한 코프레너 선로의 파장을 측정한 값과를 비교한 그래프이다. 이들 선로는 두께 600 μm의 실리콘 반도체 기판상에 제작되었으며, PSS와 선로사이에는 유전율 3.9, 두께 1 μm인 SiO_2박막이 존재한다. 그리고, Figure 1과 2의 PSS 구조의 기본 셀 사이의 간격 L과 선로 폭 W는 모두 20 μm이며, 그림 3의 원은 기존의 일반적인 코프레너 선로의 파장에 해당하며, 사각형은 PSS 구조의 기본 셀 두께 T = 20 μm에 해당한다. 그림에서 보는 바와 같이, PSS를 사용하는 경우의 선로파장은 기존의 코프레너 선로의 60~65 %로 축소됨을 볼 수 있다. 예를 들어, 주파수 20 ㎓에서 종래의 전송선로의 경우, 선로파장 λ_g는 5.9 ㎜이며, PGS 구조의 경우, T = 20 ㎛일 때의 선로파장 λ_g는 3.7 ㎜이다.

Figure 4는 PSS 구조를 가지는 코프레너 선로에 대한 특성 임피던스 Z_0 측정결과이다. 여기서 T는 Figure 1과 2에서 보는 바와 같이 PSS 구조의 기본 셀 두께이며,T가 커질수록 선로와 PSS 구조와 선로사이에서 추가적으로 발생하는 용량성분 C_b가 증가하게 된다. 그 결과 식 (1)로부터 특성 임피던스 Z_0 값은 줄어들게 됨을 알 수 있다. 상기 결과는 본 논문에서 제안하는 PSS 선로구조를 이용하면, 셀의 두께 T의 조절만으로 선로의 특성 임피던스를 쉽게 조절할 수 있음을 보여준다. 즉, 선로 폭 W = 20 μm인 경우 단지 T를 0 ~ 50 μm 범위에서 조절함으로써 특성 임피던스가 30 ~ 70 Ω이 되도록 조절 가능하다. 그러므로, PSS 구조를 이용하면 임피던스를 쉽게 조절 가능하며, 이는 RFIC용 수동소자 개발에 있어서 사이즈 축소의 측면에서 매우 유리한 점이다. 왜냐하면, 일반적으로 RF용 트랜지스터는 고주파에서 보통 50 Ω보다 매우 낮은 입출력 임피던스를 가지기 때문이다[5]. 이들에 대한 임피던스 정합을 위해서는 저 임피던스 특성을 가지는 전송선로가 필요하므로, PSS 구조를 이용하면 종래의 코프레너 선로구조에 비해 적은 선로 폭으로 저 임피던스 선로를 구현할 수 있다. 구체적으로, 35 Ω의 특성임피던스를 가지는 선로를 구현하는 경우, T가 20 μm인 PSS 구조를 이용하면 선로 폭 W가 20 μm이 되지만, 선로와 접지사이의 거리 G가 30 μm인 기존의 코프레너 선로구조[4]를 사용하면 선로 폭 W는 130 μm가 된다.

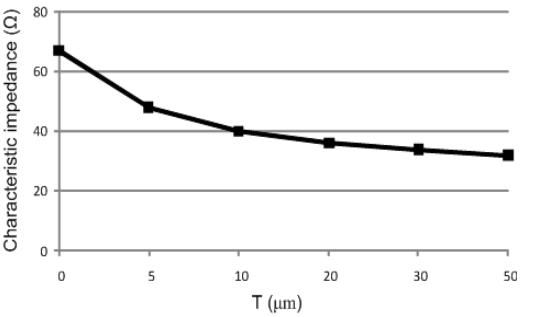


Figure 4: Characteristic impedance of the coplanar waveguide with PSS

3. 여러 가지 선로구조의 RF특성 고찰

본 절에서는 주기적 스트립구조에 Contact의 유/무에 의한 영향과 슬롯이 추가됨으로 인한 영향에 관해 설명하도록 한다.

Figure 5는 Contact가 존재하지 않는 경우의 PSS의 구조이다. Figure 6은 본 논문에서 제안한 Contact를 가지는 PSS 구조이며, Figure 7은 Contact가 존재하고 PSS에 슬롯을 삽입한 구조로, 보이는 바와 같이, 스트립 사이에 용량 Cc가

추가적으로 발생함을 알 수 있다.

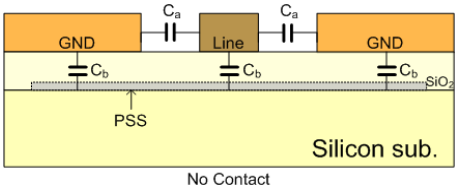


Figure 5: Structure of PSS without contact. (type1)

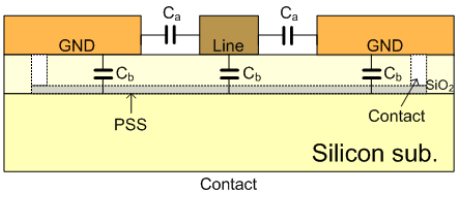


Figure 6: Structure of PSS with contact. (type2)

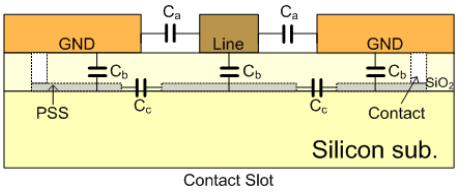


Figure 7: Structure of PSS with contact and slot. (type3)

Figure 8과 9는 PSS 구조에 Contact 유/무(type2, type1), 그리고 슬롯을 추가(type3) 하였을 때의 파장과 삽입손실을 측정한 값의 비교 그래프이다. 이들 선로는 두께 600 μm의 실리콘 반도체 기판상에 제작되었으며, Figure 1과 2의 PSS 구조의 기본 셀 사이의 간격 L, 선로 폭 W, 두께 T는 모두 20 μm이다. Figure 8에서는 보이는 바와 같이 Contact가 존재하는 경우(type2)의 선로파장이 5 ~ 50 GHz 범위에서 가장 짧은 것을 확인 할 수 있다. 그 이유는 Contact가 존재하지 않는 경우(type1)는 PSS구조가 상부의 GND면과 격리되어 완전 접지가 되지 않기 때문이며, 슬롯이 존재하는 경우(type3)에도 슬롯에 의해 PSS가 서로 격리되어 완전한 접지면을 이루지 못하기 때문이라고 판단된다. 그리고 Figure 9의 삽입손실의 경우 Contact가 존재하지 않는 경우(type1)가 5 ~ 50 GHz 범위에서 -1 ± 0.5 dB로, Contact가 존재하는 경우(type2)의 -1.5 ± 0.5 dB 보다 다소 양호한 성능을 보이지만, 큰 차이는 관찰 할 수 없었다. 소형의 수동소자를 제작하는 경우, 파장축소 효과를 우선적으로 고려해야 하며, 손실의 보정은 전후단의 증폭기의 이득을 조절함으로써 쉽게 보상이 가능하므로, 본 논문에서는 Contact가 존재하는 PSS 구조(type2)를 이용하여 윌킨슨 전력분배기를 제작하였다.

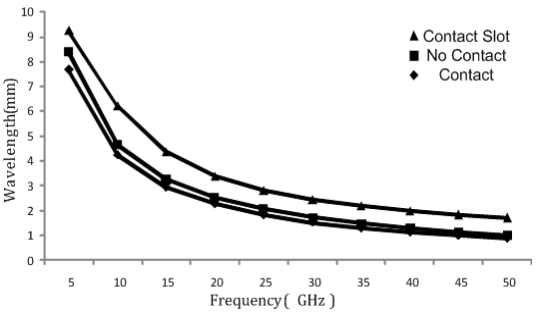


Figure 8: Wavelength according to structures.

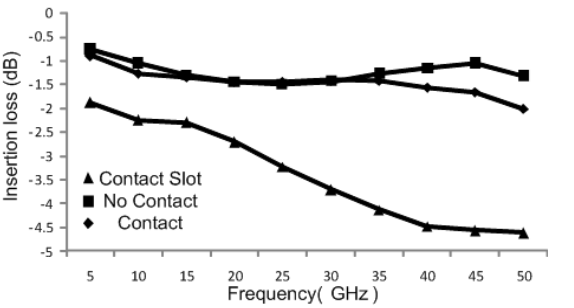


Figure 9: Insertion loss according to structures.

4. 주기적 스트립구조를 이용한 RFIC 초소형 온칩용 윌킨슨 분배기의 개발

본 논문에서는 주기적 스트립 구조를 이용하여 윌킨슨 전력분배기를 실리콘 RFIC상에 제작하였으며, 제작된 윌킨슨 분배기의 포트 임피던스는 27 Ω이므로, 선로들의 특성 임피던스(Z_1,Z_2), 포트 2와 포트 3 사이의 저항(R)은 Figure 10 [6]에 나타나 있는 수식을 이용하여 각각 38, 38, 54 Ω으로 구해지며, 선로 폭 W는 20 μm로 고정되었다.

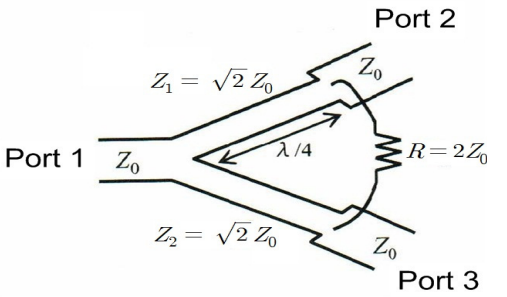


Figure 10: Wilkinson power divider

제작된 윌킨슨 전력분배기는 Figure 11에 보여지며, 온 웨이퍼 측정을 위해 GSG (Ground-Signal-Ground) 패드가 접속되었으며, 실제 윌킨슨 분배기는 점선내부의 부분에 해당된다. 3포트 윌킨슨 분배기를 측정하기 위해서는 3개의 레이아웃 패턴, 즉, 포트 1-2, 1-3, 2-3의 측정용 패턴이 필요하다. 각 패턴에 있어서 측정에 필요한 2개의 포트는 GSG 프로브에 연결되었으며, 측정에 사용하지 않는 1개의 포트는 포트 임피던스 Z_0와 동일한 저항치를 가지며 실리콘 RFIC상에 제작된 박막저항에 의해 종단되었다.

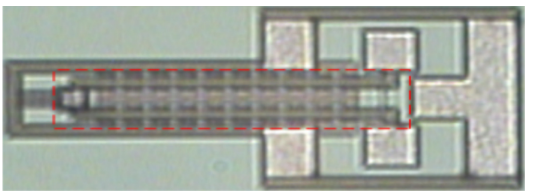


Figure 11: Photograph of on-chip wilkinson power divider employing PSS on Si RFIC

제작된 윌킨슨 전력분배기를 구성하는 λ/4 선로 길이는 그림 3의 파장측정 결과로부터 결정되었으며, 제작된 윌킨슨 전력분배기의 사이즈는 포트를 제외한 유효면적이 0.44 x 0.1 mm^2로, 기존 일반적 코프레너 선로를 이용하여 제작한 윌킨슨 전력분배기의 4.8%의 축소율을 보인다. 즉, PSS를 사용하지 않는 기존의 코프레너 선로구조[4]를 이용하여 두께 600 μm인 실리콘 반도체 기판상에 중심주파수가 40 GHz인 윌킨슨 전력분배기를 제작하는 경우, 선로와 접지사이의 거리 G가 30 μm인 선로구조를 사용하면, λ/4 선로의 길이는 0.751 mm이며, 27 Ω의 특성 임피던스를 가지는 선로 폭 W는 각각 580 μm가 되어 면적은 0.916 mm^2가 된다. 기존의 코프레너형 선로를 이용한 윌킨슨 전력 분배기와 PSS를 이용한 윌킨슨 전력분배기에 대한 점유면적 비교는 표 1에 나타나 있다.

Table 1: Size of conventional CPW and PSS on silicon substrate.

Distribution	W(μm)	λg/4(mm)	Size(mm^2)
Conventional CPW	580	0.751	0.916
PSS	20	0.1	0.044

4.1 RF 특성

윌킨슨 전력분배기는 식(3), (4), (5)와 같이 포트 1에 입력신호를 가하는 경우, 포트 2와 3에서 출력되는 신호는 서로 동위상, 동전력 특성을 지닌다. 그리고 포트 2와 3에 동위상의 입력신호를 가하는 경우, 포트 1에서는 2배의 전력이 출력된다. 반면, 포트 2와 3은 서로 격리되어 있다.[6]

$$Mag(S_{21}) = Mag(S_{31}) \quad \text{식(3)}$$

$$Phase(S_{21}) = Phase(S_{31}) \quad \text{식(4)}$$

$$Mag(S_{23}) = 0 \quad \text{식(5)}$$

Figure 12, 13, 14, 15는 각각 실리콘 RFIC상의 PSS 구조를 이용한 온칩 윌킨슨 전력분배기의 분배, 위상, 격리 특성 및 반사손실을 보여준다. 반사손실은 포트 1에서 입사되는 신호가 포트 1로 되돌아오는 신호의 전력비, 즉, S_{11}의 측정치이며, 전력분배 특성은 포트 1에서 입사되는 신호에 대한 포트 2와 3에서 출력되는 신호 전력비, 즉, S_{21}과 S_{31}의 측정치이고, 위상특성은 분배특성과 같이 포트 1에서 입사되는 신호에 대한 포트 2와 3에서의 위상특성, 즉, S_{21}과 S_{31}의 위상의 측정치이다. 그리고, 격리특성은 S_{23}는 포트 2와 포트 3간의 신호 전력비이다.

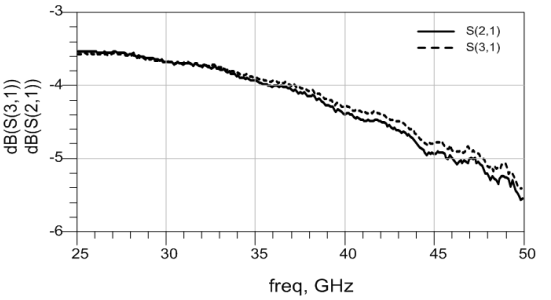


Figure 12: Power division characteristic of the on-chip wilkinson power divider.

Figure 13: Phase characteristic of the on-chip wilkinson power divider.

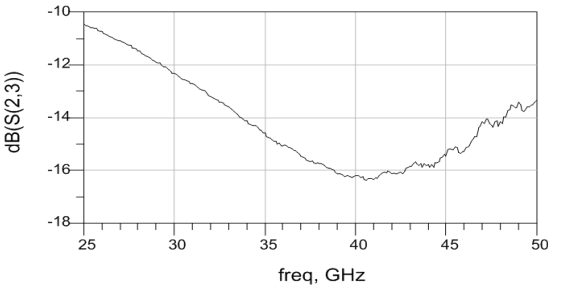


Figure 14: Isolation characteristic of the on-chip wilkinson power divider.

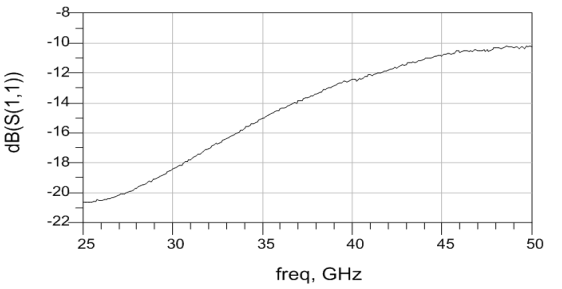


Figure 15: Return loss of the on-chip wilkinson power divider.

Figure 12에서 보는 바와 같이, 분배특성 S_{21}과 S_{31}의 값은 모두 25 ~ 50 GHz의 범위에서 -4.5 ± 1.5 dB로, 양호한 전력분배 특성이 관찰되며, 실제로, 테프론 기판상에 제작되는 off-chip 윌킨슨 전력분배기의 전력 분배값은 대략 -4 dB 정도이다[6]. 따라서, 중심주파수 40 GHz에서 본 논문의 결합기는 0.5 dB정도 더 높은 손실특성을 보인다. 이는 실리콘 기판 자체의 낮은 절연성에 의한 높은 손실에 기인한다[7]-[9]. 이러한 손실에도 불구하고 사이즈의 축소는 송수신 모듈의 저가격화에 있어서 더 중요하여, 일반적으로 이러한 손실은 전후단의 증폭기의 이득을 조절함으로써 쉽게 보상이 가능하다. Figure 13은 윌킨슨 전력분배기의 위상 특성을 보여준다. 위상 특성은 포트 1에서 입사되는 신호에 대한 포트 2와 3에서 출력되는 신호의 위상, 즉, phase (S_{21}) 과 phase (S_{31})에 대한 측정치로서, 25 ~ 50 GHz의 범위에서 앞서 설명한 식 (4)와 같이 동위상의 특성을 보여 준다. 격리특성 S_{23}은 Figure 14에서 볼 수 있듯이, 중심주파수 40 GHz에서 -16.2 dB이며, 25 ~ 50 GHz의 범위에서 -10 dB이하의 양호한 특성을 보여주며, 그림 15의 반사손실 S_{11} 또한 25 ~ 50 GHz의 범위에서 -10 dB이하의 양호한 특성을 보여 주고 있다. 상기 윌킨슨 전력분배기의 RF 특성은 표 2에 요약되어 있다.

Table 2: RF characteristics of the on-chip wilkinson power divider.

Distribution	At center frequency (40 GHz)	In operation frequencies (25 ~ 50 GHz)
Power division characteristic	S_{21} = -4.5 dB	S_{21} = -4.5 ± 1.5 dB
	S_{31} = -4.4 dB	S_{31} = -4.5 ± 1.5 dB
phase characteristic, phase (S_{21}) phase (S_{31})	The same phase	
Isolation characteristic, S_{23}	-16.2 dB	S_{32} 〈 -10.0 dB
Return loss, S_{11}	-12.5 dB	S_{11} 〈 -10.0 dB
Size	0.44 x 0.1 mm^2 (4.8 % of conventional one.)	

5. 결 론

본 논문에서는 다양한 형태의 주기적 스트립구조의 특성을 고찰하였으며, 최적의 스트립구조를 이용하여 실리콘 RFIC상에 집적 가능한 초소형 윌킨슨 전력분배기를 제작 평가하였다. 그 결과에 의하면 Contact가 존재하며, 슬롯이 없는 구조가 최적의 파장특성을 보여주었으며, 이를 이용하여, 실리콘 RFIC상에 윌킨슨 전력분배기를 제작하였다. 상기 전력분배기의 면적은 기존의 약 4.8 % 인 0.44 X 0.1 mm^2이며, 25 ~ 50 GHz의 범위에서 양호한 RF특성을 보여 주었다.

후 기

본 논문은 지식경제부 출연금으로 ETRI 시스템반도체진흥센터에서 수행한 시스템반도체 융복합형 설계인재양성사업의 연구결과입니다.

참고문헌

[1] E. J. Wilkinson, "An n-way hybrid power divider", *IRE trans, Microwave Theory Tech.*, vol. 8, pp. 116-118, 1960.

[2] Zargari, M., and Su, D."Challenges in designing CMOS wireless systems on a chip", *IEICE Trnas. Electron.*, E90-C, pp. 1142-1148, 2007.

[3] 윤영, 김세호, "주기적 접지구조를 이용한 실리콘 RFIC용 초소형 수동소자의 개발", 한국마린엔지니어링학회지, 제33권, 제4호, p. 562-568, 2009.

[4] Pozar. D.M, Microwave Engineering, Addison-Wesley, 2005.

[5] Y. Yun, M. Nishijima, M. Katsuno, H. Ishida, K. Minagawa, T. Nobusada, and T. Tanaka, A fully-integrated broadband amplifier MMIC employing a novel chip size package," IEEE Trans. Microwave Theory Tech., vol. 50, pp. 2930-2937, 2002.

[6] 윤영 저, RF 능동회로 설계이론 및 실무, 홍릉과학 출판사, 2005.

[7] K. Masu, K. Okada, and H. Itoh, "RF Passive components using metal line on Si CMOS", *IEICE Trans. Electron.*, Vol. E89-C, no. 6, pp. 681-691, 2006.

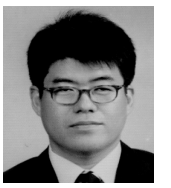
[8] Y. S. Lin. C. C. Chen, H. B. Liang, T. Wang, and S. S. Lu, "Characterization and modeling of pattern ground shield and silicon-substrate effects on radio-frequency monolithic bifilar transformers for ultra-wide band radio-frequency integrated circuit applications", vol. 46, no. 1, pp. 65-70, 2007.

[9] R. Lowther, and S. G. Lee, "On-chip interconnect lines with patterned ground shields", IEEE Microwave Guided Wave Lett., vol. 10, no. 2, pp. 49-51, 2000.

저 자 소 개

주정갑(朱正甲)

2010년 2월 한국해양대학교 전파공학과 (공학사) 2010년 3월~현재 : 한국해양 대학교 전파공학과 석사과정
[주 관심분야] 무선통신 MMIC/RFIC 등



윤영(尹榮)

1993년 2월: 연세대학교 전자공학과 (공학사) 1995년 2월: 포항공과대학교 전자전기공학과 (공학석사) 1999년 3월: 일본 오사카 대학교 전기공 학과 (공학박사) 1999년 4월~2003년 9월: 마쯔시따 전기 반도체 디바이스 연구센터 MMIC/RFIC 연구그룹 2003년 9월~현재: 한국해양대학교 전파 공학과 부교수
[주 관심분야] 무선통신용 MMIC/RFIC 등