

논문 2010-47SD-6-3

가변 펌핑 클록 주파수를 이용한 모바일 D램용 고효율 승압 전압 발생기

(An Energy Efficient V_{PP} Generator using
a Variable Pumping Clock Frequency for Mobile DRAM)

김 규 영*, 이 두 찬**, 박 종 선***, 김 수 원***

(Kyu-Young Kim, Doo-Chan Lee, Jongsun Park, and Soo-Won Kim)

요 약

본 논문에서는 가변 펌핑 클록 주파수를 이용한 모바일 D램용 고효율 승압 전압 발생기를 제안한다. 제안된 승압 전압 발생기는 효율을 높이기 위해서 3단 Cross-coupled 접합 펌프를 사용하였으며, 또한 최종 출력 전압의 승압 시간을 줄이기 위해 기존의 승압 전압 발생기에서 사용되는 고정된 펌핑 클록 주파수 대신 전압 제어 발생기를 사용하여 펌핑 클록 주파수를 가변하였다. 따라서 제안된 승압 전압 발생기는 1.2 V 전원 전압, 최대 2 mA의 부하 전류, 1 nF의 부하 캐패시터 조건에서 24.0- μ s 안에 3.0 V의 최종 출력 전압을 승압할 수 있다. 실험 결과 제안된 승압 전압 발생기는 에너지 소비를 26% (1573 nJ \rightarrow 1162 nJ), 승압 시간을 29% (33.7- μ s \rightarrow 24.0- μ s) 감소시켰다. 따라서 제안된 승압 전압 발생기를 사용함으로써, 높은 에너지 효율과 빠른 승압을 동시에 구현할 수 있다.

Abstract

A energy efficient V_{PP} generator using a variable pumping frequency for mobile DRAM is presented in this paper. The proposed V_{PP} generator exploits 3 stages of a cross-coupled charge pump for energy efficiency. Instead of using a fixed pumping frequency in the conventional V_{PP} generator, our proposed V_{PP} generator adopts a voltage-controlled oscillator and uses variable frequencies to reduce the ramp-up time. As a result, our V_{PP} generator generates 3.0 V output voltage with 24.0- μ s ramp-up time at 2 mA current load and 1 nF capacitor load with 1.2 V supply voltage. Experimental results show that the proposed V_{PP} generator consumes around 26% less energy (1573 nJ \rightarrow 1162 nJ) and reduces 29% less ramp-up time (33.7- μ s \rightarrow 24.0- μ s) compared to the conventional approach.

Keywords: V_{PP} generator, charge pump, voltage controlled oscillator, mobile DRAM

I. 서 론

최근 휴대폰, 디지털 카메라, UMPC 같은 개인용 휴대 기기들의 폭발적인 수요 증가로 인하여, 전력을 적

게 소비 하는 모바일 DRAM (Dynamic Random Access Memory)은 모바일 통신 시스템에서 중요한 역할을 차지하고 있다^[1]. 이와 같은 모바일 기기들은 배터리로 구동 되므로, 구동 시간을 늘리기 위해서는 저전력 설계가 반드시 필요하다. 또한 최근 공정의 발달과 더불어 전력 소모의 감소와 기기 동작의 신뢰도를 향상시키기 위해서 모바일 DRAM의 전원 전압 (V_{DD})이 1.2V 이하로 내려가고 있다. 하지만, 문턱 전압은 거의 변화가 없어 1.2 V 이하에서 동작하는 회로에서는 문턱 전압 (V_t)만큼의 전압 손실이 회로 동작에 큰 영향을 미친다^[2]. 승압 전압 발생기(V_{PP} Generator)는 DRAM

* 학생회원, *** 정회원, 고려대학교 전기전자전파공학부 (School of Electrical Eng., Korea University)

** 학생회원, 고려대학교 나노반도체공학과 (Dept. of Nano Semiconductor Eng., Korea University)

※ 본 논문은 서울시 산학연 협력사업(10560)을 통해 개발되었으며, Hynix와 반도체설계교육센터 (IDEC)에서 칩 제작을 지원 받았음.

접수일자: 2009년11월20일, 수정완료일: 2010년5월19일

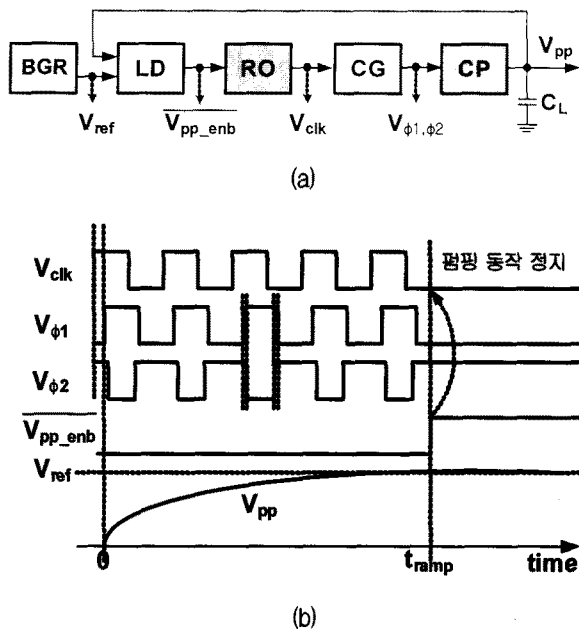


그림 1. 링 발진기를 사용한 일반적인 승압 발생기
(a) 블록도, (b) 내부 동작도
Fig. 1. Conventional V_{PP} generator using ring oscillator
(a) Block diagram and (b) Operation.

Read /Write 동작 시에 이와 같은 문턱 전압의 손실을 제거하기 위해서 워드 라인 (Word Line)의 전압을 승압시켜 주는 역할을 한다. 그림 1(a)은 일반적인 승압 전압 발생기의 블록도를 나타낸다. 일반적인 승압 전압 발생기는 Band-gap Reference (BGR), 전압 레벨 검출기 (Level Detector, LD), 링 발진기 (Ring Oscillator, RO), Non-overlapped Clocks Generator(CG), 전하 펌프 (Charge Pump, CP)로 구성된다^[3]. 승압 전압 발생기는 피드백 (Feedback) 구조를 기반으로 하고 있으며 그림 1(b)와 같이 최종 출력 전압 V_{PP} 가 목표 전압 V_{ref} 에 도달하기 까지 부하 캐패시터 (C_L)에 전하를 계속 공급한다. RO은 고정된 주파수의 클록 (V_{clk})를 생성하여 CP를 동작시킨다. V_{PP} 가 목표 전압에 도달하면, LD은 VCO 제어 신호 ($\overline{V_{pp_enb}}$)를 "High"로 발생하여 RO의 동작을 정지시키고 V_{PP} 의 전압을 유지한다. CP는 RO에서 발생하는 클록에 맞추어 전하를 C_L 에 공급해서 V_{PP} 의 전압을 증가시키므로 승압 전압 발생기를 구성하는 블록들 중에서 가장 중요한 역할을 한다^[4].

이전의 연구는 고정된 펌핑 클록 (V_{clk}) 주파수를 사용해서 Dickson 전하 펌프^[5], 개선된 Dickson 전하 펌프^[6], Cross-coupled 전하 펌프^[7]와 같은 고효율의 전하 펌프 구현에 초점을 맞추었다. 하지만 전하 펌프의 펌핑 클록 주파수와 전력 효율은 밀접한 관계를 가지고

있으며^[8], 최대 효율을 얻는 고정된 펌핑 클록 주파수를 사용할 경우, 최종 전압 V_{PP} 의 승압 시간 (Ramp-up Time)이 길어지는 문제가 발생하여 고속의 DRAM 동작을 제한 한다^[9, 11]. 따라서 일반적인 승압 전압 발생기에서 채택하는 고정된 펌핑 클록 주파수를 사용해서는 전력 효율과 승압시간을 모두 향상시키는 것에 한계가 있다.

본 논문에서는 기존의 전하 펌프들의 성능을 비교하여 전력 효율이 가장 높은 전하 펌프를 제안된 승압 전압 발생기에 사용하였다. 또한 제안된 승압 전압 발생기는 링 발진기 (RO) 대신 전압 제어 발진기 (Voltage-controlled Oscillator, VCO)를 사용해서 펌핑 주파수를 변화시킨다. 즉 승압 초기에는 펌핑 주파수를 높여서 승압 시간을 단축시키고, V_{PP} 가 목표 전압 근처에 도달하면 펌핑 주파수를 낮추어서 전력 효율을 증가시킨다. 따라서 제안된 승압 전압 발생기는 Trade-off 관계인 높은 에너지 효율과 빠른 승압 시간을 동시에 만족할 수 있다.

II. 전하 펌프 성능 비교

전하 펌프는 승압 발생기를 구성하는 블록들 중에 전력을 가장 많이 소모 하는 블록이므로, 고효율의 승압 발생기를 구현하기 위해서는 전력 효율이 높은 전하 펌프의 선택이 중요하다. 따라서 CMOS 0.13- μm 을 이용해서 일반적으로 가장 많이 사용되는 Dickson 전하 펌프, 개선된 Dickson 전하 펌프, Cross-coupled 전하 펌프의 전력 효율, 전류 구동 능력 (Current Driving Capability), 승압 시간을 비교하였다.

1. Dickson 전하 펌프

그림 2(a)은 전하 펌프들 중에 가장 기본적으로 사용되는 Dickson 전하 펌프의 블록도를 나타낸다^[5]. 다이오드 형태로 연결된 MOSFET를 사용해서 전하를 현재 단에서 다음 단으로 계속 전달하면서 최종 출력 전압을 승압한다. 따라서 단을 단순히 증가 시키면 원하는 출력 전압을 쉽게 생성할 수 있는 장점이 있다. 하지만 다이오드 형태의 연결을 사용함에 따라 모든 단에서 문턱 전압 만큼의 전압 손실이 발생한다. 또한 단 수가 증가할수록 문턱 전압의 손실은 증가하므로 전체적인 전력 효율이 감소하는 단점이 있다.

2. 개선된 Dickson 전하 펌프

그림 2(b)은 Dickson 전하 펌프에서 사용된 다이오드 형태로 연결된 MOSFET 대신 전하 전달 스위치 (Charge Transfer Switch, CTS)를 사용한 개선된 Dickson 전하 펌프의 블록도를 나타낸다^[6]. 이 구조는 문턱 전압의 손실을 제거해서 전력 효율을 증가시킨다. 하지만, 각 node에 초기 전압을 잘못 설정하면, 이전 단의 전하들이 CTS를 통해서 방전되어 전력 효율이 감소할 수 있다. 또한 각 단의 Gate 단자에 높은 전압이 인가되므로, 동작의 안정도 (Reliability)가 감소한다^[7].

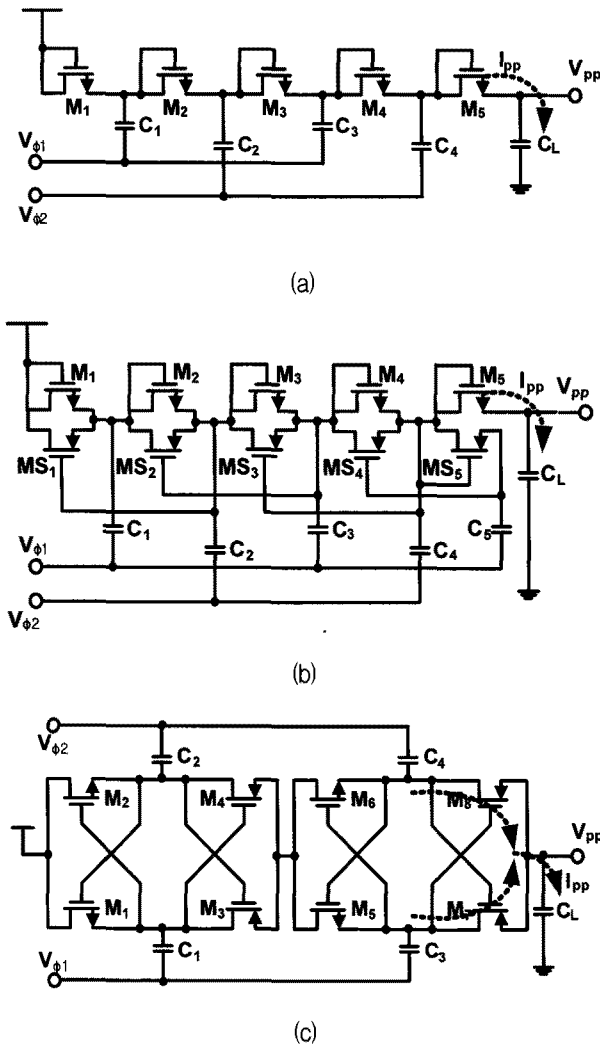


그림 2. 기존 전하 펌프의 블록도
(a) Dickson 전하 펌프, (b) 개선된 Dickson 전하 펌프, (c) Cross-coupled 전하 펌프

Fig. 2. Charge pump methodology.
(a) Dickson charge pump (b) Modified Dickson charge pump, and (c) Cross-coupled charge pump.

3. Cross-coupled 전하 펌프

그림 2(c)은 Cross-coupled 전하 펌프의 블록도를 나타낸다^[7, 10]. Cross-coupled 전하 펌프는 Cross-coupled 된 NMOS CTS와 Cross-coupled 된 PMOS CTS 한 쌍으로 구성된다. NMOS CTS는 전하를 다음 단으로 전달하며, PMOS CTS는 NMOS에서 발생하는 문턱 전압의 손실을 제거한다. 이 구조를 사용하면, 모든 MOSFET의 Gate-Drain, Gate-Source 사이의 전압이 V_{DD} 를 초과하지 않는다. 따라서 높은 전압이 인가 될 때 발생하는 Gate-oxide의 안정도 문제를 제거한다. Dickson과 개선된 Dickson 전하 펌프 모두 펌핑 클럭이 “High” 일 때만, 각 단이 펌핑 동작을 하는 반면, Cross-coupled 전하 펌프는 차동 (Differential) 구조로 2개의 전하 이동 통로 (M1, M3이 이루어진 전하 이동 통로와 M2, M4로 이루어진 전하 이동 통로)를 통해서 전하를 전달하기 때문에 전력을 높일 수 있다.

4. 성능 비교

3 종류 (Dickson, 개선된 Dickson, Cross-coupled)의 전하 펌프의 승압 능력을 알아보기 위해서, CMOS 0.13 μm 공정을 이용하여 모의실험을 하였다. 1.2 V의 전원 전압 (V_{DD}), 1 nF의 부하 캐패시터 (C_L), 0.1 mA의 부하 전류 (I_{PP})의 동일한 조건에서 3.0 V의 최종 출력 전압 (V_{PP})을 발생하도록 표 1과 같이 단 수 조절하였다. 전하 펌프의 가장 중요한 성능 지표인 전력 효율 (η_p)은 다음과 같이 계산할 수 있다^[7].

$$\eta_p = \frac{P_{out}}{P_{in}} = \frac{I_{PP}V_{PP}}{I_{DD}V_{DD}} \quad (1)$$

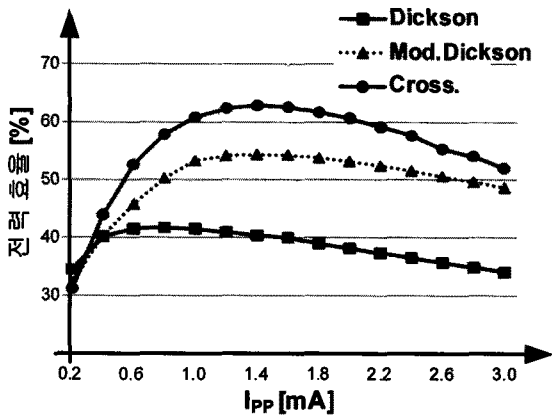
그림 3(a), (b)는 각각 부하 전류와 펌핑 클럭 주파수에 따른 전력 효율의 변화를 나타낸 것이다. 그림 3(a)

표 1. 전하 펌프 성능 비교

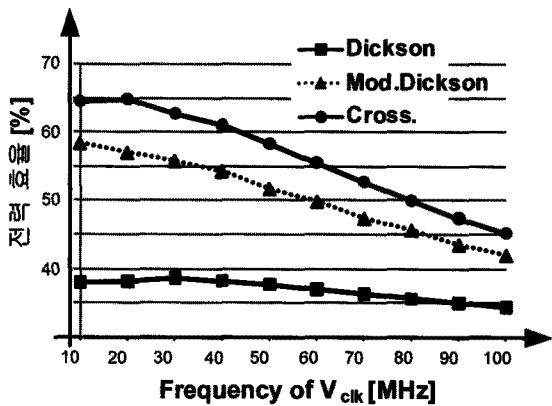
Table 1. The performance comparisons of charge pumps.

전하펌프	Dickson	개선된 Dickson	Cross-Coupled
단 수	5	3	3
V_{PP} [V]	3.0		
전력효율 [%]	38	56	65
승압시간 [μs]	3.052	3.202	3.827

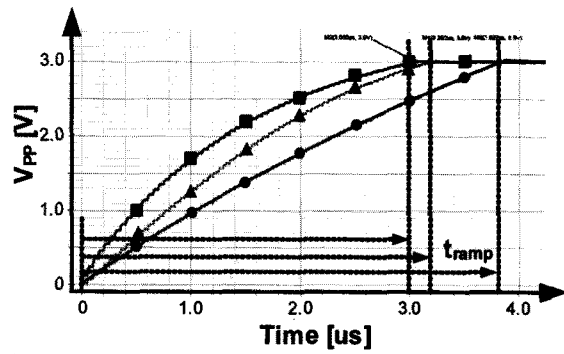
(@ $C_L=1$ nF, $C_p=100$ pF/단, $I_{pp}=0.1$ mA)



(a)



(b)



(c)

그림 3. (a) 부하 전류 ($V_{DD}=1.2$ V, $C_L=1$ nF, $f_{clk}=20$ MHz)와 (b) 펌핑 클럭 주파수 (f_{clk})에 따른 전력 효율 비교 ($I_{PP}=0.1$ mA), (c) 승압 시간 비교 ($f_{clk}=20$ MHz)

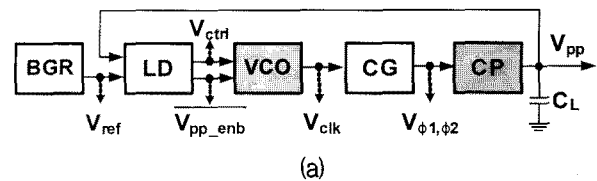
Fig. 3. Power efficiency versus (a) load current and (b) pumping clock frequency (f_{clk}) ($V_{DD}=1.2$ V, $C_L=1$ nF, $I_{PP}=0.1$ mA, (c) Ramp-up time (t_{ramp}) ($f_{clk}=20$ MHz).

는 Cross-coupled 전하 펌프 (Cross.)가 Dickson과 개선된 Dickson 전하 펌프 (Mod. Dickson)보다 같은 부하 전류 조건에서 높은 전력 효율을 가지는 것을 나타

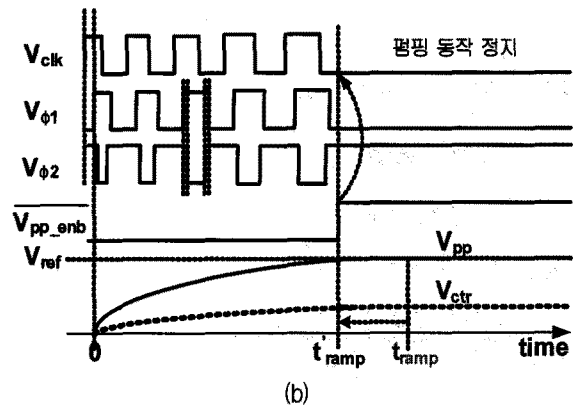
낸다. 즉, Cross-coupled 전하 펌프가 높은 전류 구동 능력을 가짐을 확인 할 수 있다. 그림 3(b)는 일반적인 펌핑 클럭 주파수와 전력 효율의 관계를 나타낸다. 펌핑 클럭 주파수가 증가할수록 전하 펌프의 각 단계에서 다음 단계로 전하를 완전하게 전달하지 못함으로 일반적으로 전력 효율은 감소한다. 또한 Cross-coupled 전하 펌프가 펌핑 클럭 주파수가 20 MHz 이하에서 다른 두 종류의 전하 펌프들에 비해 가장 높은 전력 효율을 가진다는 것을 알 수 있다. 따라서 본 논문에서는 승압 전압 발생기의 전력 효율을 증가시키기 위해서 Cross-coupled 전하 펌프를 사용한다. 하지만 3(c)의 Transient 모의실험 결과에서 나타나듯이, Cross-coupled 전하 펌프가 다른 두 종류의 전하 펌프보다 승압 시간 (t_{ramp})이 긴 것을 확인할 수 있으며, 긴 승압 시간은 DRAM의 동작 속도를 제한한다. 따라서 Cross-coupled 전하 펌프를 사용하기 위해서 승압시간을 단축할 수는 방법에 대한 연구가 필요하다.

III. 제안된 승압 전압 발생기

그림 4(a)는 제안된 승압 전압 발생기의 블록도를 나타낸다. 일반적인 승압 전압 발생기의 링 발진기 (RO) 대신 전압 제어 발진기 (VCO)를 사용하였다. 일반적인



(a)



(b)

그림 4. 가변 주파수를 출력하는 VCO를 적용한 제안된 승압 전압 발생기 (a) 블록도, (b) 타이밍도

Fig. 4. Proposed V_{PP} generator adopting VCO that generates a variable frequency (a) Block diagram, (b) The timing diagram.

승압 전압 발생기는 RO에서 공급되는 고정된 펌핑 클록 주파수를 사용하지만, 제안된 승압 전압 발생기는 V_{PP} 값에 따라 VCO에서 발생하는 가변되는 펌핑 클록 주파수를 이용한다. 그림 4.(b)는 제안된 승압 전압 발생기의 동작을 간략하게 나타낸다. 승압 전압 발생기가 V_{PP} 전압을 승압하기 시작할 때, VCO가 높은 주파수의 펌핑 클록을 공급해서 승압 시간 (t'_{ramp})을 기존 승압 전압 발생기 (t_{ramp})보다 단축시킨다. V_{PP} 전압이 목표 전압에 도달하면, VCO가 펌핑 클록의 주파수를 낮추어서 전하 펌프의 효율을 증가시킨다. 따라서 제안된 승압 전압 발생기는 VCO를 사용함으로써 높은 전력 효율과 빠른 승압 시간을 동시에 만족할 수 있다.

1. 가변 펌핑 클록 주파수 범위

그림 3(b), (c)에서 알 수 있듯이, 펌핑 클록 주파수, 전력 효율, 승압 시간은 Trade-off 관계를 가진다. 따라서 가변 펌핑 클록 주파수를 적용하기 위해서 펌핑 클록 주파수 변화에 따른 전력 효율과 승압 시간의 변화에 대한 분석이 선행되어야 한다.

그림 3(b)이 나타나듯이, V_{PP} 가 목표 전압에 근접하면 펌핑 클록 주파수를 20 MHz로 낮추는 것이 전력 효율을 증가시킨다. 그리고 승압 시간을 단축시키기 위해서 초기 펌핑 클록 주파수 (f_{high})를 증가시켜야 하지만, 펌핑 클록 주파수가 증가함에 따라 전력 효율이 감소하므로 무조건 펌핑 클록 주파수를 증가시킬 수 없다. 따라서 전력 효율과 승압 시간을 최적화하기 위해서 에너지 소모 (E)를 다음과 같이 계산하였다.

$$E = \int_0^{t_{ramp}} P_{@variable f_{clk} = f_{high} \rightarrow 20MHz} dt = P_{ave} \times t_{ramp} \quad (2)$$

여기서, f_{high} 는 초기 펌핑 클록 주파수, P_{ave} 는 V_{PP} 가 목표 전압에 도달할 때까지 승압 전압 발생기가 소모하는 평균 소비 전력을 나타낸다.

그림 5(a)는 모의실험을 통해 측정된 초기 펌핑 클록 주파수 (f_{high}) 변화에 따른 승압 시간 (t_{ramp})과 소비 전력 (P_{ave})의 변화를 나타낸다. 그림 5(b)은 식 (2)와 측정된 펌핑 클록 주파수와 승압 시간을 이용해서 계산된 에너지 소비량을 나타낸다. 즉, 초기 펌핑 클록 주파수를 50 MHz로 선택하는 것이 에너지 소모를 최소화 할 수 있다. 따라서 제안된 VCO를 이용한 승압 전압 발생기는 그림 6과 같이 승압 초기에는 펌핑 클록 주파수를 50 MHz로 사용하다가 V_{PP} 가 승압 함에 따라 펌핑

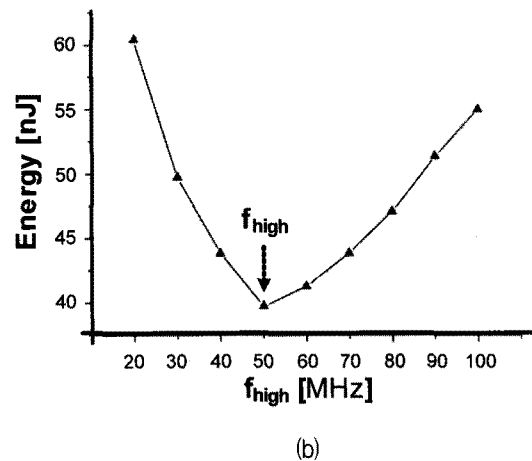
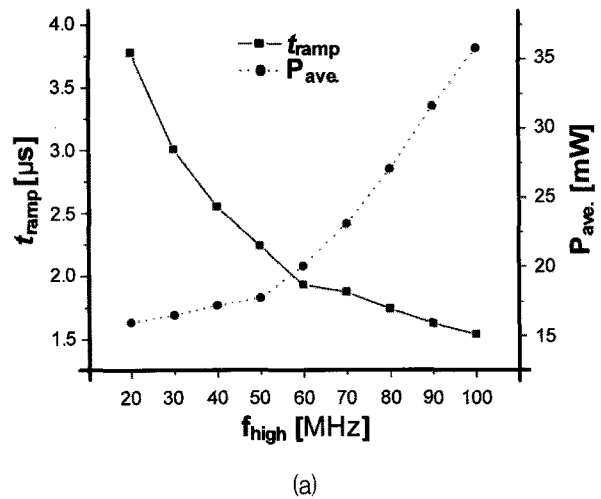


그림 5. 초기 펌핑 클록 주파수 변화 (f_{high})에 따른 (a) 승압 시간 (t_{ramp})과 소비 전력 (P_{ave})의 변화, (b) 에너지 소비의 변화
Fig. 5. (a) Ramp-up time (t_{ramp}) and power consumption (P_{ave}), (b) Energy consumption versus initial pumping clock frequency (f_{high}).

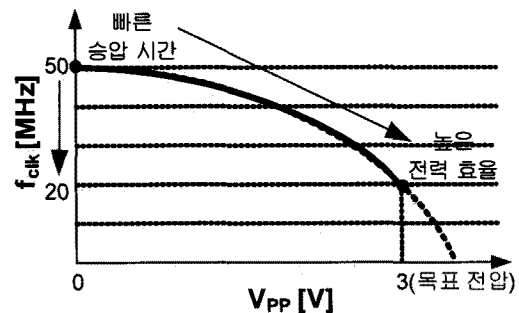


그림 6. 제안된 가변 펌핑 클록 주파수
Fig. 6. Proposed variable pumping frequency.

클록 주파수를 점차 감소시키고 V_{PP} 가 목표 전압에 도달하면 20 MHz를 펌핑 클록 주파수로 사용한다.

2. 전압 제어 발진기 (VCO)

그림 7(a)는 제어 전압 (V_{ctr})의 크기에 따라 펌핑 클럭의 주파수를 가변시키는 전압 제어 발진기의 회로도를 나타낸다. 설계된 VCO는 5단의 단위 지연 소자로 구성되며, 단위 지연 소자는 전류 제어 인버터 (Current-starved Inverter)로 구성된다^[12]. 단위 지연 소자에 흐르는 전류량을 V_{ctr} 값으로 제어하여 각 단의 지연 시간 (T_d)을 조절한다. 따라서 VCO의 최종 출력 클럭 V_{clk} 의 주파수는 $1/(10T_d)$ 가 된다.

그림 7(b)는 V_{ctr} 에 따른 펌핑 클럭 주파수의 변화를 나타낸다. V_{ctr} 가 증가하면 각 단의 PMOS의 $|V_{GS}|$ 값이 감소하여 인버터에 흐르는 전류량이 감소한다. 따라서 각 단의 지연 시간 T_d 가 증가해서 펌핑 클럭 주파수는 감소한다. 즉, 설계된 전압 제어 발진기는 그림 7(b)와

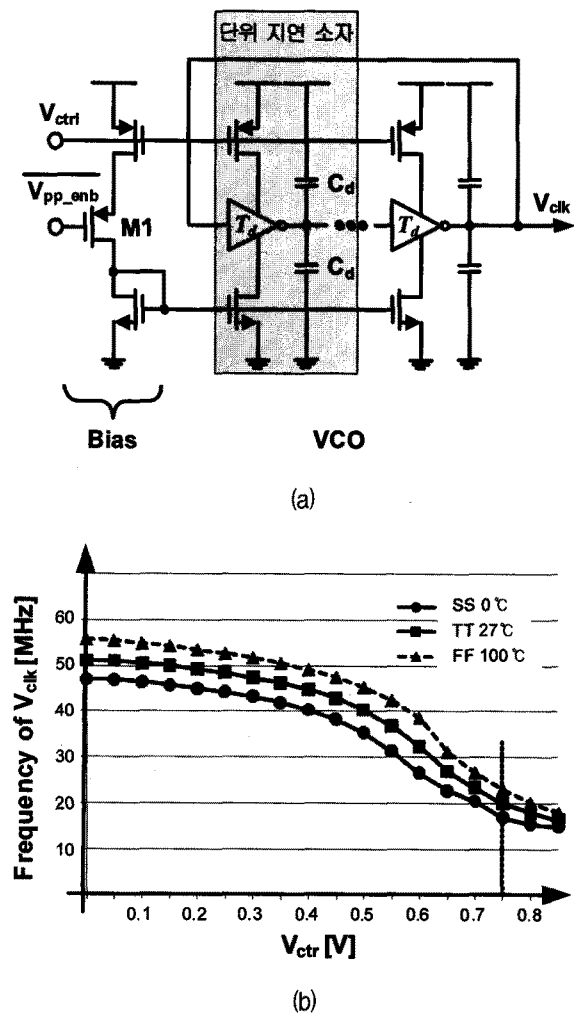


그림 7 전압 제어 발진기 (VCO) (a) 회로도, (b) 제어 전압에 따른 펌핑 클럭의 주파수 변화
 Fig. 7. Voltage controlled oscillator (VCO) (a) Schematic diagram and (b) f_{clk} versus V_{ctr} .

같이 V_{ctr} 이 0 V \rightarrow 0.75 V로 증가함에 따라 펌핑 클럭 주파수가 50 MHz \rightarrow 20 MHz로 감소한다. 승압 전압 발생기의 최종 출력 전압 V_{pp} 가 목표 전압에 도달하면 그림 4(b)와 같이 VCO는 동작이 정지한다. 즉, Bias 회로의 PMOS (M1)의 Gate 전압을 제어해서, $\overline{V_{pp_enb}}$ 가 "Low"이면 VCO는 정상적으로 동작하며, $\overline{V_{pp_enb}}$ 가 "high"이면 VCO는 동작을 정지한다.

IV. 실험 결과

제안된 승압 전압 발생기의 성능을 검증하기 위해 CMOS 0.13- μ m CMOS을 이용하여 설계, 제작되었다. 그림 8은 제작된 승압 전압 발생기 칩 사진과 실험 보드 사진이다. 제안된 승압 전압 발생기는 1 nF의 부하 캐패시터와 최대 2 mA의 부하 전류의 조건하에서도 3.0 V의 V_{pp} 를 승압하기 위해 40 pF 펌핑 캐패시터 (C_F) 6개를 내장하였으며, 칩 면적은 0.5- μ m \times 1.2- μ m이다. 칩의 성능을 측정하기 위해서 Chip on Board (COB) 형태로 실험 보드를 구성 하였다. 승압 전압 발생기 자체만의 성능을 측정하기 위해 V_{ref} 를 공급하는

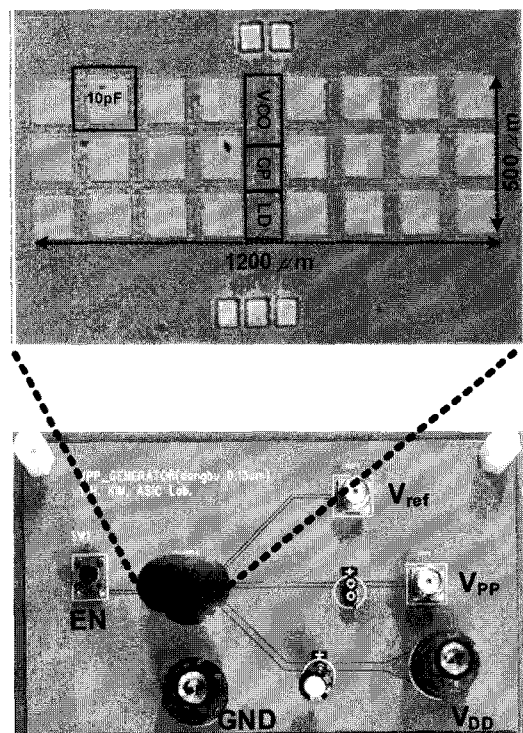


그림 8. 제작된 승압 전압 발생기 칩 사진과 실험 보드 사진
 Fig. 8. Microphotograph of proposed V_{pp} generator and test board.

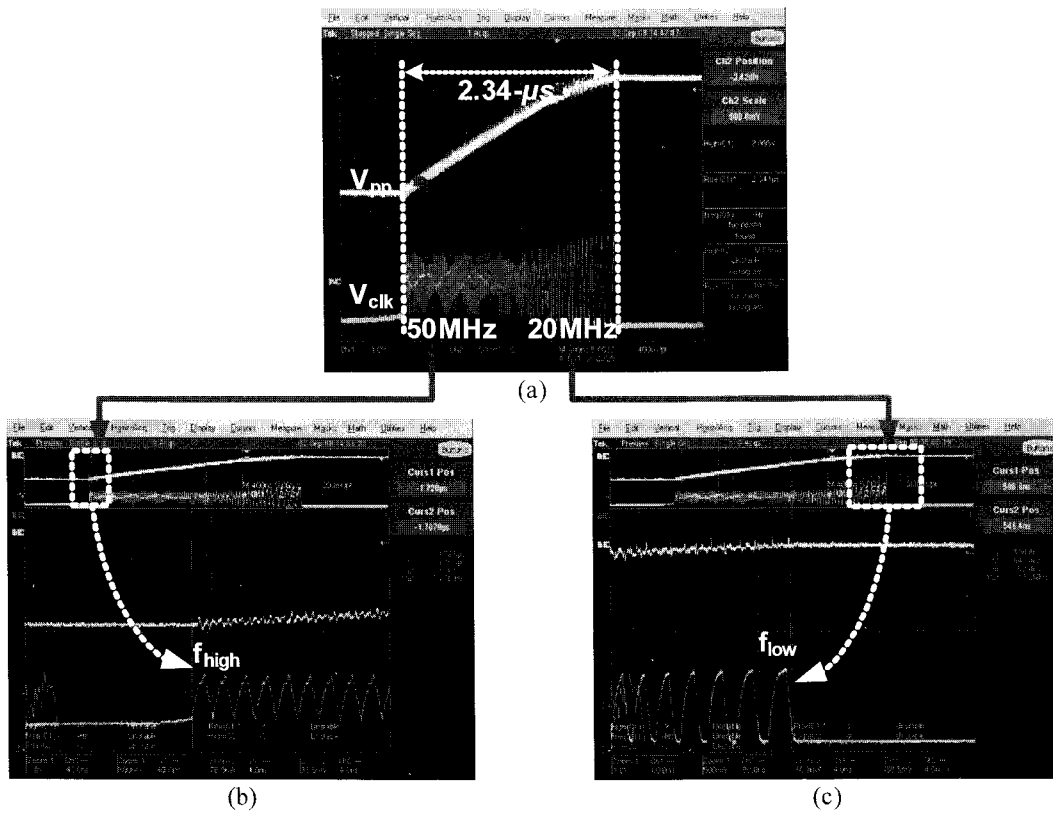


그림 9. 측정 결과 (a) V_{PP} (b) f_{high} (c) f_{low} ($@I_{PP}=0.1$ mA)
 Fig. 9. Experimental results (a) V_{PP} (b) f_{high} (c) f_{low} ($@I_{PP}=0.1$ mA).

BGR 대신 외부에서 전압 공급기 (Tektronix PS 2520G)를 사용해서 V_{ref} 를 인가하였고, 디지털 오실로스코프 (Tektronix TDS 3052)를 사용해서 최종 출력 V_{PP} 를 측정하였다.

그림 9는 측정된 실험 결과를 나타낸다. 부하 전류 (I_{PP})가 0.1 mA 일 때, V_{PP} 의 파형을 나타낸다. V_{PP} 를 2.34- μ s의 상승시간 안에 0 V에서 3.0 V까지 상승한다. 또한 그림 9.(b), (c)는 펌핑 클록의 주파수가 50MHz (상승 초기) \rightarrow 20MHz (V_{PP} 3V 도달)로 가변되어 설계된 VCO가 정확하게 동작함을 확인시켜준다.

표 2는 제안된 승압 전압 발생기의 성능 요약한 것이다. 제안된 승압 전압 발생기는 20 MHz의 고정된 펌핑 클록 주파수를 사용하는 기존의 승압 전압 발생기에 비해 상승 시간을 $I_{PP}=0.1$ mA일 때, 36% (3.65- μ s \rightarrow 2.34- μ s), $I_{PP}=2.0$ mA일 때, 29% (33.7- μ s \rightarrow 24.0- μ s) 감소시켰다. 또한 에너지 소모를 $I_{PP}=0.1$ mA, 2.0 mA일 때, 각각 33% (61.8 nJ \rightarrow 41.6 nJ), 26% (61.8 nJ \rightarrow 41.6 nJ) 감소하였다.

표 2. 성능 요약

Table 2. The performance summary.

공정		CMOS 0.13- μ m	
V_{DD}		1.2 V	
V_{PP}		3.0 V	
부하 캐피터 (C_L)		1.0 nF	
펌핑 캐피터 (C_F)		240-pF (3 stages)	
전류 구동 능력 (I_{PP})		≤ 2.0 mA	
칩 면적		500- μ m \times 1200- μ m	
성능비교		일반구조 (고정 f_{clk})	제안된구조 (가변 f_{clk})
상승시간 (t_{ramp})	@ $I_{PP}=0.1$ mA	3.65- μ s	2.34- μ s
	@ $I_{PP}=2.0$ mA	33.7- μ s	24.0- μ s
에너지 소비	@ $I_{PP}=0.1$ mA	61.8 nJ	41.6 nJ
	@ $I_{PP}=2.0$ mA	1573 nJ	1162 nJ

V. 결 론

제안된 승압 전압 발생기는 기존의 승압 전압 발생기에서 사용되는 링 발진기(RO) 대신 전압 제어 발진기(VCO)를 사용하여 최종 전압(V_{pp})의 크기에 따라 펌핑 클럭 주파수를 가변 (50MHz \rightarrow 20MHz)하였다. 따라서, 승압 초기에는 빠른 펌핑 클럭 주파수를 사용해서 승압 시간을 단축하였고, 최종 전압이 목표 전압에 전달하면, 펌핑 클럭 주파수를 낮추어서 전력 효율을 증가하였다. 또한 전력 효율을 증가시키기 위해서 3단의 Cross-coupled 전하 펌프를 사용하였다. 제안된 승압 발생기는 1.2 V 전원 전압, 최대 2 mA의 부하 전류, 1 nF의 부하 캐퍼시터 조건에서 24.0- μ s안에 3.0 V의 최종 출력 전압을 승압할 수 있으며 기존 구조에 비해 에너지 소비를 26% (1573 nJ \rightarrow 1162 nJ), 승압 시간을 29% (33.7- μ s \rightarrow 24.0- μ s) 감소하여, 높은 에너지 효율과 빠른 승압을 동시에 구현할 수 있다.

참 고 문 헌

- [1] C. G. Hwang, "New paradigms in the silicon industry," in *IEDM Tech. Dig.*, 2006, pp. 1 - 8.
- [2] K. Itoh, et al., "Memory at VLSI circuits symposium," *IEEE J. Solid-State Circuits*, vol. 43, no. 4, pp. 762 - 768, Apr. 2008.
- [3] S. -I. Cho, et al., "Two-phase boosted voltage generator for low-voltage DRAMS," *IEEE J. Solid-State Circuits*, vol. 38, no. 10, pp. 1726 - 1729, Oct. 2003.
- [4] C. C. Wang and J. C. Wu, "Efficiency improvement in charge-pump circuits," *IEEE J. Solid-State Circuits*, vol. 32, pp. 852 - 860, June 1997.
- [5] J. F. Dickson, "On chip high voltage generation in NMOS integrated circuits using an improved voltage multiplier technique," *IEEE J. Solid-State Circuits*, vol. 11, no. 3, pp. 374-378, Jun. 1976.
- [6] J. -T. Wu and K. -L. Chang, "MOS charge pump for low-voltage operation," *IEEE J. Solid-State Circuits*, vol. 33, no. 4, pp. 592 - 597, Apr. 1998.
- [7] R. Pelliconi, et al., "Power efficient charge pump in deep submicron standard CMOS technology," *IEEE J. Solid-State Circuits*, vol. 38, no. 6, pp. 1068 - 1071, Jun. 2003.
- [8] M. -D. Ker, S. -L. Chen and C. -S. Tsai, "Design of charge pump circuit with consideration of gate-oxide reliability in low-voltage CMOS processes," *IEEE J. Solid-State Circuits*, vol. 41, no. 5, pp. 1100 - 1107, May 2006.
- [9] T. Tanzawa and T. Tanaka, "A dynamic analysis of the Dickson charge pump circuit," *IEEE J. Solid-State Circuits*, vol. 32, no. 8, pp. 1231 - 1240, Aug. 1997.
- [10] G. -H. Lim, et al., "Charge pump design for TFT-LCD driver IC using stack-MIM capacitor," *IEICE Trans. Electron.*, vol. E91 - C, no. 6, pp. 928 - 935, Jun. 2008.
- [11] J. -Y. Lee, et al., "A regulated charge pump with small ripple voltage and fast start-up," *IEEE J. Solid-State Circuits*, vol. 41, no. 2, pp. 425-432, Feb. 2006.
- [12] J. M. Rabaey, A. Chandrakasan and B. Nikolic, *Digital Integrated Circuits*, 2nd edition, Prentice-Hall, 2005.

저 자 소 개



김 규 영(학생회원)
2005년 고려대학교 전기전자전파
공학부 학사졸업.
2005년~현재 고려대학교
전자컴퓨터공학과
석박사통합과정.

<주관심분야 : High Speed CMOS Transceiver,
Low Power Analog/Digital Circuits>



이 두 찬(학생회원)
2009년 고려대학교 전기전자전파
공학부 학사졸업.
2009년~현재 고려대학교 나노
반도체공학과 석사과정.
<주관심분야 : High Speed
CMOS Transceiver>



박 종 선(정회원)
1998년 고려대학교 전자공학과
학사 졸업.
2000년 Purdue Univ.
전기공학부 석사 졸업.
2005년 Purdue Univ.
전기공학부 박사 졸업.

2005년~2008년 Marvell Semiconductors, 연구원
2008년~현재 고려대학교 전기전자전파 공학부
조교수.

<주관심분야 : Low power circuits & systems for
DSP and communications, Low power
biomedical implantable devices>



김 수 원(정회원)-교신저자
1974년 고려대학교 전자공학과
학사 졸업.
1976년 고려대학교 전자공학과
석사 졸업.
1983년 Texas A&M Univ.
전자공학과 석사 졸업.

1987년 Texas A&M Univ. 전자공학과
박사 졸업.
1987년~현재 고려대학교 전기전자전파공학부
정교수.

<주관심분야 : High Speed CMOS Transceiver,
Implantable System IC, Sensor Interface IC>