

블록 공중합체 자기조립을 이용한 반도체 나노패터닝

박상민

1. 서론

1965년 Moore의 법칙이 제안된 이후, 반도체 산업은 빠른 속도로 발전되어 왔으며, 이에 발맞춰 요구되는 미세패턴과 고밀도 집적회로 (Integrated Circuit)의 제작을 위해 많은 노력을 기울여 왔다. 인텔의 공동 설립자인 Gordon Moore는 마이크로 프로세서 칩(chip)에 포함되는 트랜지스터의 수가 18개월마다 두 배로 증가한다고 예측 하였으며, 이러한 Moore의 법칙은 지난 40년간 실리콘 산업의 발전 방향과 성장 속도를 지배해 왔다.¹ ITRS(International Technology Roadmap for Semiconductors)에 따르면, 반도체 산업은 32 nm 패턴 기술단계를 지나 이제 곧 22 nm 패턴이 요구되는 시점에 도달할 것이라 내다보고 있으며, 이러한 제한적 시간 내에 요구되는 패턴을 만들기 위해서는 현재 사용되는 광리소그라파(photolithography) 기술을 발전시킴과 동시에 차세대 반도체 개발을 위한 새로운 방식을 가능한 한 빠른 시간 내에 도입시켜야 한다고 보고 있다.

현재 마이크로 프로세서의 생산에 사용되고 있는 광리소그라파는 단순하게 노광장치(exposure tool)와 포토레지스트(photoresist)로 구성되며, 이는 대면적에서의 패턴 제작에 효과적일 뿐만 아니라 registration과 overlay 그리고 다양한 모양의 기하학적 구조를 만드는데 아주 용이하다. 광리소그라파 방식은 많은 회의적인 예측에도 불구하고 여전히 높은 잠재력을 가지고 진보되고 있지만, 아래의 Rayleigh equation에 따라 해상도의 제한을 가지고 있다.

$$R = k_1 \frac{\lambda}{NA} \quad (1)$$

여기서, 패턴 규모 R 은 빛의 파장 λ 와 numerical aperture, NA 의 값에 크게 의존하게 되며, 공정에 관련된 변수인 k_1 에 비례하게 된다. 따라서, 최소규모의 패턴을 전사하기 위해서는 빛의 파장과 k_1 값을 줄이거나, numerical aperture를 증가시켜야 한다. 이중에서 빛의 파장을 줄이기 위해 눈에 띄는 노력을 기울이고 있으며, 현재 반도체 공정에서는 193 nm 광리소그라파 기술을 사용하여 미세패턴을 제작하고 있다. 이외에도 40 nm 이하의 미세한 패턴을 만들기 위해 전자빔 리소그라파(electron beam lithography)나 EUV(extreme ultraviolet)에 관한 연구가 진행되고 있으며, 특히 EUV의 경우 13.5 nm의 아주

작은 파장을 가지고 있기 때문에 차세대 나노 리소그라파기술로 각광을 받고 있다. 하지만, EUV는 상당히 높은 photon 에너지에 의해 광학기기의 수명이나 레지스트에 흡수되는 빛의 조절에 어려움을 가지고 있다.

파장이 짧은 노광장치의 개발과 동시에, 나노규모의 패턴을 만들기 위해 보다 안정하고 낮은 LWR(line width roughness)를 가지는 포토레지스트의 개발도 활발히 진행되었다. 1980년대 초에 개발된 chemically amplified photoresist(CARs)는 산(acid)의 생성을 유도하여 레지스트가 빛에 민감하게 반응할 수 있도록 하였으며, 이를 통해 약 50 nm 정도의 패턴을 가능하게 하였다.² 이러한 특성은 디바이스 생산공정을 원활하게 만들어 생산성 향상의 결과를 가져오게 하였지만, 50 nm 이하의 패턴을 만들 시에 고분자 사슬의 응집이나 산분자(acid molecule)의 빠른 확산속도에 의해 레지스트 패턴의 CD(critical dimension) 조절이나 LER(line edge roughness)에 심각한 문제를 안고 있다. 또한, 강력한 모세관 현상에 의해 현상 시에 패턴의 붕괴를 초래하게 된다. 따라서, 차세대 반도체 개발을 위해서는 기존의 광리소그라파 기술이 갖고 있는 문제점을 해결할 수 있는 능력을 가져야 함과 동시에 생산 비용을 절감할 수 있어야 하며, 공정의 단순화를 가져올 수 있어야 한다. 이와 같은 조건을 만족시킬 수 있는 방법으로 블록 공중합체 자기조립(self-assembly of block copolymer)이 널리 연구되고 있다. 블록 공중합체는 화학적으로 서로 다른 분자사슬이 공유결합을 통해 연결된 분자구조로써 사슬간의 비친화성으로 인해 미세상을 형성하게 된다. 이 미세상의 크기는 대략 50 nm 이하로 10 nm 이하의 분자수준까지 도달 가능성을 가지고 있으며, 규칙적으로 반복되는 나노구조를 넓은 면적에 배열할 수 있는 장점을 가지고



박상민

2000	충남대학교 고분자공학과(학사)
2002	포항공과대학교 신소재공학과(석사)
2002~	LG 화학연구소, 연구원
2003	
2007	University of Wisconsin-Madison (박사)
2007~	IBM-Almaden Research Center,
2009	연구원
2010~	Lawrence Berkeley National Lab, 연구원
현재	

Nanopatterning Using Self-Assembly of Block Copolymers for Microelectronic Application

로렌스 버클리 국립연구소 (Sang-Min Park, Lawrence Berkeley National Lab, Cyclotron Road, Berkeley, CA 94720, USA)
e-mail: parkny@hotmail.com

있다. 뿐만 아니라 자기조립 과정을 거치기 때문에 나노구조의 형성이 단순한 공정을 통해 저비용으로 이루어지게 되며, 물질의 화학구조가 현재 사용되는 포토레지스트와 유사하기 때문에 반도체 생산공정에 쉽게 적용될 수 있다. 따라서, 많은 반도체 회사에서는 현재 블록 공중합체를 이용하여 나노소자의 개발을 진행 중에 있으며, 본 특집에서는 지금까지 연구된 결과에 대해 정리하여 보았다.

2. 본론

2.1 블록 공중합체 나노패턴

블록 공중합체 나노구조는 크게 2차원적 평면구조와 3차원 입체구조로 나눠볼 수 있겠다. 대부분의 블록 공중합체 박막내의 나노패턴을 이용한 연구들은 2차원 평면구조에 집중되어 있지만, 이론적 연구와 실험을 통해 수없이 많은 3차원 입체구조들이 밝혀지고 있으며, 이와 동시에 다양한 잠재적 응용 가능성도 모색되고 있다. 가장 대표적인 평면구조로는 **그림 1(a)**에서 보여지는 것처럼 점 패턴과 선 패턴이다. **그림 1(a)**는 기질(substrate) 위에 단층으로 형성된 구형(sphere)과 수직으로 배향된 원통형(cylinder)으로 형성될 수 있는 점패턴(spot pattern)을 보여주고 있으며, **그림 1(b)**는 기질에 수평으로 배향된 원통형과 수직으로 형성된 판상형(lamella) 구조로 나타내어지는 선패턴(line pattern)을 나타내고 있다.

이러한 구조들은 주로 이중 블록 공중합체(diblock copolymer)의 자기조립을 통해 형성된 것들이 많이 연구되고 있지만, 삼중 블록

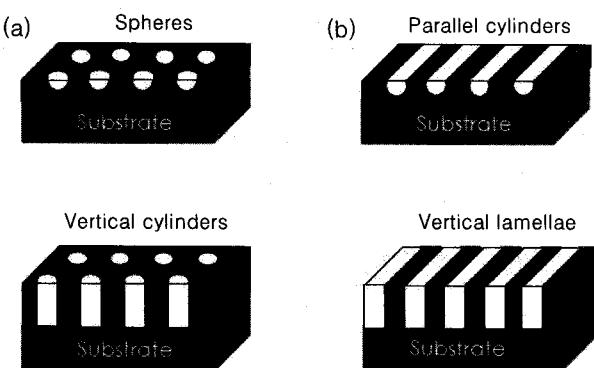


그림 1. 2차원 평면구조를 가지는 블록 공중합체 박막의 나노구조. (a) 점패턴 구조, (b) 선패턴 구조.

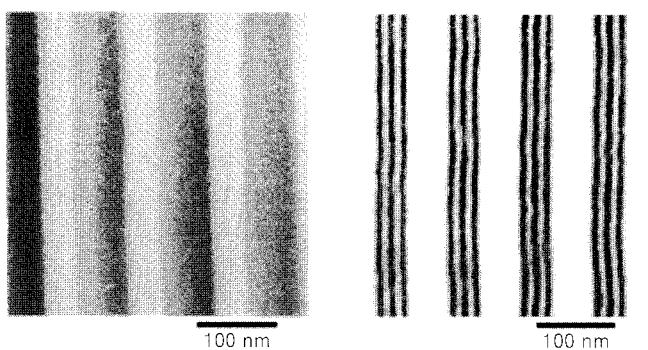


그림 2. 판상형 나노구조를 형성하고 있는 PISISISISIP undecablock co-polymer의 TEM 이미지.

(tri-) 혹은 다중 블록 공중합체(multiblock copolymer)에 의해 형성된 다양한 2차원 패턴도 발표되고 있다. 한가지 예로, **그림 2**에서 보이는 것과 같이 가장자리에 2개의 긴 P2VP(poly(2-vinyl pyridine)) 사슬을 가지고 중앙에 5개의 PI(polyisoprene)과 4개의 PS(poly-styrene)로 구성된 undecablock terpolymer를 가지고 최대 9개의 판상형 구조를 형성하였다.³ 이때, PI와 PS로 구성된 판상구조의 반복주기는 16 nm로 아주 작은 규모의 나노구조가 형성되었다.

2차원 평면구조는 반도체 패턴으로의 응용을 위해 가장 활발히 연구되고 있으며, 특히 결함구조(defect)를 제거하여 대면적에 완벽한 나노구조를 정렬하거나, 원하는 모양의 기하학적 구조를 디자인하여 특수한 목적에 맞는 나노패턴을 제작하기도 한다. 점 패턴의 경우, 대부분 열역학적으로 안정한 구조인 육각형배열(hexagonal array)을 형성하지만,⁴ 얇은 유기층에 화학적 대비를 가지는 표면패턴을 형성시키는 방법(chemical pattern technique)을 이용하거나 수소결합단위를 가지는 이중 블록 공중합체의 자기조립을 이용하여 정사각형 배열(square array)을 유도하기도 하였다.^{5,6} 원통형 구조와 판상형 구조를 가지는 이중 블록 공중합체 박막은 결합 구조를 제거하여 대면적에 반복적 배열의 선 패턴을 제작하거나, 원하는 모양의 패턴을 디자인하기 위해 graphoepitaxy,⁷ 화학패턴 기술,⁸ 전기장,⁹ Zone annealing 등¹⁰ 다양한 방법들이 개발되어 왔으며, 이를 이용하여 실리콘 혹은 금 속 나노와이어 제작과 최근에는 반도체 집적회로의 디자인을 재현하기 위한 연구결과도 발표되었다.^{11,12}

복잡하고 다양한 3차원 입체구조도 블록 공중합체를 이용하여 관찰되고 있다. 이중 블록 공중합체는 3차원 나노구조인 자이로이드(gyroid) 구조를 형성하지만, 보다 다양한 3차원 구조는 서로 다른 세 종류의 사슬로 구성된 삼중 블록 공중합체와 그 이상의 사슬들로 구성된 다중 블록 공중합체에서 보다 다양하게 형성될 수 있다. 이때, 상거리(phase behavior)은 온도, 분자량, 그리고 각 블록의 부피 분율 외에도 사슬간의 상호작용(interaction)과 배치 순서 그리고 전체 조성 등에 의해 영향을 받기 때문에 삼중 블록 공중합체의 경우, **그림 3**에서 보듯이 단순한 2차원 구조 뿐만 아니라 다양한 3차원 구조도 자기조립 방식으로 만들 수 있다.

이처럼 다양하고 복잡한 나노구조들은 아직까지 깊이 있게 연구

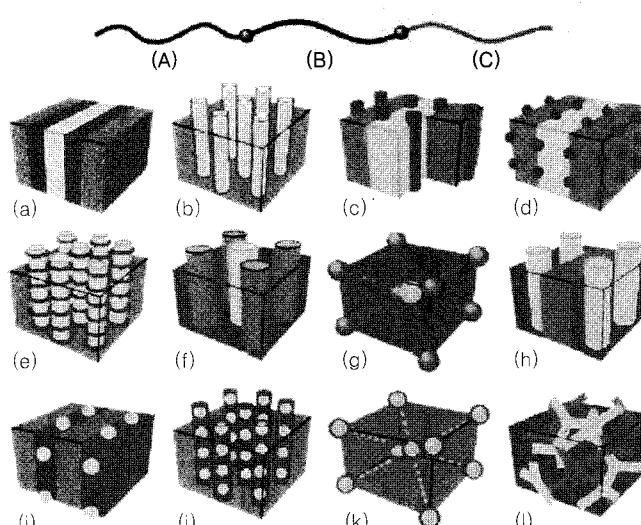


그림 3. ABC 삼중 블록 공중합체의 나노구조.

되어 오고 있지 않지만, 다른 어떤 방법으로도 제작하기 힘든 복잡한 구조까지도 자기조립 방식으로 접근할 수 있다는 점만으로 블록 공중합체는 무한한 잠재적 응용 가능성을 보여주고 있다.

2.2 나노패턴의 전사를 위한 블록 공중합체 템플레이트(Template)

블록 공중합체 리소그라피(block copolymer lithography)는 블록 공중합체 박막내에 존재하는 나노구조를 기질 위에 전사시켜 나노패턴을 만드는 것을 말하며, 현재 반도체 공정에서 사용되는 광리소그라피에 비해 상당한 비용 절감과 공정의 단순화가 기대되고 있다. 블록 공중합체 리소그라피는 Princeton대학에서 처음으로 시도하였으며, 이때 구형을 형성하는 poly(styrene-*b*-butadiene) (PS-*b*-PB)를 가지고 오존처리(ozonation)와 OsO₄ staining 방식을 사용하여 육각형 배열을 가지는 블록 공중합체 템플레이트를 제작하였다.^{13,14} 오존 처리 하에서 단층의 PB 구형상은 선택적으로 분해되는 반면, PS상은 가교과정을 통해 나노기공(nanopore)을 가지는 블록 공중합체 템플레이트를 형성하게 된다. 이와 반대로 OsO₄로 staining된 PB상은 reactive ion etch(RIE)에 저항력이 PS상에 비해 상대적으로 증가되며 때문에 나노기둥(nanopost)이나 나노와이어 제작을 위한 템플레이트를 형성할 수 있게 된다. 하지만, 구형의 나노구조는 종횡비(aspect ratio)가 큰 패턴을 얻기가 어렵기 때문에 수직 배향을 가지는 원통형 블록 공중합체 템플레이트 제작이 활발히 이루어졌으며, 판상형 나노구조를 이용하여 선모양의 나노패턴도 제작되었다. 이때, 패턴 모양에 따라 템플레이트 제작 방식이 달라지게 된다.

2.2.1 UV를 이용한 템플레이트 제작

블록 공중합체 리소그라피를 위해 가장 많이 연구되고 있는 이중 블록 공중합체는 poly(styrene-*b*-methyl methacrylate) (PS-*b*-

PMMA)이다. PS-*b*-PMMA는 자외선 조사 하에서 상반되는 반응 메커니즘을 보인다. PS 블록은 자외선 하에서 사슬간에 가교 결합을 하게 되는 반면 PMMA의 경우 사슬이 절단되어 분해된다. 따라서, PMMA에 선택적인 용매인 acetic acid로 씻어 주게 되면, 기질 위에는 PS 템플레이트만 남게 되며, 이는 나노패턴의 전사에 사용된다. 그림 4(b)는 기질에 수직으로 배향된 원통형 나노구조 PS-*b*-PMMA에 일정 자외선을 조사한 뒤, develop을 한 후 형성된 PS 템플레이트를 보여주고 있으며, 이러한 패턴은 양자점(quantum dot),¹⁵ 자기 저장체(magnetic storage media),¹⁶ high surface area capacitor¹⁷ 등 전자기 디바이스의 제작에 사용되어 왔다.

하지만, acetic acid를 이용한 습식 에칭(wet etch) 방식은 다양한 구조의 나노패턴 제작에 있어서 치명적인 단점을 하나 가지고 있다. 비록 구형이나 원통형의 템플레이트를 제작하는데 있어 성공적으로 사용되고 있지만, 판상형 구조의 경우, 액체인 acetic acid의 모세관력(capillary force)에 의해 PS 구조가 붕괴되어 패턴의 거칠도(roughness)를 크게 증가시켜 이상적인 패턴의 전사가 불가능하게 된다. 따라서, PMMA상을 선택적으로 제거하면서 안정한 PS 구조를 얻기 위해서는 플라즈마를 이용한 건식 에칭(dry etch) 방식이 유용하다.

2.2.2 Reactive Ion Etch(RIE)를 이용한 나노패턴

Reactive ion etch(RIE)를 이용한 유기 고분자의 제거는 고분자 사슬 내에 탄소를 포함하느냐 혹은 산소를 함유하느냐에 따라 제거속도(etch rate)가 달라진다.¹⁸ 이러한 현상은 건식 에칭에 사용되는 가스의 종류에 관계없이, 일반적으로 탄소를 함유하고 있는 고분자는 산소 성분을 갖고 있는 고분자에 비해 에칭에 대한 저항력이 크다. 그림 5에 있는 그래프를 보면, 산소를 포함하는 고분자는 다른 고분자에

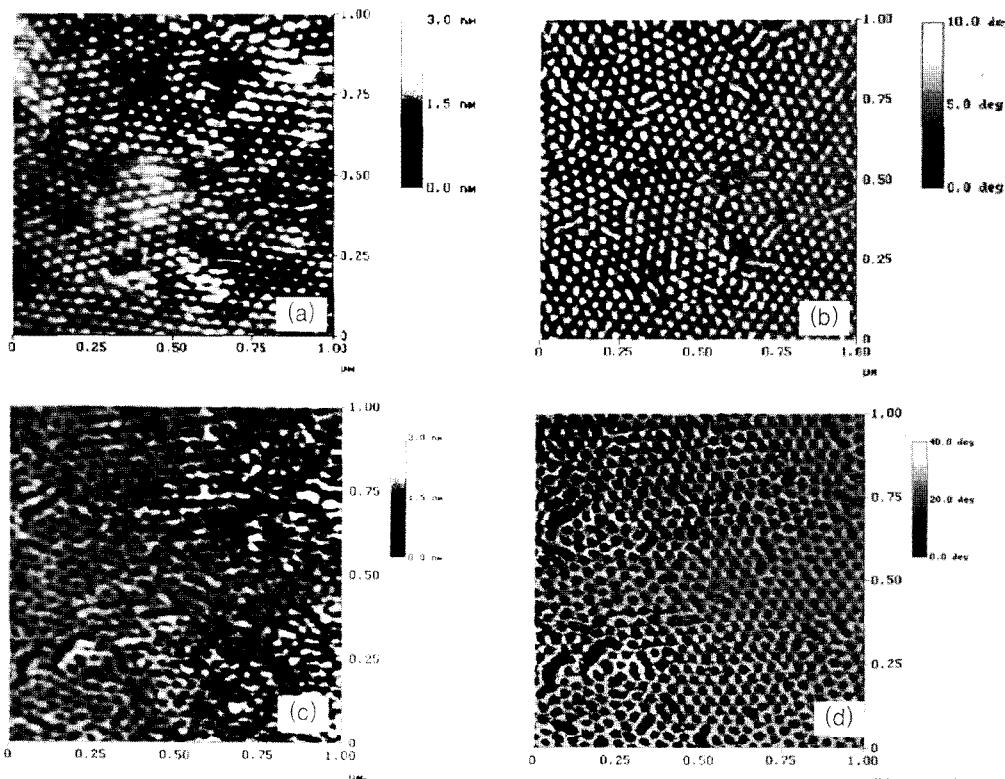


그림 4. 수직으로 배향된 원통형 PS-*b*-PMMA 나노구조의 AFM 이미지. (a) height 이미지, (b) phase 이미지, (c) PS 템플레이트의 height 이미지, (d) PS 템플레이트의 phase 이미지.

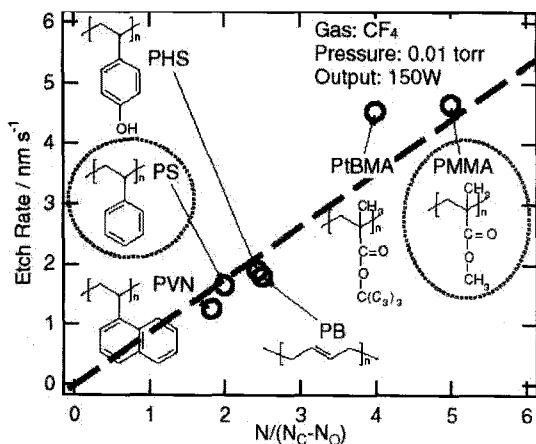


그림 5. CF_4 건식에칭하에서 고분자 에칭속도와 $N/(N_c - N_o)$ 값과의 관계
그림(PVN: poly(vinylnaphthalene), PS: polystyrene, PHS: poly(hydroxystyrene), PB: polybutadiene, PtBMA: poly(*i*-butylmethacrylate), PMMA: poly(methylmethacrylate)).

비해 에칭 속도가 빠르며, 이는 원자 수의 비인 $N/(N_c - N_o)$ 와 비례함을 알 수 있다. 여기서, N 은 반복단위당 전체 원자의 수이고 N_c 는 탄소원자의 수, 그리고 N_o 는 산소원자의 수이다. 이 관계식에 의하면, 방향족 성분을 가지는 고분자와 산소원자를 포함하는 고분자로 구성된 PS-*b*-PMMA는 건식 에칭을 위한 이상적인 블록 공중합체 중에 하나임을 알 수 있다.

RIE를 이용하여 PS-*b*-PMMA 템플레이트를 제작하기 위해서는 두 블록간의 에칭 속도 차이가 커서 종횡비가 큰 패턴을 형성해야 하며, 에칭 후에 남아 있는 블록 공중합체의 표면 거칠도가 낮아 매끄러운 패턴 표면을 가지고 있어야 기질에 나노패턴이 완벽하게 전사될 수 있다. 이와 같은 조건들을 만족시키기 위해서는 RIE의 출력, 가스 압력 및 흐름 속도, 전압(bias voltage), 스테이지 온도 등이 최적화되어야 하며, 특히 사용되는 가스의 종류에 따라서 블록 공중합체 패턴의 상태가 크게 달라진다.¹⁹ 순수 Ar 가스의 경우, 물리적 충격에 의한 에칭 메카니즘을 가지며 에칭 속도는 느리지만, 순수 PS와 PMMA 간에 에칭 속도대비(etch selectivity)는 상당히 크다. 하지만, PS-*b*-PMMA 블록 공중합체 박막의 에칭에 있어서는 그림 6(a)에서 보여지듯이 매우 안 좋은 결과를 나타낸다. O₂ 가스는 화학적 에칭에 기반을 두고 있으며, PS와 PMMA 모두의 에칭 속도가 상당히 빠르기 때문에 에칭 속도대비가 Ar 가스의 절반에도 미치지 못한다. 또한, 남아 있는 PS의 거칠도가 커서 실제 사용에 있어서 그리 좋은 결과를 얻기는 힘들다. 하지만, 그림 6(c)에서 보듯이 Ar과 O₂를 50: 5의 비율로 혼합하여 사용하면 PMMA 블록의 선택적 제거에 있어서 가장 좋은 결과를 보여주고 있으며, 남아있는 PS 블록의 표면도 상당히 매끄러움을 알 수 있다. 따라서, PS-*b*-PMMA 박막의 패턴 전사를 위해서 Ar/O₂ 혼합가스의 사용은 최상의 결과를 가져올 것으로 기대된다.

2.2.3 하이브리드 공중합체

유기 성분으로 구성된 PS-*b*-PMMA와 같은 고분자의 패턴을 기질에 전사시킬 경우, PMMA 제거 과정 동안 PS 블록도 두께방향으로 약 50% 정도가 소비되기 때문에 종횡비가 큰 패턴의 제작에는 적절하지 않다. 따라서, 종횡비가 큰 패턴의 전사를 위해서는 블록 공중합체 패턴이 유기상과 무기상으로 구성되어 에칭의 저항성(etch resistance)을 크게 향상시킬 수 있는 하이브리드 공중합체(organic-

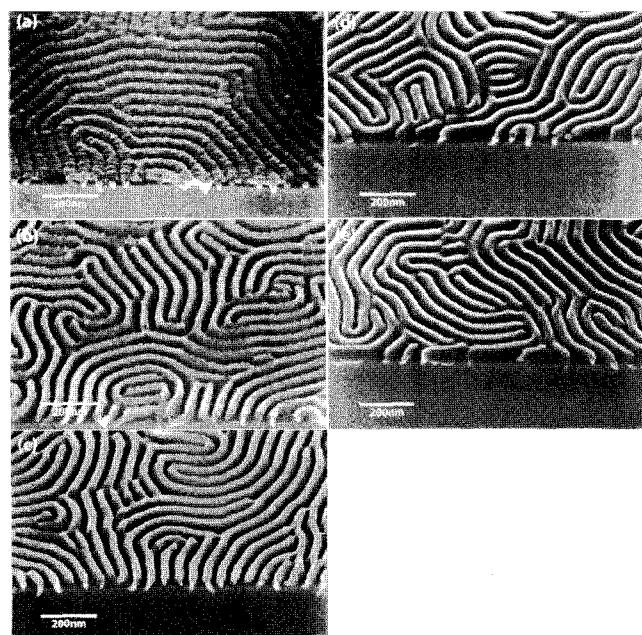


그림 6. 서로 다른 가스혼합물로 에칭된 블록 공중합체 박막. (a) Ar, (b) O₂, (c) Ar/O₂, (d) CF₄, and (e) CHF₃/O₂.

inorganic hybrid block copolymer)가 효과적일 수 있다. 유무기 하이브리드 공중합체는 무기원소를 가지는 단량체를 가지고 직접 공중합체를 합성하거나 혹은 한쪽 블록과 강한 상호 작용을 하는 무기물을 공중합체 용액에 혼합하여 하이브리드 패턴제작을 가능하게 한다. 실제 반도체 패터닝에 있어서 금속이온(metal ion) 혹은 금속(metal)을 포함하는 무기물질의 경우, 유기물에 비해 좋은 에칭 대비(etch selectivity)를 보인다 하더라도 반도체 공정을 오염시킬 수 있기 때문에 사용이 불가능하다. 실리콘을 포함하는 무기물은 금속성이 가지는 에칭 저항도를 가질 뿐만 아니라 반도체 공정과 호환성이 좋기 때문에 각광을 받고 있다.

유무기 공중합체의 경우, 최근에 polyhedral oligomeric silsequioxane(POSS)를 포함하는 공중합체의 합성에 성공하였다.²⁰ POSS는 실리콘에 비해 물리적으로나 열적으로 보다 안정하고 산소 플라즈마(oxygen plasma)에 의해 쉽게 실리카로 전환될 수 있는 이점을 가지고 있다. 그림 7은 POSS를 포함한 PS-*b*-PMAPOSS와 PMMA-*b*-PMAPOSS를 가지고 선 패턴과 점 패턴 과정을 보여 주고 있으며, 이때 PMAPOSS의 경우 PS와 PMMA에 대해 약 8배와 17배 정도의 높은 에칭 저항도를 가진다.

그림 8에서와 같이 반도체 절연물질로 사용되고 있는 OS(organosilicate) 전구체를 poly(styrene-*b*-ethylene oxide)(PS-*b*-PEO)와 적절한 비율로 혼합하면 O₂ 플라즈마 에칭에 유용한 나노구조를 제작할 수 있다.²¹ 이때, OS 전구체는 PEO 블록과 강한 상호작용을 가지고 선택적으로 위치하게 되며, 열처리과정을 거치게 되면 가교결합을 통해 안정한 나노구조체를 형성하게 된다. 또한, OS 첨가량을 조절하면 구형, 원통형, 판상형 구조를 쉽게 만들 수 있으므로 합성의 번거로움을 덜 수 있는 장점을 가지고 있다. 이와 같은 하이브리드 공중합체는 유기상과 하이브리드상 간에 혼화성(miscibility)이 상당히 낮기 때문에 상분리(phase separation) 과정이 쉽고 빠르게 이루어 지며, 10 nm 이하의 패턴에 도달할 수 있는 장점도 가지고 있다. 또한, orientational correlation length가 커서 유기 블록 공중합체에 비

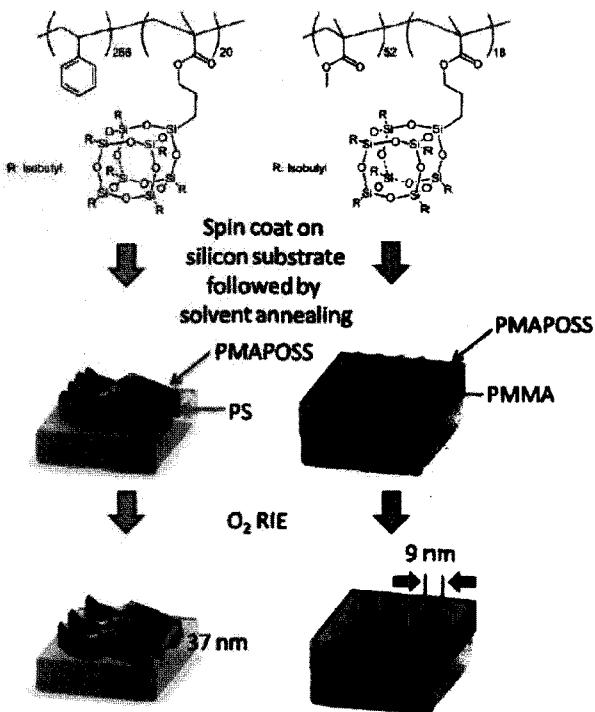


그림 7. PS-*b*-PMAPOSS를 이용한 silicon oxide 패턴 제작.

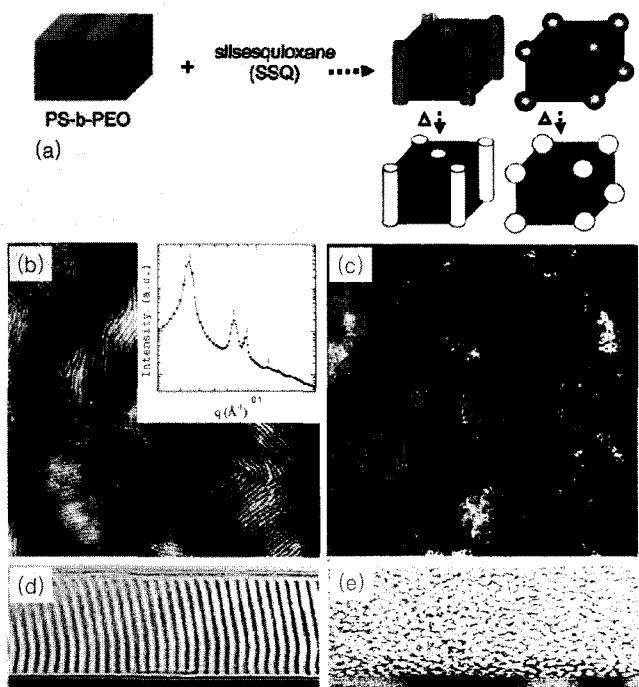


그림 8. PS-*b*-PEO와 OS가 혼합되어 형성된 블록 공중합체 하이브리드 구조.

해 결함 밀도(defect density)가 낮고 single grain 규모가 커서 long-range order를 형성하는데 효과적이다. 나노패턴을 형성한 하이브리드 공중합체는 플라즈마 애칭 혹은 고온의 열처리 과정을 통해 유기상을 선택적으로 제거할 수 있으며, 형성된 템플레이트를 통해 기질에 패턴을 바로 전사할 수 있겠다. 따라서, 나노패터닝 공정의 단순화와 비용 절감면에서 큰 이점을 가지고 있다 할 수 있겠다.

2.3 차세대 반도체 개발을 위한 블록 공중합체의 응용

블록 공중합체 박막은 적은 비용으로 손쉽게 나노규모의 패턴을 제작할 수 있는 장점을 가지고 있으며, 상(phase)간에 존재하는 계면의 두께가 수나노 이하로 아주 작기 때문에 LER 혹은 LWR이 아주 낮은 패턴의 제작을 가능하게 한다. 따라서, 작아져만 가는 전자 디바이스 제작을 위한 리소그라피 기술의 한계를 뛰어 넘을 수 있는 하나의 가능성으로 크게 주목받고 있으며, 현재 반도체 회사들뿐만 아니라 여러 화학회사에서도 블록 공중합체 자기조립 기술을 이용한 응용연구를 활발히 진행중에 있다. 특히, 반도체 시장에서는 실제 공정에서 블록 공중합체 나노패턴 도입의 실용가능성을 심도 깊게 평가하고 있으며, 늦어도 향후 2~3년 내에 블록 공중합체 자기조립 방식이 반도체 공정에 사용될 지에 관한 평가가 내려질 것으로 기대된다. 지금까지 발표된 블록 공중합체 논문들은 대체적으로 나노패턴을 이용한 전자 소자의 제작에 집중되어 있으며, 실제 반도체 공정과 비교하면 아직 효율적인 면에서나 결합 제거 기술, 그리고 패턴의 정확성, registration 등에서 해결해야 할 문제점들이 남아 있다. 하지만, 최근에 directed self-assembly (DSA) 기술의 진보가 눈에 띄게 발전되면서, 기존의 패리소그라피 기술로 제작된 패턴의 결함을 크게 축소시킬 수 있는 보완적인 측면에서 주목을 받고 있으며, 계속되는 기술의 진보가 따라 준다면 머지않아 반도체 미세패턴 제작에 중요한 역할을 할 것으로 예측된다.

2.3.1 반도체 나노소자의 제작

2.3.1.1 High Surface Capacitor

원통형 구조를 가지는 PS-*b*-PMMA는 반도체 나노소자 제작에 가장 많이 사용되는 이중 블록 공중합체이며, 특히 수직으로 배향된 나노사이즈의 원통형 구조는 다공성 패턴 제작에 용이하여 기질의 표면적을 크게 늘릴 수 있다. 이러한 장점을 이용하여 IBM에서는 정전 용량(capacitance)을 크게 향상시킬 수 있는 metal-oxide semiconductor (MOS) capacitor의 제작을 시도하였다.^{17,22} 고해상도의 나노패턴을 가지는 전극(bottom electrode)의 제작을 위해 수직으로 배향된 원통형 PS-*b*-PMMA 박막을 이산화 규소층(silicon dioxide layer) 위에 자기조립을 시킨 후, 원통형 구조를 형성하는 PMMA상을 선택적으로 제거한다. 원통형 구조가 제거된 PS 박막의 다공성 패턴(직경 20 nm)은 RIE를 이용하여 이산화 규소층에 전사되고, 이는 다시 HBr 애칭을 하여 약 100 nm 깊이의 패턴을 실리콘 기질에 형성시켜 전극을 완성시킨다. 이후 약 4.5 nm의 이산화 규소 절연층을 입히고 atomic layer deposition (ALD) 방식으로 TaN 금속 게이트를 형성시키면 capacitor가 완성된다. 이렇게 완성된 capacitor는 평평한 전극을 사용했을 경우에 비해서 400% 이상의 높은 정전 용량을 보였다. 그림 9는 나노패턴의 제작과정과 완성된 metal oxide semiconductor (MOS) capacitor의 단면을 보여주고 있다.

2.3.1.2 Field Effect Transistor(FET)

꾸준히 진보하고 있는 실리콘 field effect transistor (FET)의 성능은 축소되어 가는 반도체 소자 규모와 맞물려 거의 정점에 도달해 있지만, 새로운 디자인 개발은 트랜지스터의 성능을 증가시킬 수 있는 여지를 제공하고 있다. 특히, 나노와이어를 이용한 FET는 현재 활발히 연구되고 있으며, 원통형 블록 공중합체 박막은 실리콘 나노와이어 제작을 적은 비용과 손쉬운 방식으로 가능하게 한다.²³ 기질에 평행하게 배열된 원통형 PS-*b*-PMMA는 마이크로 규모의 기질 패턴 내에서 일정한 방향으로 정렬이 가능하다. 이때, 기질에 형성된 마이크로 패턴

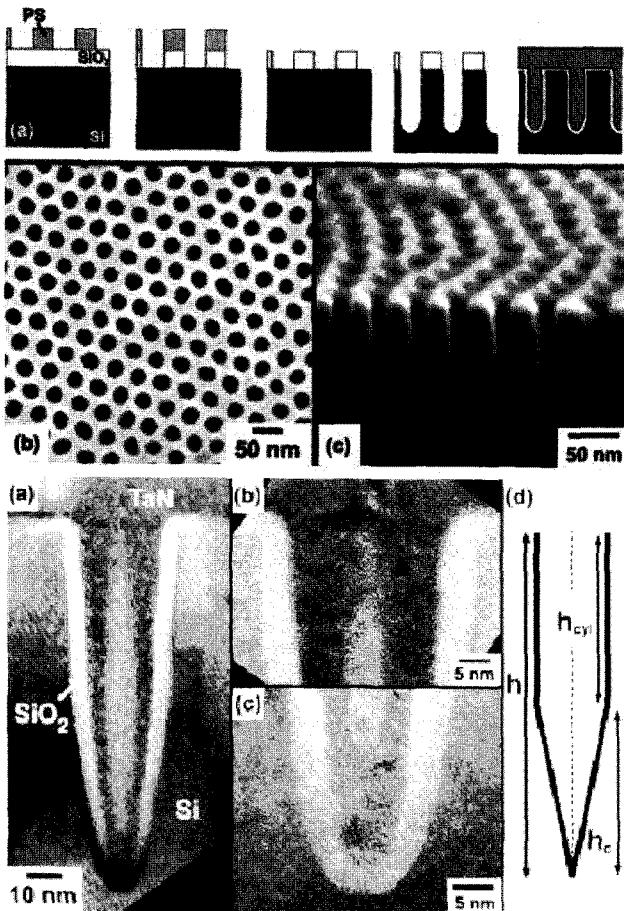


그림 9. 블록 공중합체 나노패턴을 이용한 high surface area bottom electrode 제작과정 (위)과 완성된 MOS capacitor의 TEM 단면 이미지(아래).

의 폭에 따라 원통형 구조의 개수를 조절할 수 있으며, 이는 결과적으로 기질에 형성될 나노와이어의 수와 직접적으로 연관되어 있다. PMMA 원통형 구조가 선택적으로 제거된 블록 공중합체 템플레이트는 RIE를 통한 나노패턴 전사가 가능하게 한다. 이와 같은 방식으로 P-type silicon-on-insulator(SOI) 기질 위에 형성된 실리콘 나노와이어는 광리소그라파를 통해 형성된 source와 drain 패드 사이에 위치하게 되며, 650 °C에서의 열처리 과정을 거쳐 나노와이어 FET는 완성되게 된다.

2.3.1.3 양자점(Quantum Dots)

다이오드 레이저나 photodetector를 위한 수나노미터 높이의 양자점을 성장시키기 위해 Stranski-Krastnow(SK) 방식을 주로 사용하고 있지만, 이는 양자점 크기 분포가 아주 넓고, wetting layer의 제거가 요구되는 단점을 가지고 있다. 이러한 단점들은 고효율의 광학효과를 얻는데 방해가 될 뿐만 아니라, carrier leakage를 가져오게 되어 많은 문제를 야기하게 된다. 하지만, 블록 공중합체를 이용한 양자점 성장은 일정 면적에 균일한 크기의 양자점을 높은 밀도로 집적시킬 수 있는 템플레이트를 제공할 수 있으며, 이는 SK 성장방식에서 나타나는 많은 문제점을 해결할 수 있다. 그림 10은 원통형 PS-*b*-PMMA 박막을 가지고 GaAs 양자점을 제작하는 공정의 모식도를 보여주고 있다.¹⁵ 블록 공중합체 박막 내에 수직으로 배향된 원통형 구조상을 선택적으로 제거한 후, RIE를 통해 기공을 가지는 절연층(SiO₂ layer)을 만들게 된다. GaAs 양자점은 metal organic chemical vapor depo-

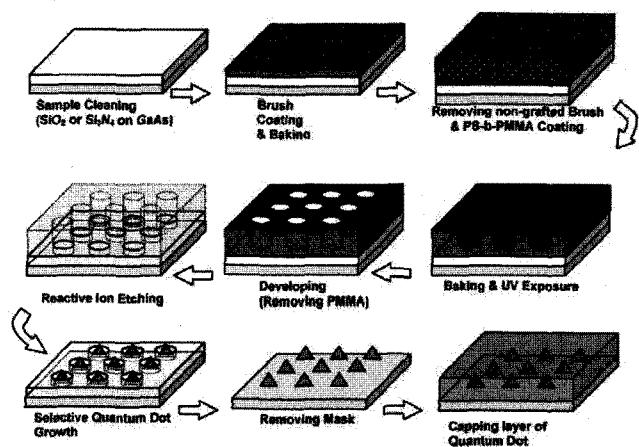


그림 10. PS-*b*-PMMA 박막을 이용한 GaAs 양자점 제작 공정.

sition(MOCVD) 방식으로 성장시키며, 이때 절연층의 기공 내에서 양자점이 자라게 된다. 블록 공중합체 패턴을 이용하여 성장한 GaAs 양자점은 SK 방식과 비교하여 크기가 아주 균일하며, 양자점의 밀도는 대략 $5 \times 10^{10}/\text{cm}^2$ 로 아주 높다.

2.3.2 자기 저장매체

현재 사용되고 있는 자기 저장매체(magnetic storage media)는 작은 grain으로 이루어진 자기 원소(magnetic element)들로 구성되어 있다. 자기 저장매체 기술의 진보는 상당히 빠른 속도로 진행되어 왔으며, 지난 50년 동안에 약 일억 배 이상의 저장용량의 증기를 보여왔다.²⁴ 하지만, 저장매체의 용량에 관한 요구는 여전히 아주 가파른 상승세를 보이고 있으며, 머지 않아 시장에서는 10 테라바이트 이상의 저장용량이 상용화 되기를 요구할 것으로 내다보고 있다. 이에 빌 및 퀵 하드 디스크 드라이브 기술은 빠른 속도로 발전되어가고 있으며, 고밀도 저장 매체의 제작을 위해서는 자기 패턴 매체(magnetic patterned media)가 필수적으로 요구된다. 자기 패턴 매체는 자성 물질로 구성된 섬(island)이 비자성 물질에 둘러싸여 만들어진 것을 말하며, 열 안정성과 signal-to-noise ratio(SNR)를 증가시킬 수 있는 장점을 가지고 있다. 하지만, 이러한 패턴 매체의 제작은 아주 많은 비용을 요구하기 때문에 하드 디스크 드라이브의 가격의 상승을 불러 일으키게 한다. 따라서, 밀도가 아주 높은 자기 패턴 매체를 만들기 위해 광리소그라파, 나노 임프린트, 전자빔 리소그라파 등의 방법들이 연구되고 있으며 이와 동시에 블록 공중합체 자기조립의 도입도 심각하게 고려되고 있다. 2000년대 초반에 도시바에서는 2.5인치 디스크에 도량형태의 패턴을 만들고 여기에 구형을 형성하는 블록 공중합체 박막을 자기조립시켜 자기 패턴 매체를 제작하였다.¹⁸ 코발트와 플래티늄으로 구성된 자성 필름을 블록 공중합체 템플레이트를 이용하여 40 nm 직경의 점패턴으로 만들어 졌으며, 이를 통해 약 800 Gb/in²의 자기 저장매체를 제작하였다. 최근에는 원통형 PS-*b*-PEO를 이용하여 10 Tb/in²의 패턴을 만드는데 성공하였지만,²⁵ 실제 고밀도 자기 저장매체의 상용화를 위해서는 아직 해결해야 할 문제들이 남아 있다.

2.3.3 반도체 나노패턴

2.3.3.1 Contact Holes

반도체 집적 회로 공정에 있어서 source, drain, 그리고 gate 간을 연결시켜주는 contact hole의 제작은 아주 중요하다. 만일, contact hole의 위치나 크기에 문제가 있어서 이웃한 회로와의 상호작용이 불

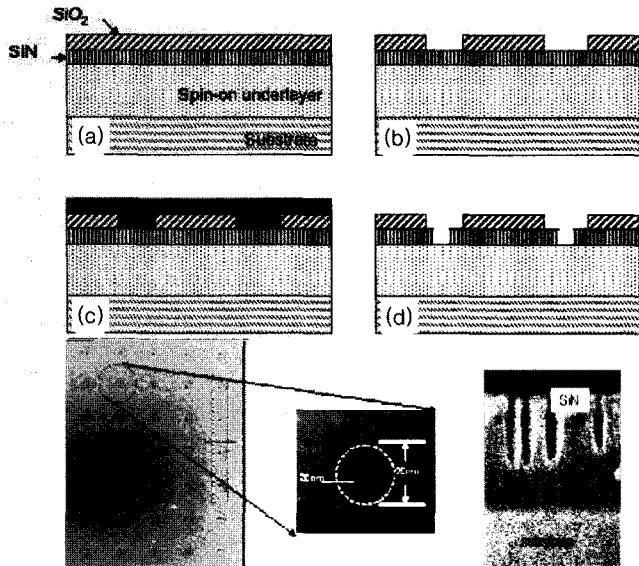


그림 11. 원통형 블록 공중합체 박막을 이용한 반도체 contact hole의 제작공정 및 패턴 이미지.

가능하게 되면 회로의 구동이 불가능하게 된다. 따라서, contact hole의 제작은 많은 주의를 요할 뿐만 아니라 세심한 작업이 필요한 부분이다. 특히, 광리소그라파 패턴 범위를 넘어선 작은 규모의 패턴이 요구될 경우, 블록 공중합체 박막을 이용하는 것은 굉장히 효율적이 뿐 아니라 이는 반도체 공정 기술과 호환성이 아주 좋은 장점을 가지고 있다. 실제로 IBM에서는 300 mm 실리콘 기질에 20 nm 직경의 contact hole을 블록 공중합체 박막을 이용하여 제작하였다.²⁶ 그림 11에서 보는 바처럼 SiO_2 와 SiN 으로 구성된 기질 위에 193 nm 광리소그라파를 이용하여 직경 65 nm의 바이어스(vias) 패턴을 형성시킨다. 이때, 남아있는 SiO_2 층은 hard mask 역할을 하게 한다. 원통형 구조를 가지는 PS-*b*-PMMA 박막을 코팅하여 열처리 과정을 거치게 되면 PMMA 원통 구조가 바이어스 안에서 수직 방향으로 형성된다. 이후 원통형 구조를 형성하는 PMMA상을 선택적으로 제거하고 플라즈마 에칭과정을 거치게 되면 contact hole이 SiN 층으로 전사된다. 이러한 방식은 우선 광리소그라파로 형성된 패턴규모보다 훨씬 작은 contact hole 제작을 가능하게 할 뿐만 아니라 보다 균일한 크기의 패턴을 원하는 위치에 정확히 자리 잡게 할 수 있기 때문에 차세대 반도체 집적 회로 제작에 유용하다.

2.3.3.2 Air Gap

실제 디바이스 제조공정에 블록 공중합체 나노패턴을 도입하기 위한 다양한 노력이 기울여지고 있는 가운데, IBM에서는 반도체 절연제의 유전상수를 낮추기 위해 필요한 air gap을 블록 공중합체 박막을 이용하여 성공적으로 제작하였다. 금속 도선 사이에 위치하여 절연제로 사용되는 SiO_2 층은 약 3.9의 절연상수를 가지고 있다. 이러한 절연층에 나노사이즈의 균일한 air gap을 도입하게 되면 절연상수를 2.0 이하로 낮출 수 있으며, 이는 또한 고밀도의 집적 회로 제작에 아주 중요하다.²⁷

그림 12에서 보여지듯이 수직으로 배향된 원통형 구조의 패턴을 실리콘 hard mask 위에 자기조립시킨 뒤, 원통형 구조를 구성하는 PMMA 블록을 선택적으로 제거한다. 이후 플라즈마 에칭을 통해 hard mask 층에 기공패턴을 전사시키고, 더 이상의 패턴 전사가 필요하지 않은 부분을 선택적으로 가린 후, 두번째 패턴 전사를 시행한다. 이러한 방식으로 반도체 절연층에 air gap을 형성하게 되며, air gap이 없는 절연층에

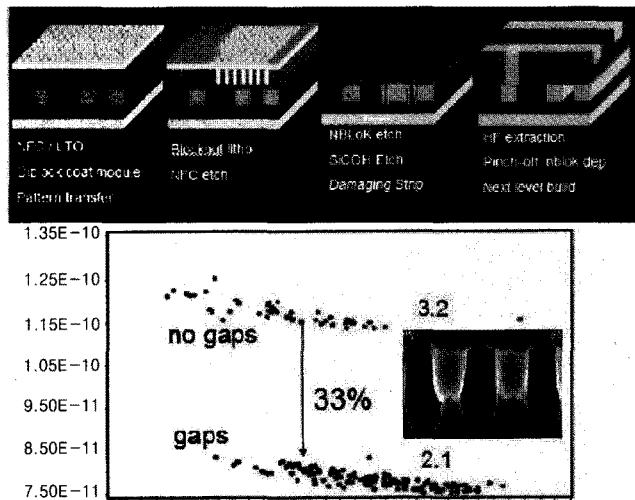


그림 12. 블록 공중합체 패턴을 이용한 air gap의 제작공정과 air gap 유무에 따른 저항과 정전용량 데이터.

비해 실제 정전용량(capacitance)에 있어서 33%의 차이를 보았다.

2.3.4 태양광 전지의 제작을 위한 나노구조 응용

화석연료의 수요증가와 이의 사용으로 인한 환경피해가 심각한 수준에 이르게 됨에 따라 이를 극복할 수 있는 새로운 에너지원에 관한 연구는 상당히 중요한 세계적 이슈 중에 하나이다. 에너지 생산수단으로 가장 각광을 받고 있는 태양전지(solar cell)는 나노기술의 발달과 함께 상당한 투자와 연구가 이루어지고 있다. 태양에서 나오는 빛을 전기에너지로 전환하기 위해서는 빛에 대한 반응이 좋은 물질을 사용하는 것도 중요하지만, 더 많은 빛을 흡수하고 생성된 전자의 이동을 원활하게 하기 위해서 구조적인 특성도 상당히 중요하다.

그림 13의 자이로이드(gyroid) 구조는 연속적으로 이어지는 나노사이즈의 경로를 제공할 수 있는 3차원 나노구조임과 동시에 부피대비 표면적을 크게 할 수 있기 때문에 태양전지 응용에 큰 관심을 받고 있다.²⁸ 자이로이드 구조를 가지는 이중 블록 공중합체 박막을 TiO_2 층이 깔린 fluorine-doped tin oxide(FTO) 기질 위에 자기조립시킨 후, 한 블록을 선택적으로 제거한다. 한쪽 블록이 제거됨으로써 형성된 공간은 연속적으로 이어지는 경로를 제공하며, 이는 다시 Ti(IV) oxide로 채워진다. 500 °C 이상의 고온에서 열처리 과정을 거치게 되면, 남아 있는 유기 고분자 성분이 제거됨과 동시에 자이로이드 구조를 가지는 anatase TiO_2 가 남게 된다. 이러한 나노구조는 표면적을 크게 증가시킬 뿐만 아니라, 에너지 변환 효과를 높이는 dye 물질을 패턴 내부까지 도입시킬 수 있는 경로를 마련해 준다. 비록 자이로이드 구조로 만들어진 dye sensitized solar cell(DSSC)은 power conversion efficiency가 1.7% 정도로 기존의 실리콘계통의 DSSC에 비해 낮은 효율을 보이지만, 자이로이드 구조를 이용한 최초의 디바이스 응용이라는 측면에서 가치가 있을 뿐만 아니라 배터리나 연료 전지 등에 응용가능성을 열어주고 있다.

3. 산업화를 위해 해결해야 할 과제 및 결론

지금까지 다루어져 왔던 연구결과들을 보면, 블록 공중합체 자기조립 방식은 차세대 반도체 산업에 직간접적으로 사용될 수 있는 가능

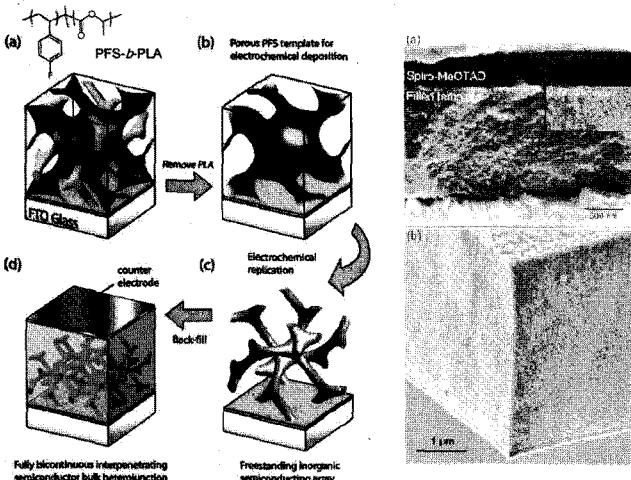


그림 13. 자기로이드 구조를 이용한 DSSC 제작공정과 TiO_2 단면 구조.

성을 가지고 있음을 알 수 있다. 특히, 적은 비용으로 분자수준에서부터 수나노까지의 패턴을 제작할 수 있는 역량을 가지고 있기 때문에 적은 에너지의 공급으로 고효율을 가지는 고밀도 집적 회로의 구현을 가능하게 할 수 있다. 또한, 기존에 반도체 제작에 사용되는 물질과 유사하기 때문에 반도체 공정과의 호환성이 다른 어떤 방식보다 뛰어나다는 장점을 가지고 있다. 하지만, 나노디바이스 제작을 현실화하기 위해서는 아직도 해결해야 할 숙제들이 남아 있다. 그 첫 번째로 고려되어야 할 것은 현재까지 사용되어온 회로의 디자인 규칙들(design rules)을 수정하여 패턴 구성 요소들이 블록 공중합체 구조의 형태로 이루어져야 한다. 지금까지 사용되어온 블록 공중합체 나노패턴은 육각형 구조의 점 패턴과 반복적으로 구성된 선 패턴이 대부분이다. 따라서, 차세대 반도체 회로의 디자인도 이러한 원소들이 일정한 규칙에 따라 배열하도록 디자인되어야 할 것이다. 두 번째로 고려되어야 할 점은 다양한 패턴들이 일정한 영역 안에 한꺼번에 생성되어야 한다. 지금까지의 블록 공중합체 패턴은 사슬간의 부피분율에 따라 구형, 원통형, 판상형의 구조가 따로따로 형성되었지만, 실제 디바이스 회로는 단일 선 혹은 점 패턴, 반복적인 선 혹은 점 패턴이 인접하여 한 자리에 존재한다. 따라서, 일정한 영역에 원하는 패턴이 정확한 위치에 동시에 자가조립이 되어야 하며, 이때 패턴의 LER 혹은 LWR가 일정 수준 이상으로 낮아야 한다. 또한, 자기조립으로 발생하는 결함의 수가 만족할 만한 수준으로의 조절이 가능해야 한다. 이 외에도 생산 속도가 1 wafer/min 정도로 빨라야 하며, 플라즈마 혹은 화학 에칭의 저항성도 중요한 변수가 될 수 있다.

아직 연구단계에 남아 있는 블록 공중합체 자기조립 기술을 생산 단계로 끌어올리기 위해서는 이와 같은 사항들이 빠른 시일 내에 해결되어야 하며, 이를 위해서는 다양한 분야의 연구가 체계적으로 이루어져야 함과 동시에 꾸준한 경제적 투자가 뒷받침되어야 한다.

참고문헌

- G. E. Moore, *Electronics*, **38**, April 19 (1965).
- H. Ito, *IBM Journal of Research and Development*, **44**, 119 (2000).
- J. Masuda, A. Takano, Y. Nagata, A. Noro, and Y. Matsushita, *Phys. Rev. Lett.*, **97**, 098301 (2006).
- S. M. Park, G. S. W. Craig, C. C. Liu, Y. H. La, N. J. Ferrier, and P. F. Nealey, *Macromolecules*, **41**, 9118 (2008).
- J. Y. Cheng, J. Pitera, O. H. Park, M. Flickner, R. Ruiz, C. T. Black, and H. C. Kim, *Appl. Phys. Lett.*, **91**, 143106 (2007).
- C. B. Tang, E. M. Lennon, G. H. Fredrickson, E. J. Kramer, and C. J. Hawker, *Science*, **322**, 429 (2008).
- J. Y. Cheng, C. A. Ross, H. I. Smith, and E. L. Thomas, *Adv. Mater.*, **18**, 2505 (2006).
- M. P. Stoykovich and P. F. Nealey, *Mater. Today*, **9**, 20 (2006).
- T. L. Morkved, M. Lu, A. M. Urbas, E. E. Ehrichs, H. M. Jaeger, P. Mansky, and T. P. Russell, *Science*, **273**, 931 (1996).
- S. M. Park, B. C. Berry, E. Dobisz, and H. C. Kim, *Soft Matter*, **5**, 957 (2009).
- J. Chai and J. M. Buriak, *Acs Nano*, **2**, 489 (2008).
- M. P. Stoykovich, H. Kang, K. C. Daoulas, G. Liu, C. C. Liu, J. J. de Pablo, M. Mueller, and P. F. Nealey, *Acs Nano*, **1**, 168 (2007).
- M. Park, C. Harrison, P. M. Chaikin, R. A. Register, and D. H. Adamson, *Science*, **276**, 1401 (1997).
- M. Park, P. M. Chaikin, R. A. Register, and D. H. Adamson, *Appl. Phys. Lett.*, **79**, 257 (2001).
- J. H. Park, A. A. Khandekar, S. M. Park, L. J. Mawst, T. F. Kuech, and P. F. Nealey, *J. Cryst. Growth*, **297**, 283 (2006).
- S. G. Xiao and X. M. Yang, *J. Vac. Sci. Technol. B*, **25**, 1953 (2007).
- C. T. Black, K. W. Guarini, Y. Zhang, H. J. Kim, J. Benedict, E. Sikorski, I. V. Babich, and K. R. Milkove, *IEEE Electron Device Letters*, **25**, 622 (2004).
- K. Asakawa and T. Hiraoka, *Japanese Journal of Applied Physics Part 1-Regular Papers Short Notes & Review Papers*, **41**, 6112 (2002).
- Y. H. Ting, S. M. Park, C. C. Liu, X. S. Liu, F. J. Himpsel, P. F. Nealey, and A. E. Wendt, *J. Vac. Sci. Technol. B*, **26**, 1684 (2008).
- T. Hirai, M. Leolukman, C. C. Liu, E. Han, Y. J. Kim, I. T. Hayakawa, M. Kakimoto, P. F. Nealey, and P. Gopalan, *Adv. Mater.*, **21**, 4334 (2009).
- E. M. Freer, L. E. Krupp, W. D. Hinsberg, P. M. Rice, J. L. Hedrick, J. N. Cha, R. D. Miller, and H. C. Kim, *Nano Letters*, **5**, 2014 (2005).
- C. T. Black, K. W. Guarini, K. R. Milkove, S. M. Baker, T. P. Russell, and M. T. Tuominen, *Appl. Phys. Lett.*, **79**, 409 (2001).
- C. T. Black, *Appl. Phys. Lett.*, **87**, 163116 (2005).
- R. F. Service, *Science*, **314**, 1868 (2006).
- S. Park, D. H. Lee, J. Xu, B. Kim, S. W. Hong, U. Jeong, T. Xu, and T. P. Russell, *Science*, **323**, 1030 (2009).
- W. K. Li and S. Yang, *J. Vac. Sci. Technol. B*, **25**, 1982 (2007).
- S. Ponoth, D. Horak, M. E. Colburn, G. Breyta, E. Huang, J. Sucharitaves, H. Landis, A. Lisi, X. S. Liu, T. Vo, R. Johnson, W. Li, S. Purushothaman, S. Cohen, C.-K. Hu, H. C. Kim, L. Clevenger, N. Fuller, T. Nogami, T. Spooner, and D. Edelstein, *The Electrochemical Society*, Fall (2008).
- E. J. W. Crossland, M. Kamperman, M. Nedelcu, C. Ducati, U. Wiesner, D. M. Smilgies, G. E. S. Toombes, M. A. Hillmyer, S. Ludwigs, R. Steiner, and H. J. Snaith, *Nano Letters*, **9**, 2807 (2009).