

논문 2010-47SD-7-1

# 고온에서 accumulation-mode Pi-gate p-MOSFET 특성

## ( High Temperature Characterization of Accumulation-mode Pi-gate pMOSFETs )

김진영\*, 유종근\*\*, 박종태\*\*

( Jin Young Kim, Chong Gun Yu, and Jong Tae Park )

### 요약

Fin 폭이 다른 accumulation-mode Pi-gate p-채널 MOSFET의 고온특성을 측정 분석하였다. 사용된 소자는 Fin 높이는 10nm 이며 폭은 30nm, 40nm, 50nm 의 3종류이다. 온도에 따라서 드레인 전류, 문턱전압, subthreshold swing, 유효이동도 및 누설 전류 특성을 측정하였다. 온도가 증가할수록 드레인 전류는 상온에서 보다 약간 증가하는 현상이 나타났다. 온도에 따른 문턱전압의 변화는 inversion-mode 소자 보다 작은 것으로 측정되었다. 유효이동도는 온도가 증가할수록 감소하였으나 Fin 폭이 감소할수록 이동도는 큰 것을 알 수 있었다.

### Abstract

The device performances of accumulation-mode Pi-gate pMOSFETs with different fin widths have been characterized at high operating temperatures. The device fin height is 10nm and fin widths are 30nm, 40nm, and 50nm. The variation of the drain current, threshold voltage, subthreshold swing, effective mobility, and leakage current have been investigated as a function of operating temperatures. The drain current at high temperature is slightly larger than at room temperature. The variation of the threshold voltage as a function of the operating temperature is smaller than that of the inversion-mode MOSFETs. The effective mobility is decreased with the increase of operating temperature. It is observed that the effective mobility is enhanced as the fin width decreases.

**Keywords :** SOI MOSFET, Pi-gate, Accumulation-mode, pMOSFET

### I. 서론

실리콘 공정기술의 발달로 CMOS 크기가 계속 축소되어 현재는 나노 스케일 소자에 대한 연구가 국내 및 국외에서 발표되고 있다. CMOS 소자의 크기가 나노 스케일로 축소되므로 나타나는 심각한 문제점들은 크게 다음과 같이 나눌 수 있다<sup>[1]</sup>. 첫째는 문턱전압 roll-off, DIBL, subthreshold swing 등의 단채널

현상이 더 심각해진다는 것이다. 둘째는 게이트 및 접합 누설전류가 증가하는 것이다. 셋째는 불순물 농도 증가와 소자내의 전계 증가로 인하여 이동도가 감소하는 것이다. 넷째는 얇은 접합으로 인하여 소스와 드레인의 기생저항이 증가하는 것이고 다섯째는 채널 내의 불순물 원자수의 fluctuation으로 문턱전압의 변동이 심하게 되는 것이다.

소자의 크기 축소하므로 발생하는 문제점들을 해결하기 위한 가장 좋은 구조는 multiple-gate 소자이다. 유효 게이트 수가 증감 할수록 채널 포텐셜을 효과적으로 제어할 수 있게 되므로 단채널 현상을 줄일 수 있게 된다<sup>[2]</sup>. 가장 이상적인 CMOS 소자구조는 GAA 소자이다. Pi-gate 소자구조는 채널 폭이 10nm

\* 학생회원, \*\* 정회원, 인천대학교 전자공학과  
(Department of Electronics Engineering,  
University of Incheon)

※ 이 논문은 인천대학교 2009년도 자체연구비 지원에 의하여 연구되었음.

접수일자: 2010년1월26일, 수정완료일: 2010년6월28일

이하로 축소되면 측면 게이트의 전계효과에 의하여 소자의 전기적 특성이 GAA 소자와 유사하게 된다<sup>[3]</sup>.

Accumulation-mode(AM) 소자는 inversion-mode(IM) 소자에 비해 제작공정이 간단하고 회로설계 응용 범위가 넓으므로 오래전부터 연구가 되었으나 소자특성이 IM MOSFET 보다 좋지 못하여 실제 집적회로에는 응용이 많이 되지 못했다. 그러나 최근에 소자의 크기가 나노미터 레벨로 축소되면 오히려 AM 소자가 IM 소자보다 특성이 우수하다는 연구가 발표되면서 AM 소자에 대한 관심이 커지고 있다<sup>[4~5]</sup>. IM 소자보다 AM 소자의 우수한 특성은 다음과 같다. 첫째, IM 소자에서와 같이 소스 및 드레인 부근의 공핍층에서 생성되는 전자 홀에 의한 누설전류가 AM 소자에서는 없으므로 누설전류가 작게 되어  $I_{ON}/I_{OFF}$  전류비가 커지게 된다. 둘째는 드레인 전류의 크기가 게이트 커패시턴스와 이동도의 곱에 의해서 결정되는 IM 소자와는 달리 AM 소자의 드레인 전류는 이동도와 불순물 농도의 곱에 의해서 결정되므로 채널의 불순물 농도가 높은 경우 오히려 드레인 전류가 증가하게 된다. 그리고 드레인 전류가 게이트 커패시턴스에 덜 의존적이기 때문에 단채널 현상을 고려한 소자설계 시 IM 소자보다 AM 소자의 게이트 산화층 두께 선택에 여유가 있게 된다. 셋째는 채널 불순물 fluctuation에 의한 문턱전압 변화가 적다. 현재 발표된 연구에 의하면 불순물 fluctuation에 의한 문턱전압 변화가 IM 소자보다 AM 소자가 작으며 채널에서 불순물 위치에 따른 문턱전압 변화도 작은 것으로 보고되고 있다<sup>[6]</sup>. 넷째, DIBL 및 문턱전압 roll-off 등의 단채널 현상도 AM 소자가 우수한 것으로 발표되고 있다<sup>[7]</sup>.

일반적으로 SOI MOSFET는 self-heating 문제로 소자의 온도가 412K 정도로 높으므로 고온에서 Pi-gate 소자의 특성이 필요하다. 특히 Body-tied FinFET과는 달리 SOI FinFET 소자는 고온에서 이동도 감소에도 불구하고 문턱전압의 큰 변화로 오히려 드레인 전류가 증가하는 것으로 보고되기도 하였다<sup>[8]</sup>. 지금까지 single gate를 갖는 AM p-MOSFET의 고온 특성과 Tripple-gate IM n-MOSFET의 고온 특성에 관한 연구는 많이 진행되었으나 Pi-gate AM p-MOSFET의 고온 특성에 관한 연구는 거의 없는 것으로 사료된다.

본 연구에서는 채널 폭이 30nm, 40nm와 50nm인 Pi-gate AM p-MOSFET의 고온특성을 채널 폭에

따라 분석하였다. 고온에서 드레인 전류, 문턱전압의 변화, subthreshold swing 변화, 이동도 변화 및 누설전류 특성 변화를 측정 분석하였다.

## II. 소자 및 측정

그림 1은 본 연구에 사용된 Pi-gate 소자의 3차원 도식도와 TEM 사진을 나타낸 것이다.

Pi-gate 소자는 아일랜드의 Tyndall 연구소에서 제작한 것으로 게이트 길이는 1 $\mu$ m, SOI 실리콘 박막 두께는 약 10nm, 채널 폭은 30nm, 40nm, 50nm의 3종류이다. 실리콘 박막의 두께가 340nm이며 저항이 10-20 $\Omega$ -cm고 매몰 산화층 두께가 400nm인 p-형 Unibond SOI 웨이퍼를 기판을 용하여 소자가 제작되었다. 산화 공정을 이용하여 실리콘 박막은 20nm로 하였고 채널 폭은 전자빔과 RIE 에칭을 이용하여 40nm, 50nm, 60nm가 되게 하였다. 게이트 산화층 두께는 10nm 되게 성장을 하였고 채널영역은 도핑을 하지 않았다. 채널영역의 불순물 농도는 약  $2 \times 10^{15} \text{cm}^{-3}$  정도이다. LPCVD 방법으로 50nm두께의 다결정 실리콘을 게이트 산화층 위에 증착을 하였고 AM p-MOSFET를 만들기 위해 소스 및 드레인은

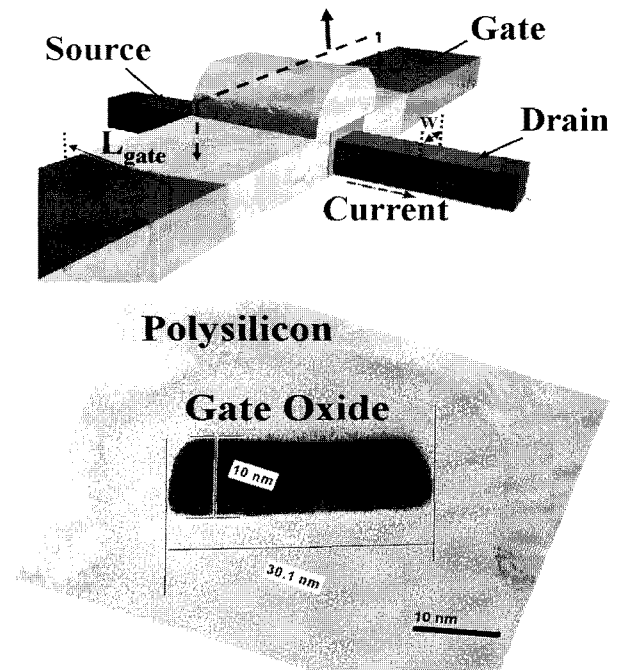


그림 1. Pi-gate p-MOSFET의 3차원 도식도와 제작된 소자의 TEM 사진

Fig. 1. 3-Dimensional schematic view and TEM picture of fabricated Pi-gate p-MOSFET.

Boron을 이온주입 하였다. 그리고 산화층을 증착한 후 TiW+Al을 증착하여 전극을 형성하였다.

그림 1의 TEM 사진으로부터 실리콘 박막은 20nm에서 공정 후에 약 10nm로 얇게 되었고 채널 폭은 30nm, 40nm, 50nm이며 gate extension depth가 약 10nm 인 Pi-gate 소자임을 확인할 수 있다. 측정은 상온부터 120도까지 가변하면서 하였고 드레인 전류, 문턱전압, subthreshold swing, 이동도 및 누설전류 특성을 분석하였다.

### III. 고온에서 소자특성

#### 1. 드레인 전류

그림 2는 채널 폭이 30nm인 AM p-MOSFET의 온도에 따른  $I_{DS}-V_{GS}$  특성을 나타낸 것으로 온도가 증가할수록 subthreshold 영역에서 드레인 전류의 증가가 큰 것을 확인할 수 있다. 그리고 높은 게이트 전압에서도 온도가 증가할수록 오히려 드레인 전류가 약간 증가하는 현상을 관찰할 수 있다. 일반적으로 IM MOSFET에서는 온도가 증가할수록 문턱전압보다 낮은 게이트 전압에서는 온도 증가에 따른 확산전류 성분의 증가로 드레인 전류가 증가하고 높은 게이트 전압에서는 캐리어의 이동도 저하 때문에 드레인 전류가 감소한다. 그 결과로 zero temperature cross (ZTC)가 나타나게 된다. 본 연구의 AM p-MOSFET에서는 채널 폭이 30nm와 40nm, 50nm 소자 모두에 대해 ZTC가 나타나지 않았다.

온도에 따라 문턱전압이 변하므로 그림 3은 문턱전

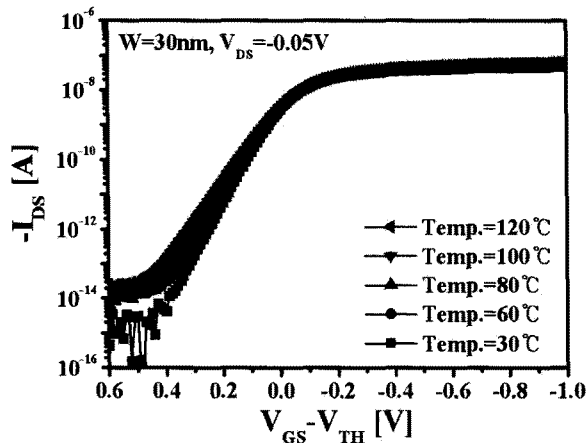


그림 2. AM p-MOSFET의 온도에 따른  $I_{DS}-V_{GS}$  특성  
Fig. 2.  $I_{DS}-V_{GS}$  characteristics of AM p-MOSFET with operating temperatures.

압 변화를 고려하여 온도에 따른 드레인 전류 변화를 나타내었다. 그림에서 게이트 전압이 문턱전압보다 클 때는 드레인 전류가 온도에 따라 약간 증가하는 것을 알 수 있다. 참고문헌 [8]에서는 Body-tied FinFET과는 달리 SOI FinFET소자는 고온에서 이동도 감소에도 불구하고 문턱전압의 큰 변화로 오히려 드레인 전류가 증가하는 것으로 설명되었다. 본 연구에서는 온도에 따른 문턱전압 변화를 고려해도 드레인 전류가 약간 증가하는 현상을 확인할 수 있었다. 온도에 따라 이동도가 감소하므로 그림 3에서는 드레인 전류의 증가는 참고문헌 [9]에서와 같이 채널 도핑이 많지 않는 경우 accumulation layer 두께가 온도에 따라 증가하는 현상으로 설명할 수 있다.

그림 4는 채널 폭에 따른 드레인 전류 변화를 나타낸

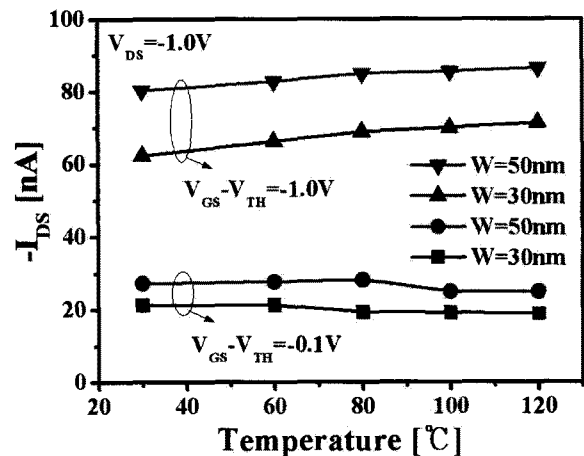


그림 3. 온도에 따른 드레인 전류 변화  
Fig. 3. The variation of drain current with operating temperatures.

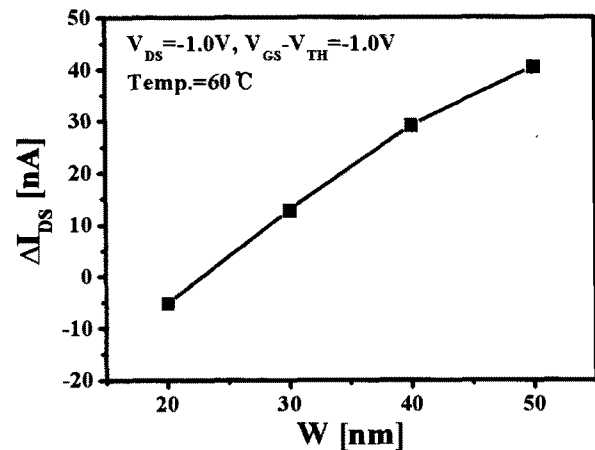


그림 4. 채널 폭에 따른 드레인 전류 변화  
Fig. 4. The variation of drain current with channel widths.

것이다. 채널 폭이 30nm 이상인 소자에서는 고온에서 드레인 전류가 증가하고 채널 폭이 20nm인 소자에서는 감소하는 현상을 관측할 수 있었다. 이런 결과는 고온에서 채널 폭에 따라 드레인 전류가 거의 일정한 bulk p-채널 FinFET 연구결과와는 다른 것으로 AM p-채널 MuGFET에서만 나타나는 결과인지 더 연구가 필요하다<sup>[10]</sup>.

2. 문턱전압

그림 5는 AM p-MOSFET의 온도와 채널 폭에 따른 문턱전압 변화를 나타낸 것이다. 문턱전압은  $V_{DS} = -50mV$ 에서  $I_{DS} = 1(W/L)\mu A$ 되는 게이트 전압으로 정의하였다. 그림으로부터 온도가 증가할수록 문턱전압이 증가함을 알 수 있다. 온도에 따른 single 게이트 SOI AM p-MOSFET의 문턱전압 변화는 다음 식과 같이 나타낼 수 있다<sup>[11]</sup>.

$$\frac{\partial V_{TH}}{\partial T} = [1 + \alpha] \frac{\partial \Phi_F}{\partial T} \quad (1)$$

$\alpha$ 는 실리콘 기판 전압에 따라

$$\frac{\epsilon_{Si} t_{ox}}{(\epsilon_{Si} t_{ox} + \epsilon_{Si} t_{ob})} \text{ 부터 } \frac{(\epsilon_{ox} t_{Si} + \epsilon_{Si} t_{ox})}{\epsilon_{Si} t_{ob}} \text{ 의 값을}$$

갖는다. 여기서  $t_{Si}$ 는 Si 박막의 두께이고  $t_{ox}$ 는 게이트 산화층 두께이며  $t_{ob}$ 는 매몰 산화층 두께이다. 실리콘 기판을 접지하고  $t_{ox} = 10nm$ ,  $t_{ob} = 400nm$ ,  $t_{Si} = 10nm$  인 경우 식(1)의 이론적인 계산 값은 약 1.05mV/K 임을 알 수 있다. 그러나 그림으로부터 채널폭이 50nm 소자는  $dV_{TH}/dT = 0.4mV/K$ , 40nm 소자는  $dV_{TH}/dT = 0.5mV/K$ , 30nm 소자는  $dV_{TH}/dT = 0.6mV/K$ 로 이론적인 결과보다 온도에 따른 문턱전압의 변화가 작은 것을 알 수 있다. 이런 결과의 차이는 식 (1)에서 문턱전압을 정의할 때 표면전위를  $2\Phi_F$ 와 같은 게이트 전압으로 표현한 것과 산화층 및 계면 전하의 온도 의존성에 때문인 것으로 알려져 있다<sup>[11]</sup>. FinFET에 관한 다른 연구결과와 같이 채널폭이 감소할수록  $dV_{TH}/dT$ 는 증가하는 것을 알 수 있다<sup>[10]</sup>. 이런 이유는 다른 연구결과에 의하면 채널 폭이 감소할수록 tensile stress가 크며 이로 인한 band-gap narrowing 현상이 고온에서 줄어들기 때문이다<sup>[12]</sup>. 또 본 연구의 결과는 IM n채널 SOI FinFET 소자 (채널폭 26nm)의  $dV_{TH}/dT = -1.2 mV/K$  보다는 작으며 Body-tied FinFET의  $-0.5mV/K$ 와 유사한 것을 알 수 있다.

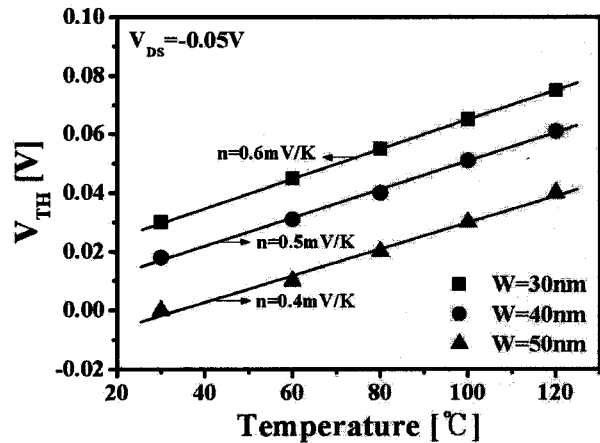


그림 5 온도와 채널 폭에 따른 문턱전압 변화  
Fig. 5. The variation of threshold voltage with operating temperatures and fin width.

온도에 따라 문턱전압의 변화가 작은 것은 고온 집적 회로에 응용에 유리한 것을 의미한다. 게이트 길이가 1um으로 비교적 크므로 단채널 현상과 온도 변화를 동시에 고려하여 채널 폭에 따른 문턱전압 특성을 분석하지는 못하였다. 앞으로 고온에서 단채널 현상을 고려한 채널 폭에 따른 문턱전압 변화를 측정하고 분석하는 연구가 필요하다.

3. Subthreshold swing

일반적으로 inverse subthreshold slope S와 온도의 관계는 식 (2)와 같다<sup>[13]</sup>.

$$S = n \left( \frac{kT}{q} \right) \ln(10) \quad (2)$$

여기서  $n$ 은 body effect coefficient로 bulk MOSFET에서는 약 1.0 정도이다. 그림 6은 온도와 채널 폭에 따른 S를 나타낸 것으로 식(3)과 같이 선형적인 관계임을 알 수 있다. 측정 드레인 전압은  $-50mV$ 이다. 온도에 따른 S의 변화 ( $dS/dT$ )는 채널 폭에 따라 다름을 알 수 있는데, 채널 폭이 50nm 소자는 약  $dS/dT = 0.25$ , 40nm 소자는 약  $dS/dT = 0.26$ , 30nm 소자는 약  $dS/dT = 0.28$ 로 채널 폭이 작을수록 기울기가 큰 것을 알 수 있다. 측정결과와 식(3)으로부터 채널 폭이 50nm인 소자는 평균값이  $n = 1.1$ 이며, 채널 폭이 30nm인 소자는 평균값이  $n = 1.2$ 로 채널 폭이 작은 소자의 body effect coefficient가 큰 것을 알 수 있다. 이것은 그림 4에서 온도가 증가할수록 채널 폭이 작은 소자의 문턱전압의 변화가 큰 것보다도 같은 결과이다. 그리고 앞에서 서술한 것과 같

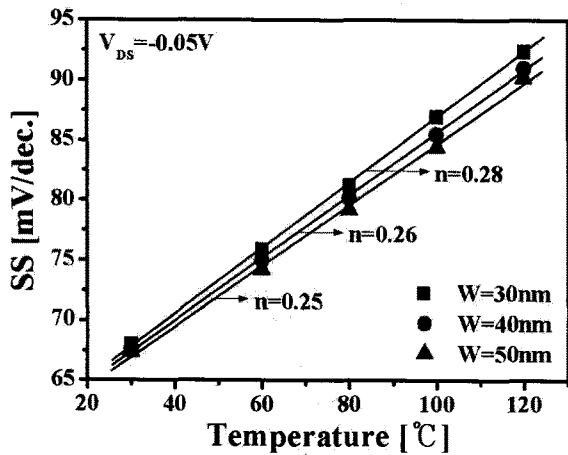


그림 6. 온도와 채널 폭에 따른 subthreshold swing  
Fig. 6. The variation of with subthreshold swing with operating temperatures and fin width.

이 채널 폭이 감소할수록 tensile stress가 증가하므로 Si-SiO<sub>2</sub> 경계면에서 interface state가 증가하게 되고 그 결과로 채널 폭이 작을수록 S는 크게 될 것으로 사료된다. 본 연구에서는 게이트 길이가 1μm로 상대적으로 큰 소자를 측정하였으므로 고온에서 단채널 현상을 고려한 S의 채널 폭 의존성을 심도 있게 분석하지 못하였다.

#### 4. 이동도

일반적으로 MOSFET가 선형영역에서 동작할 때 최대 트랜스 컨덕턴스와 이동도 관계식은 다음과 같이 나타낼 수 있다.

$$g_m = \frac{\mu C_{ox} V_{DS} W}{L} \quad (3)$$

표면에서의 평균 이동도를 계산하기 위하여 실제 채널 폭은 fin 폭과 높이를 2배로 한  $W_{eff}=2*tsi+W$ 로 정의하였다. FinFET의 경우 채널 폭이 25nm 이하에서는 소스 및 드레인 직렬 저항 성분이 크므로 intrinsic transconductance로부터 이동도를 계산해야 비교적 정확하지만 본 연구에서는 유효 채널 폭이 50nm 이상이므로 소스 및 드레인 직렬저항 성분을 무시하였다. 그림 7은 온도에 따른 트랜스컨덕턴스의 변화를 나타낸 것이다. 측정 드레인 전압은 -50mV이다. 온도가 증가할수록 트랜스컨덕턴스는 감소하는 것을 확인할 수 있는데 이는 온도가 증가할수록 실리콘 표면에서의 phonon scattering 증가에 의한 이동도 감소 때문이다. 그림 8은 온도와 채널 폭에 따른 표면 홀 이동도를 나

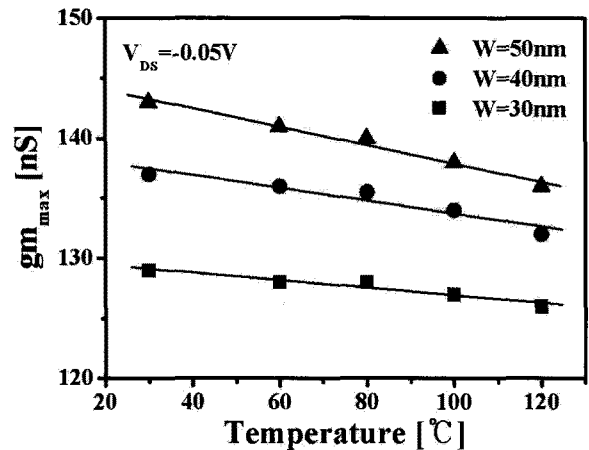


그림 7. 온도에 따른 트랜스컨덕턴스 특성  
Fig. 7. Transconductance characteristics with operating temperatures.

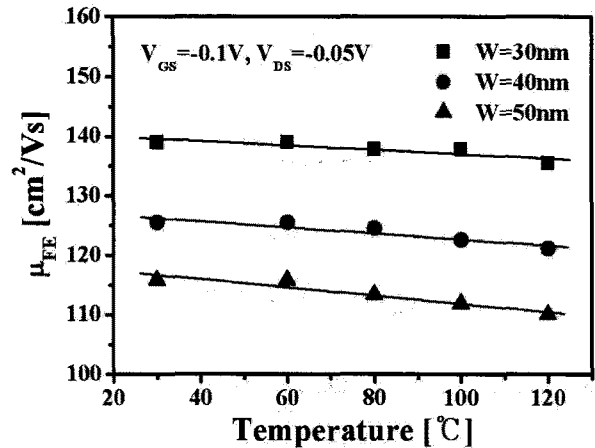


그림 8. 온도와 채널 폭에 따른 표면 유효 이동도  
Fig. 8. Effective hole mobility with operating temperatures and fin width.

타낸 것으로 온도가 증가할수록 이동도가 감소하는 것을 알 수 있다. 그림으로부터 채널 폭이 작은 소자의 이동도가 채널 폭이 큰 소자보다 오히려 큰 것을 알 수 있다. 이것은 Tripple-gate와 같은 Pi-gate 소자는 채널 폭이 작을수록 top gate보다 side gate의 역할이 더 커지기 때문이다. 일반적으로 p-MOSFET에서는 결정방향이 (100)보다 (110)에서 홀의 이동도가 크므로 본 연구에서도 채널 폭이 작을수록 결정방향 (110)인 side 채널의 전류 성분이 더 크기 때문으로 사료된다<sup>[14]</sup>.

#### 5. 누설전류

일반적으로 MOSFET에서는 고온에서 intrinsic carrier 농도가 증가하며 전자와 홀 생성 및 확산 전류가 증가하게 되므로 누설전류가 증가하게 된다. AM

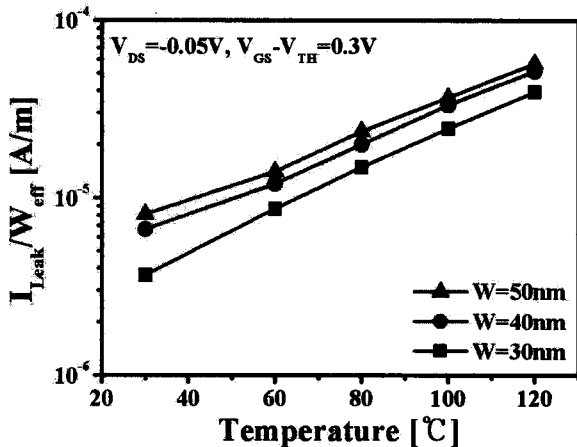


그림 9. 온도와 채널 폭에 따른 드레인 누설전류  
Fig. 9. The drain leakage current with operating temperatures and fin width.

MOSFET에서는 공핍층에서 생성전류가 누설전류의 주된 성분이 된다. 그림 9는 온도와 채널 폭에 따른 드레인 누설전류를 나타낸 것이다. 온도가 증가할수록 누설전류는 증가하는 것을 알 수 있는데 이는 온도에 따른 intrinsic carrier 농도가 증가하기 때문이다. 해석학적 관계식에 의하면 single gate MOSFET에서는 누설전류를 채널 폭으로 나눈 ( $I_{Leak}/W_{eff}$ ) 것은 채널 폭에 상관없이 일정하다<sup>[15]</sup>. 그러나 본 연구결과에서는 채널 폭이 큰 소자의 누설전류가 큰 것을 알 수 있다. 참고문헌에 의하면 MuGFET에서 corner effect 때문에 누설전류 변화는 없는 것으로 알려져 있다<sup>[16]</sup>. 본 연구에서 사용한 소자의 마스크 게이트 길이가 비록 크지만 유효게이트 길이는 submicrometer일 것이므로 채널 폭이 작을수록 게이트가 채널 포텐셜을 완벽하게 제어하게 되어 DIBL 현상이 작아지게 되고 이로 인해 누설전류도 작은 것으로 추정된다<sup>[2]</sup>.

#### IV. 결 론

본 연구에서는 채널 폭이 30nm, 40nm, 50nm인 Pi-gate AM p-MOSFET의 고온특성을 측정 분석하였다. 고온에서 문턱전압의 변화와 이동도 감소를 고려하여도 높은 게이트 전압에서 드레인 전류가 약간 증가하는 것을 관찰할 수 있었다. 이는 고온에서 accumulation layer 두께가 증가하는데서 기인된 것으로 사료된다. 채널 폭이 감소할수록 온도에 따른 문턱전압의 변화는 증가하였으며 subthreshold swing 변화는 감소하였다. 채널 폭이 작을수록 이동도가 큰 것을

알 수 있었는데 이는 결정방향이 (110)인 side 채널 역할이 증가한데서 기인된 것으로 사료된다.

#### 참 고 문 헌

- [1] Navab Singh, Kavitha D. Buddharaju, S.K. Manas, A. Agarwal, Subhash C. Rustagi, G.Q. Lo, N. Balasubramanian, and Dim-Lee Kwong, "Si SiGe Nanowire devices by top-down technology and their applications," IEEE Trans. Electron Devices, vol.55, no.11, pp.3107-3118, 2008.
- [2] Jong Tae Park, and Jean P. Colinge, "Multiple gate SOI MOSFETs :Device design guidelines," IEEE Trans. Electron Device, vol.49, no.12 pp.2222-2228, 2002.
- [3] Jong Tae Park, J.P. Colinge, and C.H. Diaz, "Pi-Gate SOI MOSFET," IEEE Electron Device Lett., vol. 22, no. 8, pp. 405-406, 2001.
- [4] Chi-Woo Lee, Dimitri Lederer, Aryan Afzaljan, Ran Yan, Nima Dehdashti, Weize Xiong, and Jean-Pierre Colinge, "Comparison of contact resistance between accumulation-mode and inversion-mode multiple-gate FETs," Solid State Electronics, vol.52, pp. 1815-1820, 2008.
- [5] M. M. Iqbal, Y. Hong, P. Garg, F. Udrea, P. Migliorato, and S. Fonash, "The nano scale silicon accumulation-mode MOSFET-A comprehensive numerical study," IEEE Trans. Electron Device, vol.55, no.11, pp. 2946-2959, 2005.
- [6] Ran Yan, Danny Lynch, Thibault Cayron, Dimitri Lederer, Aryan Afzaljan, Chi-Woo Lee, Nima Dehdashti, and J.P. Colinge, "Sensitivity of Trigate MOSFET to random dopant induced threshold voltage fluctuations," Solid State Electronics, vol.52, pp. 1872-1876, 2008.
- [7] D. Flandre, A. Terao, P. Francis, B. Gentinne, and J.P. Colinge, "Demonstration of the potential of accumulation-mode MOS transistors on SOI substrate for high-temperature operation (150-300C)," IEEE Electron Device letter, vol.14, no. 1, pp.10-12, 1993.
- [8] Jin-Woo Han, Choong-Ho, Lee, Dong Gun Park, and Yang-Kyu Choi, "High temperature characteristics of SOI and Body-tied FinFETs," 13차 한국 반도체 학술회의 pp. 147-148, 2006.
- [9] Edmundo A. Gutierrez-D, and Rodrigo Rodriguez-T, "Temperature dependence of the 2D electron transport in Si accumulation layers,"

Proceeding of 6th Int. Caribbean Conf. on Devices, Circuits and Systems, Mexico, Apr. pp.23-26, 2006.

- [10] Sang-YunKim, Young Min Kim, Kwang-Ho Baek, Byung-Kil Choi, Kyoung-Rok Han, Ki-Heung Park, and Jong Ho Lee, "Temperature dependence of substrate and drain-current in bulk FinFETs," IEEE Trans. Electron Devices, vol.54, no.5, pp.1259-1264, 2007.
- [11] Jean P. Colinge, Liam Floyd, Aidan J. Quinn, Gareth Redmond, John C. Alderman, W. Xiong, C Rinn Cleavelin, T. Schulz, Klaus Schrufer, Gerhard Knoblinger, and Paul Patruno, "Temperature effects on Trigate SOI MOSFETs," IEEE Electron Device letter, vol.27, no.3, pp.172-174, 2006.
- [12] Ji-Song Lim, Scott E. Thompson, and Jerry G. Fossum, "Comparison of threshold voltage shifts for uniaxial and biaxial tensile-stressed n-MOSFETs," IEEE Electron Device Lett., vol. 25 no. 11, pp.731-733, 2004.
- [13] J. Frei, C. Johns, A. Vazquez, W. Xiong, C. R. Cleavelin, T. Schulz, N. Chaudhary, G. Gebara, J.R. Zaman, M. Gostkowski, K. Mathew, and J.P. Colinge, "Body effects in tri- and Pi- gate SOI MOSFETs," IEEE Electron Device letter, vol.25, no. 12, pp.813-815, 2004.
- [14] Momose HS, Ohguro T, Kojima K, Nakamura S, Toyoshima Y., "110 GHz cutoff frequency of ultra-thin gate oxide p-MOSFETs on (1 1 0) surface-oriented Si substrate," Symp. VLSI Tech Dig., pp.156-157, 2002.
- [15] Yuri Houk, Benjamin Iniguez, Denis Flander, and Alexei Nazarov, "An analytical accumulation mode SOI pMOSFET model for high temperature analog applications," Semiconductor Physics, Quantum Electronics & Optoelectronics, vol. 9, no. 1, pp.43-54, 2006.
- [16] A. Burenkov, and J. Lorenz, "Corner effect in double and triple gate FinFETs," Proc. of ESSDERC, pp. 135-138, 2003.

---

— 저 자 소 개 —

---



김진영(학생회원)  
2010년 인천대학교 전자공학과  
학사 졸업.  
2010년 인천대학교 전자공학과  
석사과정.  
<주관심분야 : SOI MOSFET,  
나노전자소자>

유종근(정회원)  
대한전자공학회 논문지  
제40권 SD편 제9호 참조

박종태(정회원)-교신저자  
대한전자공학회 논문지  
제40권 SD편 제9호 참조