

논문 2010-47SD-7-9

홀수개의 폴딩 블록으로 구현된 1.2V 8-bit 800MSPS CMOS A/D 변환기

(An 1.2V 8-bit 800MSPS CMOS A/D Converter with an Odd Number
of Folding Block)

이 동 현*, 문 준 호*, 송 민 규**

(Dongheon Lee, Junho Moon, and Minkyu Song)

요 약

본 논문에서는 기존 폴딩 구조의 A/D 변환기(ADC)가 지닌 경계조건 비대칭 오차를 극복하기 위해 홀수개의 폴딩 블록을 사용한 1.2V 8b 800MSPS CMOS ADC를 제안한다. 제안하는 ADC는 저 전력소모를 위해 폴딩 구조에 저항열 인터폴레이션 기법을 적용하고, 높은 folding rate(FR=9)를 극복하기 위해 cascaded 폴딩 구조를 채택하였다. 특히 폴딩 ADC의 주된 문제인 아날로그 신호의 선형성 왜곡과 offset 오차 감소를 위해 홀수개의 폴딩 블록을 사용하는 신호처리 기법을 제안하였다. 또한 스위치를 사용한 ROM 구조의 인코더를 채택하여 2^n 주기를 가지지 않는 디지털 코드를 일반적인 바이너리 코드로 출력하였다. 제안하는 ADC는 0.13 μ m 1P6M CMOS 공정을 사용하여 설계되었으며, 유효면적은 870 μ m x 980 μ m이다. 입력주파수 10MHz, 800MHz의 변환속도에서 150mW의 낮은 전력소모 특성을 보이며 SNDR은 44.84dB (ENOB 7.15bit), SFDR은 52.17dB의 측정결과를 확인하였다.

Abstract

In this paper, an 1.2V 8b 800MSPS A/D Converter(ADC) with an odd number of folding block to overcome the asymmetrical boundary-condition error is described. The architecture of the proposed ADC is based on a cascaded folding architecture using resistive interpolation technique for low power consumption and high input frequency. The ADC employs a novel odd folding block to improve the distortion of signal linearity and to reduce the offset errors. In the digital block, furthermore, we use a ROM encoder to convert a none- 2^n -period code into the binary code. The chip has been fabricated with an 0.13 μ m 1P6M CMOS technology. The effective chip area is 870 μ m x 980 μ m. SNDR is 44.84dB (ENOB 7.15bit) and SFDR is 52.17dBc, when the input frequency is 10MHz at sampling frequency of 800MHz.

Keywords : ADC, Odd number of Folding Block, Interpolation, Cascaded-folding, ROM encoder

I. 서 론

최근 디지털 방송시장의 성장과 HDTV 및 디지털 셋톱박스(D-STB), blu-ray player 등의 고성능 멀티미

디어기기가 증가함에 따라 수백MHz~수GHz의 높은 변환속도를 갖는 중간 해상도(7~10b) ADC의 수요가 증대되고 있다. 이중 2012년 디지털 방송 전환으로 인해 수요가 크게 증가하고 있는 디지털 셋톱박스는 수신부에서 다중 채널이 디지털로 조정될 때 고성능의 ADC가 필요하다. 특히 최근 각광받고 있는 풀 디지털 오디오와 비디오 신호를 통합 전송할 수 있는 고화질 멀티미디어 인터페이스 (HDMI 1.3) (WQXGA 급 : 340MSPS) 신호를 수신부에서 안정적으로 처리하기 위해서는 8b 이상의 해상도, 최소 500MHz 이상의 변환속

* 학생회원, ** 평생회원, 동국대학교-서울 반도체과학과 (Department of Semiconductor Science, Dongguk University)

※ 본 연구는 반도체설계교육센터 (IDEC) 및 교육과학기술부 재원으로 한국과학재단의 기초연구사업 (20100016299) 지원을 받아 수행된 연구 결과임.

접수일자: 2010년4월15일, 수정완료일: 2010년6월30일

도를 만족하는 고성능 ADC가 반드시 필요하다^[1]. 기존에는 이와 같은 고속의 ADC는 flash 구조를 사용하여 구현하였으나 해상도에 비례하여 2^n 의 비율로 증가하는 비교기 개수로 인해 전력소모 및 면적의 증가로 인해 SoC (System on a Chip) 로 구현하는데 큰 제한사항이 되었다^[2].

이에 본 논문에서는 폴딩 신호처리 기법을 사용하여 기존 flash ADC의 장점인 빠른 변환속도를 만족하는 병렬신호 처리 구조를 유지하면서도 상·하위 분할구조로 구현이 가능하여 저 전력 소 면적 특성을 만족하는 8b 해상도의 폴딩 ADC를 제안한다. 제안하는 ADC는 0.13 μ m CMOS 공정을 사용하여 설계되었으며, 최대 800MHz의 높은 변환속도를 만족한다. 특히 기존 폴딩 ADC가 지닌 문제점인 전처리 증폭기열의 평균화 오차 및 인터폴레이션 신호처리 시 발생하는 경계면 zero-crossing 오차를 개선하는 새로운 폴딩 신호처리 기법을 제안하여 부가적인 보정회로 없이 성능향상을 유도하였다. 또한 새로운 폴딩 신호처리에 적합한 ROM 구조의 인코딩 알고리즘을 제안하여 고속의 변환속도에서도 안정적인 디지털 코딩 기법을 제안하였다.

본 논문의 기술순서는 다음과 같다. II장에서는 제안하는 8b 폴딩 ADC의 전체 구조 및 회로설계 기법에 대해 기술하며, III장에서는 설계된 ADC의 layout, post-layout 모의실험결과 및 측정결과를 기존 폴딩 구조 ADC와 비교 확인한 뒤 최종 IV장에서 결론을 맺는다.

II. ADC 구조 및 회로 설계

1. 제안하는 ADC의 구조

폴딩 ADC의 구조결정시 가장 우선적으로 고려할 사항은 해상도와 변환속도를 고려한 폴딩 인자의 설정이다. 주요한 폴딩 인자로는 FR, IR(interpolation rate) 및 NFB(Number of folding Block)가 있으며, 이 폴딩 인자의 변수로 인해 아날로그 대역폭, 변환속도, 전력소모 및 면적특성이 결정되기 때문에 전체적인 ADC 사양 결정에 있어 폴딩 인자 설정이 가장 우선적으로 고려되어야 한다. 일반적인 8b 폴딩 ADC 경우 2+6 또는 3+5의 상·하위 분할구조로 설계된다^[3-4]. 하위 ADC에서 6b 해상도를 처리하는 2+6 구조의 경우 비교적 낮은 FR을 지니기 때문에 상대적으로 입력 대역폭을 넓게 가져갈 수 있는 장점이 있지만 6b flash ADC 수준의 큰 면적과 전력소모가 필요한 단점을 지닌다. 이에 본 논문에서는 하위 5b의 폴딩 신호처리를 통한 3+5의 분할구조를 채택하여 소 면적 및 저 전력 소모에 적합한 폴딩 ADC를 설계하였다. 그러나 3+5구조의 경우 2+6구조에 비해 높은 FR로 인해 입력 주파수가 제한되고 많은 NFA(Number of Folding Amplifier)로 인한 입력 커패시턴스가 증가되어 아날로그 신호의 선형성 왜곡 및 offset 오차에 매우 민감한 문제점을 지닌다. 이에 본 논문에서는 이와 같은 문제점을 해결하기 위해 높은 FR을 분산시키는 cascaded 폴딩 신호처리 기법을 바탕으로 홀수개의 폴딩 블록을 사용한 새로운 구조의 폴딩 ADC를 제안한다. 또한 제안하는 홀

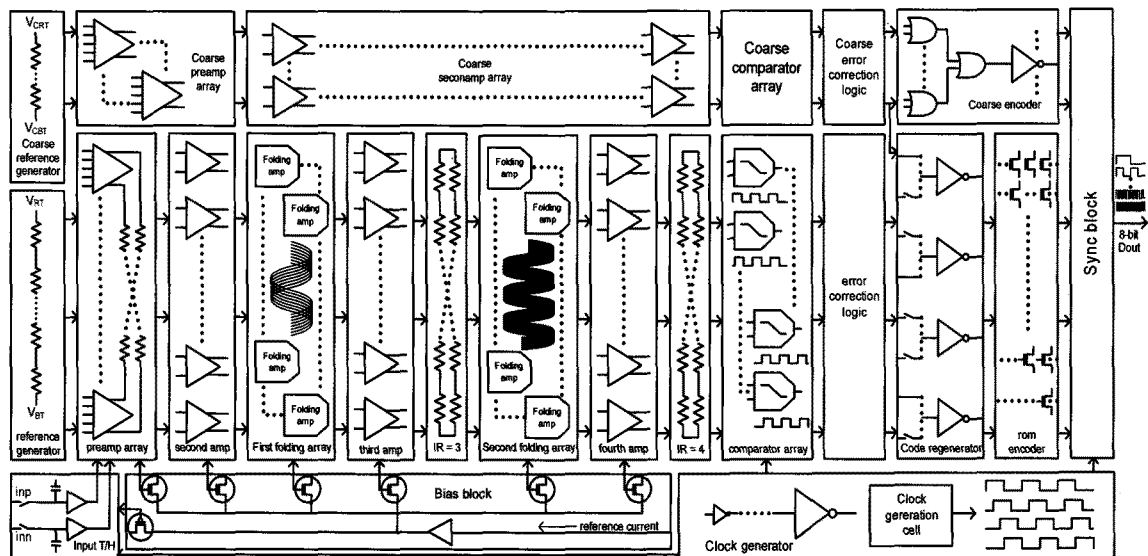


그림 1. 홀수개의 폴딩 블록으로 구현된 8-bit ADC의 구조

Fig. 1. Block diagram of the proposed 8-bit folding ADC.

수 폴딩 블록의 출력신호를 인코딩하기 위해 비교기 뒷단에 스위치 및 코드 생성기를 삽입한 새로운 ROM 구조의 인코더를 적용하여 안정적인 신호처리를 유도하였다. 제안하는 홀수 폴딩 블록의 내용은 II장 2, 3절에 자세히 기술하였으며 본 논문에서 제안하는 홀수 폴딩 블록을 사용한 ADC의 전체 구조를 그림 1에 나타내었다.

2. 제안하는 ADC의 회로 설계 기법

가. 전처리 증폭기-폴딩 블록 신호처리

연속시간적인 ADC 시스템 특성상 최초 아날로그 입력 신호를 처리하는 전처리증폭기 또는 폴딩 신호처리부에서 발생하는 offset 오차는 전체 ADC 성능을 저하시키는 주요원인이 된다.^[5] 이러한 문제점을 해결하기 위해 대부분의 ADC는 전처리증폭기열에 평균화기법을 적용

하여 랜덤하게 발생하는 offset 오차를 최소화한다. 그러나 폴딩 ADC의 경우 전처리증폭기 개수를 짝수로 구성하게 되면 기준전압열의 최상위 및 최하위 지점에서 받아들여지는 아날로그 입력에 대한 전류분배가 대칭적이지 못하기 때문에 효과적인 평균화 효과를 기대할 수 없다.^[6] 기존에는 이런 문제점을 dummy 폴딩 블록 또는 dummy 전처리증폭기를 사용하여 문제점을 보완하였지만 신호의 선형성 저하 및 증폭기의 개수가 증가하게 되어 근본적인 해결책이 되지 못한다.^[4] 이에 비해 본 논문에서 제안하는 홀수 개수로 구성된 전처리증폭기열은 기준 전압의 중심 부에 신호가 존재함으로써 평균화 기법 후에도 대칭적인 전류분배를 할 수 있어 대칭적인 경계조건을 유지하는 장점이 있다. 그러나 효과적인 평균화 기법을 사용하기 위한 홀수개의 전처리증폭기열은 반드시 홀수개의 폴딩 블록과 일대일 대응이 되어야 한다. 이

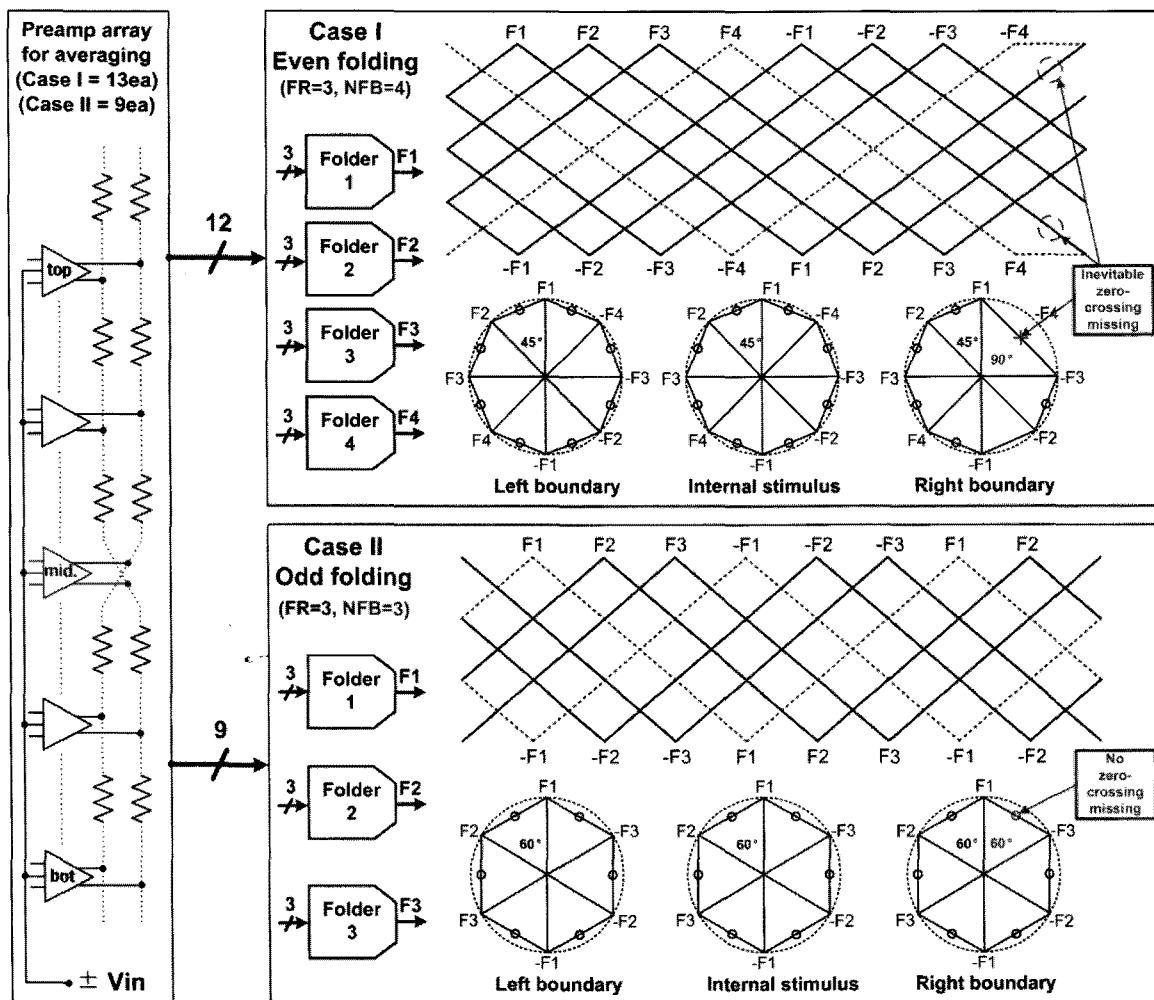


그림 2. 짝수개의 폴딩 블록과 홀수개의 폴딩 블록 사용에 따른 신호처리 비교
Fig. 2. Comparison of an odd folding and an even folding architecture.

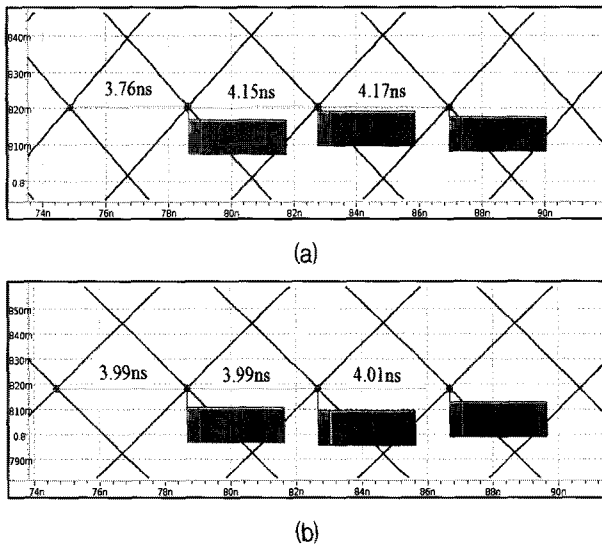


그림 3. (a) 짝수 폴딩 신호처리의 zero-crossing 오차
 (b) 홀수 폴딩 신호처리의 zero-crossing 오차
 Fig. 3. (a) Zero-crossing error at even folding
 (b) Zero-crossing error at odd folding.

는 기존 짝수개의 폴딩 블록 구조는 홀수개의 전처리증폭기열의 평균화 기법을 효율적으로 적용할 수 없음을 의미한다. 이에 본 논문에서는 그림 2와 같이 기존 폴딩 ADC와는 다른 홀수개의 폴딩 블록만을 사용하는 폴딩 신호처리 기법을 제안한다. 제안하는 신호처리 기법은 전처리증폭기신호단의 신호를 전달받을 수 있는 홀수개의 폴딩 블록을 사용하여 전처리증폭기열의 평균화 기법을 통해 생성된 모든 신호가 폴딩 신호처리부에 zero-crossing 누락 없이 모두 인가되어 대칭적인 경계조건을 유지한다. 제안하는 신호처리 기법을 그림 2에 나타내었다. 특히 제안하는 설계기법은 적은 수의 전처리 및 폴딩 블록만을 사용하므로 저 전력만을 소비하는 장점을 지닌다.

또한 폴딩 신호처리부 뒷단에 적용되는 저항열 인터폴레이션 기법 적용시 대칭적인 경계조건을 유지하기 때문에 기존 짝수개의 폴딩 블록을 사용한 폴딩 신호처리에 비해 낮은 zero-crossing 오차를 갖는 장점을 지닌다. 그림 3에는 cascaded (3×3) 폴딩^[7] 신호처리부의 첫 단 폴딩(FR=3) 신호처리를 거친 뒤 저항열 인터폴레이션에 의한 zero-crossing 오차를 모의실험결과로 나타내었다. 기존 폴딩 신호처리 기법을 적용한 경우(그림 3. a) 비대칭적인 경계조건이 저항열에 의해 평균화 되어 안정적인 내부 zero-crossing 까지 영향을 주기 때문에 최대 0.24nsec의 (이상적 zero-crossing : 4nsec) 오차율을 보인다. 이에 비해 제안하는 기법을 적용한 폴딩 신호처리

부의 출력(그림 3. b)은 대칭적인 경계조건을 갖기 때문에 0.1nsec 이내의 이상적인 zero-crossing 오차를 보인다. 이와 같은 오차율은 cascaded 폴딩 신호처리의 첫 단 64개뿐만이 아니라 최종 256개의 zero-crossing 간격에서 모두 동일한 오차율을 보인다.

나. 경계면 Zero-Crossing 생성을 위한 인터폴레이션 기법

본 논문에서 제안하는 홀수개의 폴딩 블록을 사용하는 신호처리 기법은 기존 폴딩 ADC와 달리 주요 폴딩 인자 중 하나인 NFB가 홀수로 표현된다. 이는 폴딩 및 인터폴레이션 신호 처리를 거친 최종 아날로그 출력의 zero-crossing이 2ⁿ 이 아닌 (2ⁿ-x) 개로 생성됨을 의미한다. 결국 8b 해상도에 해당하는 256개의 모든 디지털 코드를 출력할 수 없기 때문에 원하는 ADC 코드를 얻을 수 없다. 이에 본 논문에서는 cascaded 폴딩-인터폴레이션 신호처리부 중 첫 단 인터폴레이션을 활용하여 좌·우측 경계면에 여분의 zero-crossing 2개를 각각 생성하여 최종 256 zero-crossing, 8b 해상도를 만족하였다. 이와 같이 제안하는 기법은 반드시 그림 4에 제시된 바와 같이 기존 ADC와는 다른 기준전압 생성 개념이 필요하다. 기존 폴딩 ADC가 최초 아날로그 입력 전압의 V_{pp}를 기준

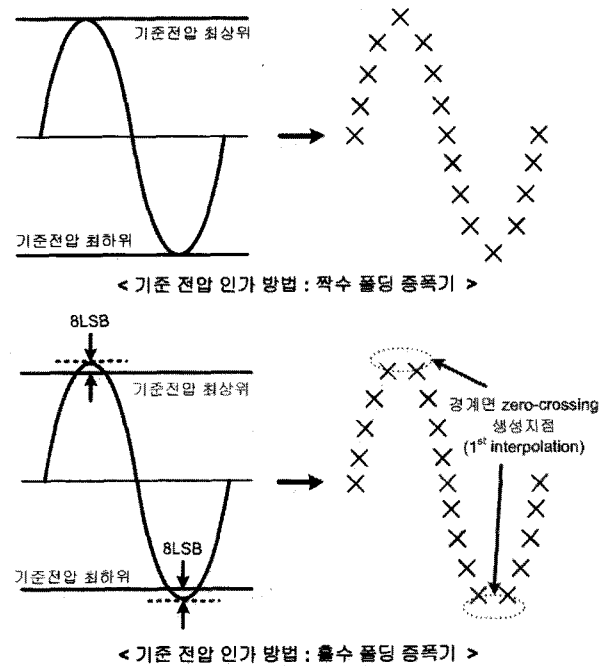


그림 4. 기준 전압의 인가 방법 비교
 Fig. 4. Comparison of methods generate reference voltage.

으로 기준전압을 인가하는데 반해, 제안하는 기법은 추후 인터폴레이션에서 생성될 4개의 zero-crossing 을 감안하여 상·하위 8LSB (8b, 3+5 분할구조의 경우)만큼 적고 기존과 간격(2^n-x)이 다른 기준전압을 인가한다.

즉, cascaded 형태의 신호처리가 두 단의 인터폴레이션을 사용할 수 있다는 점을 활용하여 첫 단의 인터폴레이션 신호처리를 통해 기준 전압열에서 생성 되지 않은 8 LSB의 zero-crossing 을 생성 시키고, 두 번째 단에서 최종 인터폴레이션 신호처리를 통해 매우 낮은 오차율을 지닌 8b 해상도의 최종 아날로그 신호를 얻을 수 있다. 또한 홀수 개의 폴딩 블록은 인터폴레이션시 정확한 위상 분배가 가능하기 때문에 선형성 저하 현상 없이 zero-crossing을 생성할 수 있다. 이와 같이 기존과 다른 홀수 폴딩 인자를 고려한 cascaded 형태로 구성된 두 단의 IR을 해상도에 맞게 선택적으로 분산 배치를 통해 부가 회로 없이 해상도에 맞는 zero-crossing 을 출력하였다.

다. ROM 구조 인코더

본 논문에서 제안하는 홀수개의 폴딩 블록을 사용하는 ADC는 아날로그 최종 출력신호가 2^n 개에 비례하지 않기 때문에 기존 ADC인코딩 알고리즘으로는 8b 해상도에 해당하는 256개 디지털 코드를 출력하는데 어려움이 있다.^[8] 이에 본 논문에서는 상위 3b ADC 디지털 코드에 의해 동작하는 스위치를 하위 5b 인코더에 삽입한 ROM

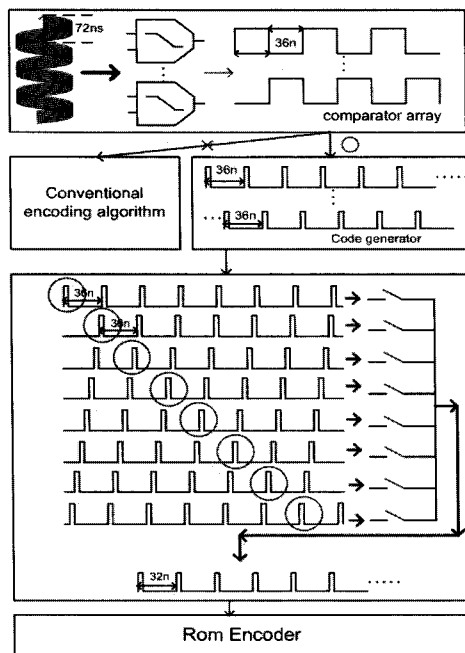


그림 5. ROM 구조 인코딩 과정
Fig. 5. Encoding process of ROM type encoder.

구조의 인코딩 기법을 제안한다.

제안하는 인코딩 기법은 그림 5와 같이 폴딩 블록으로 출력되는 72nsec(NFB = $9 \times$ 최종 IR = $4 \times$ 반전신호 = 2)의 주기 신호를 비교기를 통해 디지털 코드로 변환한다. 이후 상위 3bit ADC로 분해된 32nsec의 디지털 신호로 스위치를 구동시켜 하위 ADC에 부합하는 값을 지닌 신호만을 검출 및 합산하는 과정을 거치게 되고, 최종 32nsec 주기를 갖는 서로 다른 32개의 신호를 출력한다. 이와 같이 스위칭 과정을 거친 32개의 코드는 5bit ADC의 값이 설정된 ROM 인코더에 순차적으로 입력되어 하위 5b에 해당되는 이진코드를 생성한다. 마지막으로 상·하위 인코더에 출력된 각각의 이진 디지털 코드를 동기화시켜 주게 되면 8b 해상도에 해당되는 256개의 코드를 안정적으로 생성할 수 있다. 이와 같은 알고리즘을 갖는 인코더는 기존 폴딩 ADC 를 위한 인코딩 알고리즘^[9]에 비해 각 비트간 지연시간이 상이하다는 단점이 있지만, 2^n 이외에 발생하는 신호에 대해 자유롭게 인코딩을 할 수 있으며 상위 ADC의 출력 코드를 통해 스위칭을 하기 때문에 상·하위 ADC간 여분의 동기화 회로가 필요 없다는 장점을 지닌다.

III. 실험 결과

1. 제안하는 ADC의 Layout

본 연구에서 제안하는 ADC는 0.13um 1P6M n-well CMOS 공정을 사용하여 설계되었으며, 제안하는 홀수 개의 폴딩 블록을 사용한 ADC와 기존 폴딩 ADC의 성능비교를 위해 2가지 ADC를 동일한 조건에서 layout 및 모의실험을 진행하였다.

전체 layout은 아날로그 신호 선형성을 최대한 유지

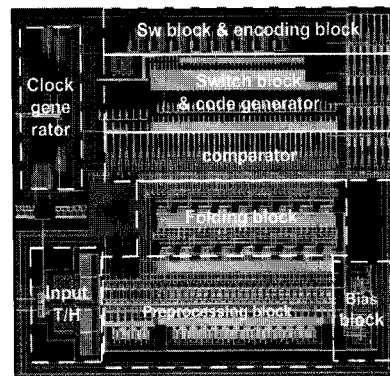


그림 6. 제안하는 폴딩 ADC의 Layout
Fig. 6. Proposed folding ADC Layout.

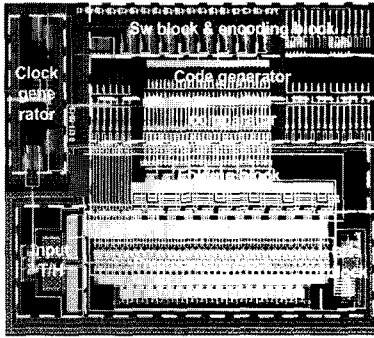


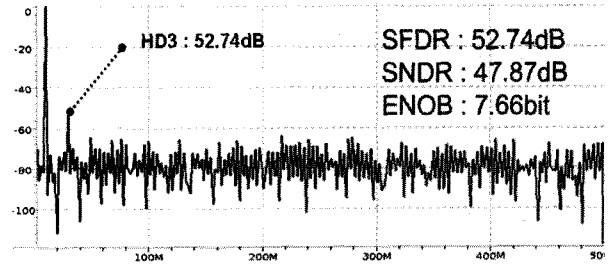
그림 7. 기존 폴딩 ADC의 Layout
Fig. 7. Conventional folding ADC Layout.

하기 위해 신호의 흐름을 한쪽 방향으로만 진행되게 각각의 sub-block이 배치되도록 설계하였으며, 디지털 신호에 의한 아날로그 신호의 간섭을 최소화하기 위해 guard-ring으로 각각의 신호 처리부를 분리하여 배치하였다. 제안하는 ADC의 경우 클럭 발생기, 전원공급을 위한 guard-ring 및 bias block등 모든 세부 주변회로를 포함한 ADC의 전체 사이즈는 980um×870um로 약 0.85mm²이며 일반적인 짝수개의 폴딩 블록을 갖는 ADC의 전체 사이즈는 1040um×850um로 약 0.88mm²이다. 제안하는 홀수개의 폴딩 블록을 갖는 ADC가 좀 더 간소한 아날로그 신호 처리부를 갖기 때문에 약 3~4%의 면적이 감소하는 것을 확인 할 수 있다. 그림 6과 7은 제안하는 ADC와 비교대상인 일반적인 짝수개의 폴딩 블록을 갖는 기존 폴딩 ADC의 layout 이다.

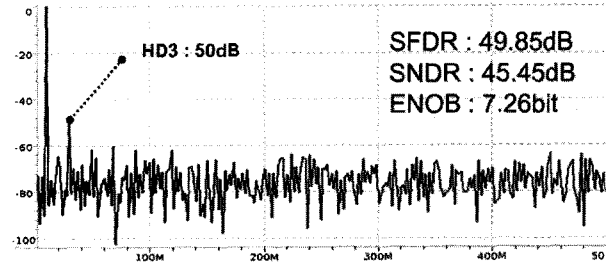
2. 모의실험 결과

제안하는 8b 폴딩 ADC의 성능특성을 확인하기 위해 기존 폴딩 ADC와 동일한 조건에서 post-layout 모의실험을 진행하였다. 그림 8에 제시한 바와 같이 ADC 최종 출력의 FFT 스펙트럼을 분석하여 성능특성을 비교하였으며, 이때의 비교조건은 폴딩 블록의 개수 차이를 제외하고는 모두 동일하다. 특히 일련의 모의실험은 설계상의 오차율 및 margin 을 고려하여 변환속도 1GHz에서 진행되었다.

샘플링 주파수 1GHz, 입력 주파수 10MHz에 대한 SNDR, SFDR 및 유효 비트수(ENOB)를 비교한 결과 제안하는 ADC의 SFDR(HD3)이 약 2.7dB 이상, SNDR은 약 2.5dB 이상 우수한 성능특성을 보였으며, 이에 따라 유효비트수 역시 0.4b 이상 증가한 결과를 확인할 수 있다. 즉 동일한 조건에서 제안하는 설계기법을 적용한 ADC가 우수한 성능특성을 보이는 것을 확인할



(a)



(b)

그림 8. (a) 제안하는 폴딩 ADC의 FFT 스펙트럼 분석
(b) 기존 폴딩 ADC의 FFT 스펙트럼 분석
Fig. 8. (a) FFT spectrum of the proposed folding ADC
(b) FFT spectrum of the conventional folding ADC.

수 있으며, 이는 효율적인 평균화기법 적용 및 경계면에서의 zero-crossing 오차율이 감소한 결과임을 알 수 있다.

3. 측정 결과

본 논문에서 제안하는 8-bit ADC 성능을 측정하기 위해 Gage社의 compuscope 를 사용하였다. 그림 9와 같이 측정을 위해 제작한 PCB를 통해 아날로그 입력신호와 클럭 신호를 인가하게 되면 ADC가 디지털 신호를 출력

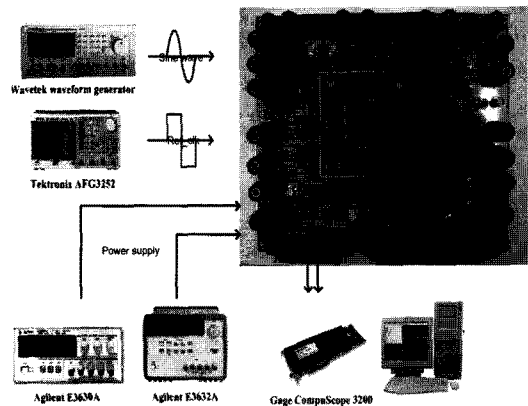


그림 9. ADC 성능측정을 위한 측정환경
Fig. 9. Measurement Environments for the ADC.

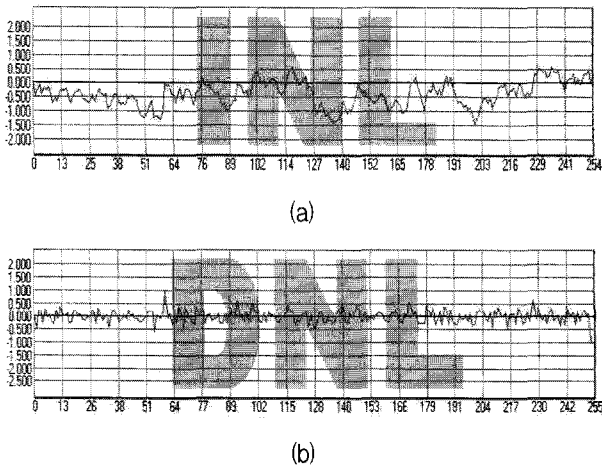


그림 10. 시제품 ADC의 (a) INL, (b) DNL 측정결과
Fig. 10. Measured (a) INL, (b) DNL of the prototype ADC.

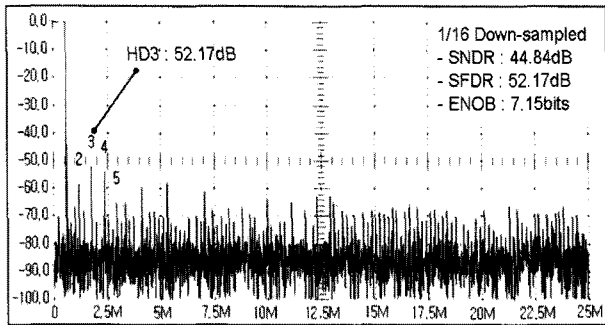


그림 11. 시제품 ADC의 FFT 스펙트럼 측정
Fig. 11. Measured FFT spectrum of the prototype ADC.

하게 되고 이 신호를 최종적으로 compuscope 를 사용하여 주요 성능지표를 측정하게 된다. 그림 9는 ADC의 성능 측정 환경에 대한 그림이다.

시제품 ADC의 INL과 DNL 측정결과를 그림 10에 나타내었다. 변환속도 800MHz에서 DC 입력에 대한 선형성 측정결과 INL은 최대 ± 1.5 LSB, DNL은 ± 1.0 LSB 수준을 유지하는 것을 확인 할 수 있다.

그림 11은 시제품 ADC의 측정결과로써 입력주파수 10MHz, 변환속도 800MHz일 때의 출력 FFT 신호 스펙트럼 출력이다. 800MHz의 고속의 디지털 출력을 안정적으로 확인하기 위해 ADC 출력부에 분주기를 설계 하여 on-chip 하였으며, 이에 따라 1/16 down sampling 된 출력을 측정하였다. 측정결과 SNDR 44.84dB (ENOB 7.15bit), SFDR 52.17dB의 동적 성능특성을 보인다.

그림 12는 800MHz의 변환속도를 유지하면서 입력 주파수를 nyquist 까지 증가하였을 때의 측정결과 (SNDR)를 도표로 나타낸 것이다. 800MHz 동작 속도에

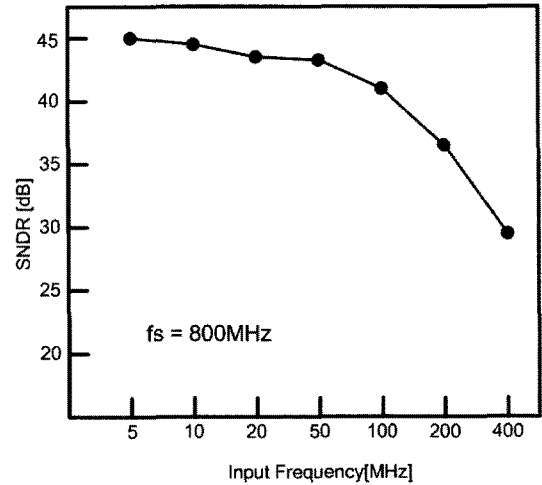


그림 12. 시제품 ADC 측정결과 (fs=800MHz)
Fig. 12. Measured results of the prototype ADC. (fs=800MHz).

서 nyquist 입력 주파수(400MHz)의 SNDR이 29.74dB의 수준인 것을 확인 할 수 있다. 이와 같이 100MHz 이상의 주파수에서 급격히 SNDR 감소하는 결과를 입력 주파수(ω : *radian*)와 클록의 rms jitter 값(δT) (약 10psec)을 가지고 이론적으로 각 입력 주파수에 얻을 수 있는 SNR 식 (1)에^[2] 통해 구하여서 분석하였다. 측정된 ADC의 100MHz 이상 주파수의 SNDR이 이론값인 44dB, 38dB, 32dB에 근접하였으며, 본 논문의 ADC를 비롯한 고 성능 ADC가 클록의 jitter 성능에 따라 높은 입력 주파수에 동작이 제한 받는 것을 확인 할 수 있다.

$$SNR = -20 \cdot \log(\omega \cdot \delta T) \tag{1}$$

4. Figure of Merit

Figure of Merit(FoM)는 설계된 칩의 전력소비, 유효 비트수, 최대 클록주파수를 통해 나타내는 ADC기의 성능지표로써 FoM에 대한 정의는 다음의 식 (2)과 같다.

$$FOM = \frac{Power}{2^{\frac{SNDR-1.76}{6.02}} \cdot F_{CLOCK}} \tag{2}$$

측정결과 본 논문에서 제안하는 ADC의 최대 클록 주파수는 800MHz, ENOB는 7.15bit, 전력소비는 150mW로써 정의된 식 (2)에 의해 약 1.32[pJ/convstep]의 FoM 성능지표를 갖는다.

IV. 결 론

본 논문에서는 디지털 셋톱박스, blu-ray player 및 고화질 멀티미디어 인터페이스 등에 적합한 고성능 저 전력 8b ADC를 제안한다. 제안하는 ADC는 폴딩 신호 처리 기법을 기반으로 상위 3b 하위 5b의 분할구조로 설계되었으나 기존 폴딩 구조와는 다른 홀수개의 폴딩 블록을 사용하여 설계되었다. 상위 3b에 따른 하위 ADC의 높은 FR 및 IR을 분산시키기 위해 cascaded 형태의 폴딩-인터플레이션 구조로 설계되었다. 특히 홀수 개의 폴딩 블록이 갖는 구조적인 zero-crossing 누락 부분을 기준전압 및 인터플레이션 신호처리부에서 복원 하는 기법을 제안하였다. 또한 ROM 을 사용하는 새로운 구조의 인코딩 기법을 제안하여 2ⁿ 개 이외에 발생하는 하위 5b 출력신호를 안정적으로 인코딩 하였다.

제안하는 설계기법을 적용한 시제품 ADC는 0.13um 1P6M n-well CMOS 공정으로 제작되었으며, 유효면적은 0.85mm²의 소 면적으로 구현되었다. 1.2V의 전원 전압 및 800MHz의 샘플링 주파수에서 150mW 이하의 전력만을 소모하는 저 전력의 특성을 만족하며, 측정결과 입력주파수 100MHz 이하에서 40dB 이상의 SNDR 성능특성을 보인다. 표 1에 본 논문에서 제안하는 ADC의 주요 사양과 실험결과를 기존 폴딩 기법을 사용한 ADC의 측정결과와 비교하여 도표를 나타내었으며, 표 2에는 500MSPS 이상의 고속 변환속도를 갖는 8b 해상도 ADC의 최신 연구동향을 본 연구결과와 비교 정리 하였다.

표 1. 제안하는 ADC 사양 및 측정 결과
Table 1. Performance summary of the proposed ADC.

구조	Folding (Odd NFB)	Folding (Even NFB)	
해상도	8b		
변환속도	800MSPS		
전원전압	1.2V(Analog&Digital)		
SNDR	$f_{in}=10\text{MHz}$	44.84dB	41.25dB
	$f_{in}=100\text{MHz}$	40.05dB	35.86dB
SFDR	$f_{in}=10\text{MHz}$	52.17dB	49.52dB
	$f_{in}=100\text{MHz}$	49.26dB	44.30dB
전력소모	150mW	155mW	
면적	0.85mm ²	0.88mm ²	
사용공정	0.13um, 1P6M n-well CMOS		

표 2. 500MSPS 이상의 변환속도를 갖는 8b ADC의 최신 연구동향

Table 2. Recent research of 8b ADC with conversion rate above 500MSPS.

참고문헌	구조	ENOB (bits)	변환속도 (MHz)	전력소모 (mW)	면적 (mm ²)	FoM (ρJ)
Robert C. Taft, 2004, JSSC, [10]	Folding	7.26bits	1.6GHz	774mW	3.6	3.16
Govert Geelen, 2004, ISSCC, [11]	Folding	7.5bits	600MHz	200mW	0.2	1.84
Ivan Bogue, 2007, CICC, [12]	Folding	6.2bits	500MHz	348mW	1.2	9.47
Kenichi Ohhata 2009, JSSC, [13]	Subranging	6.6bits	770MHz	70mW	4.84	0.94
This work	Folding	7.15bits	800MHz	150mW	0.85	1.32

참 고 문 헌

- [1] Klaas Bult., "Analog Broadband Communication Circuits in Pure Digital Deep Sub-Micron CMOS," in *ISSCC Dig. Tech Papers*, pp. 76-77, Feb. 1999.
- [2] Michael Choi and Asad A. Abidi, "A 6b 1.3Gsample/s A/D Converter in 0.35-um CMOS," *IEEE J. Solid-State Circuits*, vol. 36, no. 12, pp. 1847-1858, Dec. 2001.
- [3] 나유삼, 송민규, "3.3V 8-bit 200MSPS CMOS Folding/Interpolation ADC의 설계," *대한전자공학회 논문지*, 제38권 SD편, 제3호, pp. 198-204, 2001년 3월.
- [4] Zheng-Yu Wang, et al., "A 600MSPS 8-bit Folding ADC in 0.18um CMOS," in *SOVC Dig. Tech Papers*, pp. 424-427, June 2004.
- [5] Kiyoshi Makigawa, et al., "A 7bit 800MSPS 120mW folding and Interpolation ADC Using a Mixed-Averaging Scheme," in *SOVC Dig. Tech Papers*, pp. 138-139, June 2006.
- [6] Xicheng Jiang, et al., "A 1-GHz Signal Bandwidth 6-bit CMOS ADC With Power-Efficient Averaging," *IEEE J. Solid-State Circuits*, vol. 40, no. 2, pp. 532-535, Feb. 2005.
- [7] 정승휘, 박재규, 황상훈, 송민규, "1.8V 8-bit 500MSPS Cascaded-Folding Cascaded-Interpolation CMOS A/D 변환기의 설계," *대한전자공학회 논문지*, 제43권 SD편, 제5호, pp. 1-10, 2006년 5월.

- [8] Hairong Yu, et al., "A 1V 1.25GS/S 8-Bit Self-Calibrated Flash ADC in 90-nm Digital CMOS," *IEEE Trans. Circuits Syst. II*, vol. 55, no. 07, pp. 668-672, July 2008.
- [9] 손찬, 김병일, 황상훈, 송민규, "1.8V 12-bit 10MSPS Folding/Interpolation CMOS Analog-to-Digital Converter의 설계," *대한전자공학회논문지*, 제45권 SD편, 제11호, pp. 13-20, 2008년 11월.
- [10] Robert C. Taft, et al., "A 1.8-V 1.6-GSample/s 8-b Self-Calibrating folding ADC With 7.26 ENOB at Nyquist Frequency," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2107-2115, Dec. 2004.
- [11] Govert Geelen and Edward Paulus, "An 8b 600MS/s 200mW CMOS folding A/D Converter Using an Amplifier Preset Technique," in *ISSCC Dig. Tech. Papers*, pp. 254-256, Feb. 2004.
- [12] Ivan Bogue and Michael P. Flynn, "A 57dB SFDR Digitally Calibrated 500MS/s folding ADC in 0.18 μ m digital CMOS," in *Proc. IEEE CICC*, pp. 337-340, Sept. 2007.
- [13] Kenichi Ohhata, et al., "Design of a 770-MHz, 70-mW, 8-bit Subranging ADC Using Reference Voltage Precharging Architecture," *IEEE J. Solid-State Circuits*, vol. 44, no. 11, pp. 2881-2890, Nov. 2009.

 저 자 소 개



이 동 현(학생회원)
 2009년 동국대학교 반도체과학과
 학사 졸업.
 2009년~현재 동국대학교
 반도체과학과 석사과정 재학.
 <주관심분야 : CMOS 아날로그
 회로 설계, 고성능 데이터 변환기,
 저 전력 혼성모드 회로 설계>



송 민 규(정회원)
 1986년 서울대학교 전자공학과
 학사 졸업.
 1988년 서울대학교 전자공학과
 석사 졸업.
 1993년 서울대학교 전자공학과
 박사 졸업.
 1993년~1995년 동경대학교 초빙연구원.
 1995년~1997년 삼성전자 ASIC 설계팀 연구원.
 1997년~현재 동국대학교 반도체과학과 교수.
 <주관심분야 : CMOS 아날로그 회로 설계, 저 전
 력 혼성모드 회로 설계, 데이터 변환기 설계>



문 준 호(학생회원)
 2005년 동국대학교 반도체과학과
 학사 졸업.
 2007년 동국대학교 반도체과학과
 석사 졸업.
 2007년~현재 동국대학교 반도체
 과학과 박사과정 재학.
 <주관심분야 : CMOS 아날로그 회로 설계, 고성
 능 데이터 변환기, 저 전력 혼성모드 회로 설계>