

논문 2010-47SD-8-6

# 고주파 집적회로를 위한 ESD 보호회로 설계

( Design of ESD Protection Circuits for High-Frequency Integrated Circuits )

김 석\*, 권 기 원\*\*, 전 정 훈\*\*

( Seok Kim, Kee-Won Kwon, and Jung-Hoon Chun )

## 요 약

본 논문은 수 GHz를 상회하는 동작 주파수를 갖는 RF집적회로와 고속 디지털 인터페이스를 위한 ESD 보호회로의 다양한 설계방법을 기술한다. 입/출력에 상당한 양의 기생 커패시턴스를 가지는 ESD 보호소자는 입/출력 임피던스 매칭에 영향을 주며, 이득, 잡음 등의 RF특성을 열화시킨다. 본 논문에서는 이와 같은 ESD 보호소자의 악영향에 대해 분석하고, 이를 감쇄시킬 수 있는 방안을 논한다. 또한 RF 특성과 ESD 내성 측정을 통해 RF/ESD 병합설계 방법을 기존의 RF ESD 보호소자의 설계 방법과 비교, 분석한다.

## Abstract

In multi-GHz RF ICs and high-speed digital interfaces, ESD protection devices introduce considerable parasitic capacitance and resistance to inputs and outputs, thereby degrading the RF performance, such as input/output matching, gain, and noise figure. In this paper, the impact of ESD protection devices on the performance of RF ICs is investigated and design methodologies to minimize this impact are discussed. With RF and ESD test results, the 'RF/ESD co-design' method is discussed and compared to the conventional RF ESD protection method which focuses on minimizing the device size.

**Keywords :** ESD, ESD protection, RF ESD, SCR, T-coil

## I. 서 론

반도체 공정의 스케일링에 따른 ESD 보호소자의 특성 저하가 RF집적회로와 고속 디지털 인터페이스의 설계에 있어서 중요한 문제로 대두되고 있다<sup>[1~3]</sup>. 입력 소자의 ESD 내성은 주로 MOSFET 게이트 산화막의 항

복 전압에 의해서 결정되는데, 게이트 산화막 두께의 감소로 인해 항복 전압이 지속적으로 감소하고 있다<sup>[1]</sup>. 출력 버퍼의 경우에도 기생 LBJT(lateral bipolar junction transistor)의 트리거링 전압이 감소하여 ESD 스트레스에 의해 원하지 않는 조건에서 LBJT가 도통될 위험성이 커지고 있다<sup>[2]</sup>. 이러한 입출력 소자의 항복전압은 65 nm 이하의 공정에서 4 V 이하로 감소하였고, 이에 따라 ESD 보호소자의 설계 마진 또한 크게 감소하였다.

고속 I/O 설계에서 ESD 보호소자는 일반적으로 수 백 fF, 혹은 100 fF 이하의 부하를 갖는 정도로 그 크기가 결정되어야 하나, 위에 기술한 바와 같이 ESD 보호소자의 내성이 악화되고 있는 상황에서는 이처럼 작은 커패시턴스를 갖는 ESD 보호소자를 설계하는데 어려

\* 학생회원, \*\* 정회원, 성균관대학교 정보통신공학부  
(School of Information & Communication Engineering, Sungkyunkwan University)

※ 본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)의 일환으로 수행하였음. [KI002085-2010-02, 차세대 반도체 장비 및 소자의 표준화 기술]

※ 본 연구는 동부하이텍 DE팀의 지원으로 수행되었습니다.

접수일자: 2010년6월1일, 수정완료일: 2010년7월20일

움이 따른다. 이러한 문제의 해결 방법을 크게 두 가지로 분류할 수 있다. 첫 번째는 ESD 다이오드 등의 기존 소자를 최적화 하여 부하를 최소화 하거나<sup>[4]</sup>, SCR(Silicon Controlled Rectifier)과 같은 단위 부하 당 전류 구동 능력이 뛰어난 소자를 ESD 보호소자로서 개발하는 것이다<sup>[5~7]</sup>. 하지만 소자의 최적화에는 어느 정도의 한계가 있으며, 또 일반적으로 제공되는 소자가 아닌 별도의 소자를 사용하는 경우에는 추가적인 비용이 발생하는 문제점을 가지고 있다. 두 번째 방법은 회로적인 기술을 통해 부하 자체를 신호 전달 경로에서 격리시키는 방법이다<sup>[8~9]</sup>. 이러한 방법은 추가적인 면적, 혹은 전력 소모를 요한다. 그러나 회로 설계자가 직접 부하 문제를 제어할 수 있고, 작은 크기의 ESD 보호소자를 개발하는 데에 있어서의 물리적인 한계를 극복할 수 있기 때문에 광범위하게 응용되고 있다.

본 논문에서는 ESD 보호소자가 신호 전달에 미치는 영향을 ESD 보호소자의 등가 모델을 통해서 분석하고, 이 영향을 최소화하기 위한 on-chip ESD 보호회로의 설계 동향에 대해서 기술한다. 또한 이러한 설계 방법이 실제로 적용된 사례 연구를 통해 ESD 보호소자의 성능 개선에 대한 분석 및 검증울 수행하였다.

## II. ESD 보호회로의 모델 및 설계방법

### 2.1. ESD 보호소자의 RF 모델링

ESD 보호소자는 그림 1(a)와 같이 직렬 연결된 커패시터( $C_{ESD}$ )와 저항( $R_{ESD}$ )으로 간단히 모델링 할 수 있다. 이는 특정 주파수( $\omega$ )에서 그림 1(b)처럼 열잡음 전류원  $i_n$ 을 포함한 병렬 구성으로 변환할 수 있고 이때의 quality factor(Q) 및  $R_p$ ,  $C_p$ ,  $i_n$ 은 다음 식 (1), (2), (3),

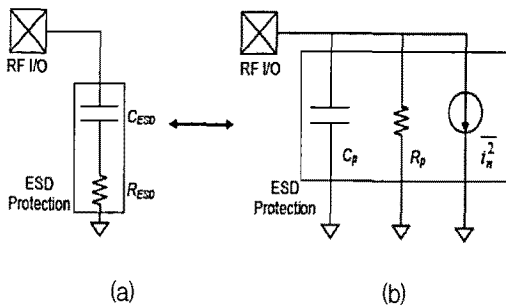


그림 1. ESD 보호회로 모델

(a) 직렬 구성 (b) 병렬 구성

Fig. 1. A simplified model of ESD protection model.

(a) serial configuration (b) parallel configuration

(4)와 같이 표현된다.(단  $Q \gg 1$ )

$$Q = \frac{1}{\omega R_{ESD} C_{ESD}} \quad (1)$$

$$R_p \approx Q^2 R_{ESD} = \frac{Q}{\omega C_{ESD}} = \frac{1}{\omega^2 R_{ESD} C_{ESD}^2} \quad (2)$$

$$C_p \approx C_{ESD} \quad (3)$$

$$i_n^2 = \frac{4kT\Delta f}{R_p} = 4kT\Delta f \omega^2 R_{ESD} C_{ESD}^2 \quad (4)$$

다이오드로 구성된 ESD 보호소자 뿐만 아니라 좀 더 복잡한 ESD 보호소자 또한 그림 1과 같은 형태로 간략화 할 수 있다. 실제로 그림 2의 gate-grounded NMOSFET의 모델을 살펴보면 드레인-게이트 커패시턴스( $C_{ds}$ ), 드레인-바디 커패시턴스( $C_{db}$ ), 기생 드레인 저항( $R_d$ ), 게이트 저항( $R_g$ ), 기판 저항( $R_s$ ) 등으로 복잡하게 구성되어있지만 특정 주파수에서는 임피던스 변환을 통해 그림 1과 같은 간단한 RC모델로 표현할 수 있다. 이때 그림 2에 나타나지 않은 잡음전류원 또한 MOSFET 잡음 이론을 토대로 추가해 줄 수 있다<sup>[10]</sup>. ESD 보호소자에서 발생하는 잡음의 영향에 대해서는 2.3 장에서 자세히 다루도록 한다.

칩 내부의 ESD 보호소자는 일반적으로 수백 fF에서 부터 수 pF 범위의 기생커패시턴스( $C_p$ )를 갖게 된다. 입력단을 통해 보이는 ESD 보호소자의 수백 fF이상의  $C_{ESD}$ 는 수 GHz영역에서 동작하는 RF 집적회로의 입/출력 매칭 특성과 전력전달특성을 악화시키며 고속 디지털 I/O의 대역폭 또한 제한한다. 최근에는 200 fF 이하의  $C_p$ 를 가지면서 HBM(Human Body Model) 2 kV 이상의 스트레스를 견딜 수 있는 ESD 보호소자의 사례가 발표되고 있다<sup>[12]</sup>. ESD 보호소자의 기생저항( $R_p$ )은 일반적으로 1 k $\Omega$ 이상의 값을 가지기 때문에 고주파 동

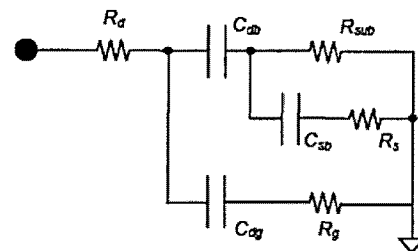


그림 2. gate-grounded NMOSFET의 RF 모델

Fig. 2. A compact RF model of gate-grounded NMOSFET.

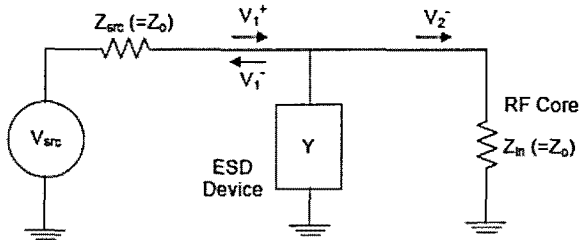


그림 3. ESD 보호소자가 포함된 RF I/O의 양 단자 모델

Fig. 3. A two-port model of an RF I/O with an ESD protection device. The admittance, Y represents the ESD protection device.

작특성에 미치는 영향은 미미하다.

그림 3은 ESD 보호소자가 포함된 RF I/O의 양 단자 모델이다. 이때 RF 입력 임피던스( $Z_{in}$ )는 소스임피던스( $Z_{src}=Z_0$ )와 매칭 된 상태를 가정한다. ESD 보호소자가 입력소스와 매칭네트워크 사이에 추가되면서 앞서 언급한  $C_{ESD}$ 의 영향이 나타나게 된다. 고주파에서  $C_{ESD}$ 는 입력 매칭 특성을 변화 시켜 반사계수  $S_{11}$ 과 신호 전달계수  $S_{21}$ 의 특성에도 악영향을 미친다. 그림 3에 도시된 모델의  $S_{11}$ 과  $S_{21}$ 을 ESD 보호소자의 어드미턴스를 이용하여 표현하면 다음과 같다.

$$S_{11} = \frac{V_1^-}{V_1^+} = \frac{-Z_o Y}{2 + Z_o Y} \quad (5)$$

$$S_{21} = \frac{V_2^+}{V_1^+} = \frac{2}{2 + Z_o Y} \quad (6)$$

그림 4와 5는 그림 3의  $C_{ESD}$ 의 변화에 따른  $S_{11}$ 과

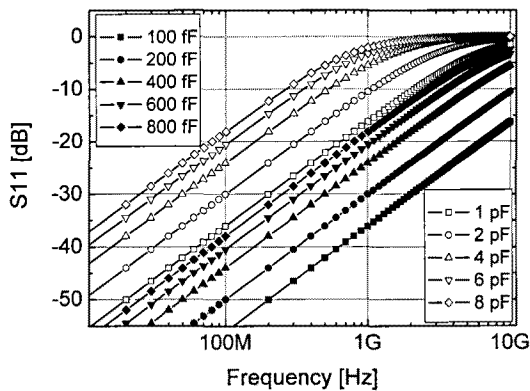


그림 4.  $C_{ESD}$ 의 변화에 따른 그림 3의 양단자 시스템에서의  $S_{11}$  변화

Fig. 4.  $S_{11}$  of the two port system in Fig. 3 with a variety of  $C_{ESD}$ .

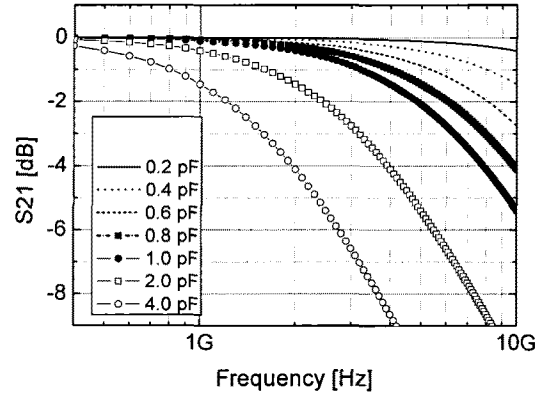


그림 5.  $C_{ESD}$ 의 변화에 따른 그림 3의 양단자 시스템에서의  $S_{21}$  변화

Fig. 5.  $S_{21}$  of the two port system in Fig. 3 with a variety of  $C_{ESD}$ .

$S_{21}$ 의 변화를 나타내고 있다.  $S_{11}$ 의 경우  $C_{ESD}$ 가 200 fF일 경우 10 GHz의 주파수에서도 -10 dB이하의 값을 갖지만  $C_{ESD}$ 가 1 pF으로 증가하게 되면 반사특성이 악화되어 약 2.3 GHz에서 이미 -10 dB를 넘어서게 된다.  $S_{21}$ 의 경우에도 마찬가지로 200 fF의  $C_{ESD}$ 의 경우에는 10 GHz에서도 전력 손실 0.54 dB의 양호한 특성을 가지지만  $C_{ESD}$ 가 1 pF이상으로 증가하면 전력 손실 또한 5.5 dB이상으로 증가하게 되는 것을 확인 할 수 있다. 즉 고주파에서의 신호의 반사 및 전력 손실 등의 RF특성이 ESD 보호소자의 크기에 민감하다는 것을 알 수 있다<sup>[11]</sup>.

### 2.2. 고주파 집적회로의 ESD 보호 방법

$C_{ESD}$ 에 의해 발생하는 RF특성의 변화 문제를 해결할 수 있는 간단한 방법 중 하나는 ESD 보호소자의 크기를 최소화하는 것이다. 실제로 이러한 방법은 ‘low- $C_{ESD}$  설계’ 라고 지칭되며 ESD 내성에 대한 요구조건을 만족시킬 수 있을 정도 또는 RF특성을 위해 ESD에 대한 내성을 포기하는 정도까지 ESD 보호소자의 크기를 줄이는 설계 방법을 의미한다. 이러한 접근 방식의 경우 ESD 보호소자가 내부 회로의 RF특성에 미치는 영향이 작도록 최적화되기 때문에 내부 회로의 설계가 완성된 이후에 ESD 보호소자만 I/O에 추가해주는 것으로 ESD 보호설계를 마친다.

또 다른 ESD 보호 방법으로는 ‘ESD-RF 병합설계’ 방법을 들 수 있다. ‘병합설계’ 접근방법은 내부회로의 설계 초기부터 특정 ESD 보호소자를 매칭 네트워크의 일부로 포함하여 설계하는 것이다. 실제로 대부분의 경

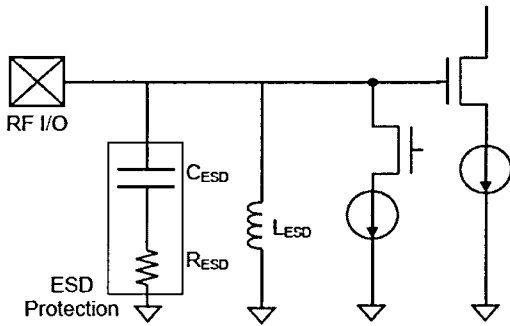


그림 6. 인덕터(L<sub>ESD</sub>)를 추가하여 구현한 ESD cancellation  
Fig. 6. ESD cancellation scheme with an additional inductor.

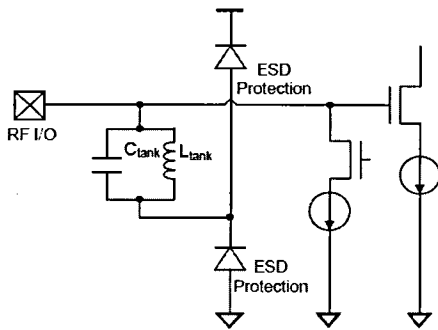


그림 7. LC탱크를 이용한 ESD isolation  
Fig. 7. ESD isolation scheme with an 'LC-tank'.

우 ESD 보호소자로 인해 발생하는 매칭 문제는 '병합 설계' 접근방법을 통해 해결이 가능하다<sup>[12]</sup>. 이를 위해서는 ESD 보호소자의 정확한 RF모델링이 선행되어야 한다.

'ESD-cancellation'<sup>[13]</sup>과 'ESD-isolation'<sup>[14]</sup>같은 방법들은 'ESD-RF 병합설계' 접근방법의 대표적인 예이다. 그림 6은 'ESD-cancellation'방법을 나타낸 것으로 칩 내부에 인덕터(L<sub>ESD</sub>)를 ESD 보호소자와 병렬로 연결하여 RF회로가 동작하는 주파수 대역에서 L<sub>ESD</sub>와 C<sub>ESD</sub>의 공진을 발생시킴으로써 ESD 보호소자가 영향이 나타나지 않도록 하였다. 'ESD-isolation'방법 또한 유사한 개념으로 그림 7과 같이 신호전달 경로와 ESD 보호소자 사이에 LC-탱크를 추가해줌으로써 동작 주파수에서 일어나는 LC공진현상이 C<sub>ESD</sub>를 보이지 않도록 한다. 하지만 'ESD-cancellation'과 'ESD-isolation'방법 역시 몇 가지 단점과 제한요소들을 가지고 있다. 먼저 인덕터에 의한 신호 손실을 막기 위해서는 높은 Q-factor를 구현할 수 있는 특정 RF공정을 사용하여야 한다. 또한 공진

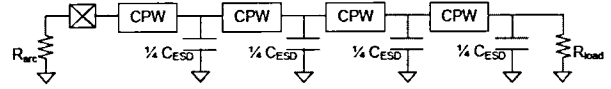


그림 8. 네 개의 세그먼트를 가지는 'distributed ESD'  
Fig. 8. Four-segment distributed ESD protection system.

현상은 특정 주파수에서만 발생하기 때문에 위의 두 방법은 협대역 RF 집적회로의 경우에만 사용가능한 제한적인 ESD 보호방법이라 할 수 있다.

이러한 대역폭 문제를 해결할 수 있는 광대역 ESD 보호방법들이 제안되어 왔다. 그림 8은 'distributed ESD'<sup>[15]</sup> 보호 방법으로 네 개로 분배된 ESD 보호소자와 CPW(coplanar waveguide)를 연결하여 입력단에서 바라보는 소자 전체가 RF 입력 임피던스(Z<sub>in</sub>)와 같은 값의 특성임피던스를 가지는 전송선의 형태를 갖도록 구현한다. 이로 인해 ESD 보호소자의 커패시턴스에 의해 나타나는 임피던스의 불연속을 피한다. 원하는 특성 임피던스를 얻기 위해서 CPW를 식 (7)을 따라 설계하여야 한다. 식 (7)에서 L<sub>cpw</sub>와 C<sub>cpw</sub>는 CPW의 인덕턴스와 커패시턴스를 의미한다.

$$Z_o = \sqrt{\frac{L_{CPW}}{C_{ESD} + C_{CPW}}} \quad (7)$$

이 구조는 분배된 소자들 간의 균일하지 않은 전도성으로 인하여 I/O 패드에 가까이 위치한 몇 개의 보호소자에만 큰 전류가 흐르게 될 위험이 있다. 하지만 [15]는 각각의 세그먼트 사이의 넓은 금속선(~36 um)과 ESD 보호소자에 직렬 연결된 저항에 의해서 효과적으로 전류가 분배될 수 있음을 보여준다. 그림 8과 같이 네 개의 세그먼트로 구성된 보호회로의 경우 200 fF의 ESD 보호소자를 이용하여 0-10 GHz대역에서 0.02 dB이하의 손실을 가지도록 구현할 수 있다. 하지만 'distributed ESD' 보호회로는 각 세그먼트 사이에서 충분한 인덕턴스를 얻기 위하여 상대적으로 긴 CPW를 써야 하기 때문에 면적효율성을 저하시키는 단점이 있다. 실제로 [15]에서의 CPW는 0.35 mm ~ 1.4 mm의 길이를 가지고 있다. 이러한 단점으로 위 구조의 용도는 상당히 제한적이다.

또 다른 다른 광대역 회로용 ESD 보호방법으로 그림 9와 같이 bootstrap 증폭기를 이용한 방법이 제안되었다<sup>[9, 16]</sup>. 회로가 정상 동작하는 경우에 그림 9와 같이 RF패드와 ESD 소자의 중간노드를 이득이 1인 증폭기

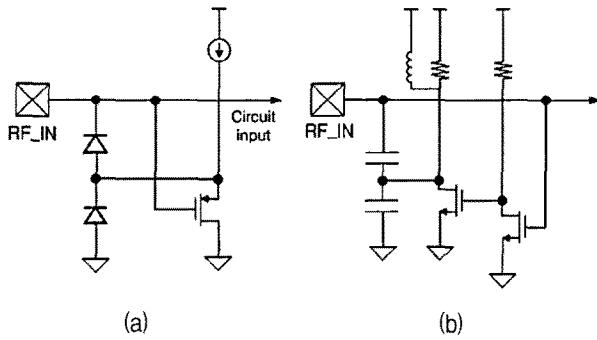


그림 9. 소스 팔로워(a)<sup>[16]</sup>, 공통 소스(b)<sup>[9]</sup> 증폭기를 이용한 bootstrapped ESD 보호구조

Fig. 9. Bootstrapped ESD protection structure with source follower(a)<sup>[16]</sup> and common source(b)<sup>[9]</sup> amplifier.

를 이용하여 bootstrap시킴으로써 RF패드에서 ESD 보호소자의 임피던스가 보이지 않도록 한다. 이때 넓은 주파수 대역에서 ESD 소자의 임피던스를 보이지 않도록 하는 것뿐만 아니라 입출력 신호의 주파수에 따른 신호지연 변화를 막을 수 있도록 증폭기를 설계하는 것이 중요하다. [9]에서는 주파수에 따른 신호지연 변화를 막기 위해 bootstrap에 사용되던 그림 9(a)의 기존의 소스 팔로워<sup>[16]</sup>를 그림 9(b)의 인덕터를 사용하는 두 단의 공통소스 증폭기로 대체하였다. 하지만 이 구조는 고주파에서 1에 가까운 이득을 유지하기 위해서 많은 전력을 필요로 할 뿐만 아니라, 추가된 인덕터가 차지하는 면적도 상당하다. 실제로 [9]에서는 bootstrap용 증폭기가 19 mW 추가적인 전력을 소모하고, 인덕터는 120  $\mu\text{m} \times 120 \mu\text{m}$ 의 면적을 차지한다. 따라서 위의 방법은 저전력 소모가 요구되는 경우에는 적용이 어렵다.

추가적인 전력소모를 요하지 않기 위해 수동 소자만을 이용하여 광대역 ESD 보호회로를 구성한 예로 그림 10의 T-coil이 있다<sup>[8, 17]</sup>. 주파수에 무관하게  $Z_{IN} = R_T$ 의 관계가 성립하도록 하는 인덕터( $L_T$ )와 병렬 커패시턴스( $C_B$ ), 그리고 두 인덕터 사이의 상호유도계수( $k$ ) 값을 내부 커패시턴스(노드 X에서의 커패시턴스)의 함수로 표현할 수 있다. Galal 등은<sup>[17]</sup> T-coil을 이용하여 10 GHz에서 -20 dB이하의 반사계수를 가지는 ESD 보호회로를 구현할 수 있음을 이미 보인바 있다. 하지만, [8]의 경우 상당한 크기의 ESD 보호소자(1.2 pF)를 가졌음에도 ESD에 대한 내구성이 HBM 1 kV 미만임이 보고되었다. 이는 온-칩 인덕터의 금속선을 통한 ESD 전류가 electromigration에 의한 손상을 유발하기 때문

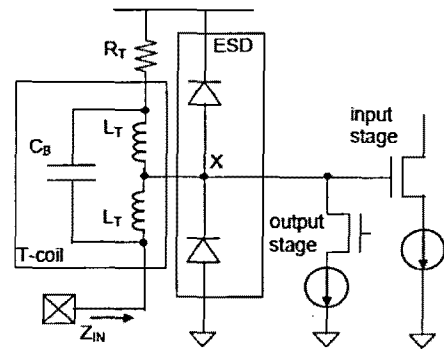


그림 10. T-coil 네트워크를 이용한 ESD 보호 방법<sup>[8, 17]</sup>  
Fig. 10. T-coil network for ESD protection<sup>[8, 17]</sup>.

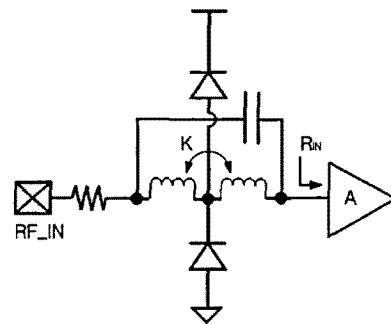


그림 11. T-diode를 이용한 ESD 보호방법  
Fig. 11. T-diode structure for ESD protection.

이다. 또한 [8]에서는 1 nH의 인덕터를 구현하기 위해 85  $\mu\text{m} \times 85 \mu\text{m}$ 의 면적을 사용하였는데, 인덕터는 주로 전력 전달에 사용되는 최상위 금속 배선을 이용하여 구현하기 때문에 전력 무결점성(power integrity)에 영향을 준다.

이 외에도 상호유도 관계에 있는 두 개의 인덕터를 이용한 방법으로 그림 11과 같은 T-diode<sup>[18]</sup>를 이용한 ESD 보호방법이 제안되었다. RF 내부 회로의 임피던스를 그림 10의  $R_T$ 와 동일하게 조정함으로써 임피던스 매칭을 위한 병렬의 터미네이션 저항과 이에 따른 신호/전력 손실을 제거한 구조이다. 하지만, 이 구조도 역시 인덕터의 신뢰도 및 면적 효율성의 문제를 가진다. 실제로 [18]에서는 4.5 kV HBM 내성을 얻기 위해 7  $\mu\text{m}$  너비의 금속배선을 사용하는 대면적(150  $\mu\text{m} \times 150 \mu\text{m}$ )의 인덕터를 사용하였다.

### 2.3. ESD 보호소자로 인한 잡음 특성의 악화

표 1은 [13], [19] 등에서 보고된 ESD 보호소자들의 Q-factor를 나타내고 있다. 5GHz에서 측정된 ggNMOST(gate-grounded NMOS transistor)의

Q-factor는 13.3을 상회하였고 다이오드 또한 50 이상의 Q-factor를 가진다.

200 fF의  $C_{ESD}$ 를 가정할 때, ggNMOST의  $R_p$ (그림 1과 2)는 5 GHz에서 2.1 kΩ에서 2.8 kΩ까지의 범위를 가진다. 또한 같은 주파수 대역에서 다이오드의  $R_p$ 는 약 8 kΩ에 달한다.  $R_p$ 가 RF특성에 미치는 영향을 보기 위해 ESD 보호소자가 패드 바로 옆에 위치하고 내부회로로 바라본 임피던스가 소스임피던스( $Z_o = 50 \Omega$ )와 매칭되어 있다고 가정하자. 이러한 경우 신호전력손실은 식 (8)과 같이 나타낼 수 있다. 단 이때 리액턴스 성분에 의한 매칭 특성의 변화는 무시할 정도이거나 매칭 네트워크에 완전히 흡수되었다고 가정하였다.

$$Powerloss [dB] \approx 20 \cdot \log\left(\frac{2R_p + Z_o}{2R_p}\right) \quad (8)$$

저항  $R_p$ 의 열잡음( $V_{n,R_p}^2 = 4kTR_p$ )을 포함한 그림 6의 양단자 시스템 전체의 NF(noise figure)를 식 (9)와 같이 표현할 수 있다<sup>[20]</sup>.

$$NF = 1 + \frac{R_s}{R_p} \quad (9)$$

여기서  $R_s$ 는 그림 3의 소스 임피던스( $Z_{src}$ )의 실수 부분이다. 표 1과 같이 'Q>>1'이 성립하는 경우, 식 (9)는  $R_{ESD}$ 와  $C_{ESD}$ 를 이용하여 다음과 같이 다시 쓸 수 있다.

$$NF = 1 + \omega^2 C_{ESD}^2 R_s R_{ESD} \quad (10)$$

표 1. ggNMOST 와 다이오드의 측정된 Q factor  
Table 1. The measured Q factors ggNMOSTs and diodes.

Device Type	Technology	Frequency	Q	$R_p$	
1	ggNMOST	0.25 $\mu$ m CMOS	1.8 GHz	40	17.7 kΩ
			5.0 GHz	14.5	2.3 kΩ
2	ggNMOST (junction isolation)	0.35 $\mu$ m BiCMOS	5.0 GHz	13.3	2.1 kΩ
3	ggNMOST (trench isolation)	0.35 $\mu$ m BiCMOS	5.0 GHz	17.5	2.8 kΩ
4	Dual-diode	0.24 $\mu$ m BiCMOS	5.0 GHz	50	8 kΩ
5	N+/Pwell diode	0.25 $\mu$ m CMOS	1.8 GHz	145	64.1 kΩ
			5.0 GHz	52	8.3 kΩ
6	P+/Nwell diode	0.25 $\mu$ m CMOS	1.8 GHz	184	81.3 kΩ
			5.0 GHz	66	10.5 kΩ

식 (9), (10)에 따르면 신호전력 손실과 저항에서 발생하는 열잡음에 의한 NF특성의 악화는 RESD와 CESD가 작다면 충분히 무시 될 수 있다. 예를 들어 Wang<sup>[21~22]</sup>등은 2.4 GHz에서 970 fF의 CESD를 가지는 ggNMOST는 1.52 %, 130 fF의 양방향 SCR은 0.03 %의 NF 특성 악화를 유발한다고 보고하였다. 그 외의 보고<sup>[12, 14, 23~24]</sup>에서도 ESD 보호회로에 기인한 노이즈 특성의 악화가 위의 수치와 크게 다르지 않음을 확인할 수 있다.

그러나 또 다른 연구들에서는 0.41 pF의 ggNMOS ESD 보호회로가 추가되었을 때 저잡음 증폭기의 5 GHz에서의 NF특성이 38 %까지 악화 된다고 보고하고 있고<sup>[25]</sup>, 그 외에도 2.4 GHz 주파수에서 0.6 pF의  $C_{ESD}$ 일 때 25 %<sup>[26]</sup>, 5.2 GHz의 주파수에서  $R_p$ 가 1.5 kΩ인 인덕터를 사용 하였을 때 20 %의 NF특성 악화가 발생하는 경우도 보고되었다<sup>[27]</sup>. 이러한 과도한 잡음의 원인을 다음과 같이 유추할 수 있다.

1) NF특성의 악화에 대한 이전의 분석에서는, 광대역에서의 입력 매칭이 완벽하다고 가정하였다. 하지만 실제로는 앞서 2.1에서 S11으로 설명한 것과 같이 고주파에서 발생하는 임피던스 부정합에 의해 입력 신호와 소스로 부터의 잡음의 반사가 발생한다. 만약 소스로 부터의 잡음이 전체 시스템의 NF특성을 결정할 정도로 지배적이라면 입력신호와 잡음이 함께 반사되기 때문에 NF는 S11의 변화에 민감하지 않다. 하지만 주파수가 증가함에 따라 증폭기에서 발생하는 잡음의 비중이 커지기 시작하면 SNR 특성의 악화와 함께 S11의 변화에 대한 NF특성의 변화 또한 커진다. 즉 고주파에서 동작하는 회로일수록 ESD 보호소자에 의해 추가되는 임피던스에 의한 NF특성의 악화가 더 크게 나타난다.

2) 저항 성분에서 발생하는 열잡음 이외에도 사용되는 소자에 따라 shot noise와 같은 추가적인 잡음이 발생할 수 있다. [21]에서는 다양한 ESD 보호소자들의 각 잡음 성분들이 확인되었고, LNA의 잡음 분석에 포함되었다.

3) 기판 잡음과 전력 레일의 잡음이 상대적으로 크기가 큰 ESD 보호소자를 통해서 I/O핀과 커플링 될 수 있다. 커플링 효과는 레이아웃, 전력분배선의 설계, 기판의 종류 등의 영향을 받는다. 이는 고 집적화된 혼성 신호 IC에서 간과 될 수 없는 현상이다.

4) 그림 3에서, ESD 보호소자는 소스 임피던스(=50 Ω)를 직접적으로 바라보고 있고 내부회로의 임피던스

는 소스 임피던스와 완벽히 매칭되어 있다고 가정하였다. 그러나 많은 경우에 ESD 보호소자가 위치한 노드의 임피던스는 소스 임피던스와 매칭이 되지 않는다. 예를 들어 패키징과 관련하여 수 nH의 인덕턴스가 발생하고, 임피던스 매칭을 위한 소자들 또한 패드와 ESD 보호소자의 사이에 추가된다. 실제로 [28]의 경우와 같이 대역폭의 증가를 위하여 패드와 ESD 보호소자 사이에 bond-wire등을 추가하는 방법이 자주 이용된다. 이러한 추가적인 수동 소자의 사용으로 ESD 보호소자가 바라보는 실질적인 임피던스가 증가하게 된다. 즉 식 (8)의  $Z_0$ 가 증가한다고 할 수 있고, ESD 보호소자에 의한 신호전력손실 또한 증가하게 된다.

5) 최대 전력 전달을 위한 소스 임피던스 값이 NF를 최소화하기 위한 소스 임피던스 값과 다르다는 사실이 잘 알려져 있다<sup>[29]</sup>. 저 잡음 증폭기의 설계 과정에서는 작은 입력 임피던스의 변화도 증폭기의 잡음 최적화 조건을 벗어나게 할 수 있다. 즉 ESD 보호소자가 추가됨으로써 발생하는 임피던스 변화에 의한 NF특성의 악화가 ESD 보호소자에서 발생하는 잡음에 의한 직접적인 NF특성의 악화보다 더 지배적인 역할을 하는 경우가 있다.

### III. ESD 보호회로 설계 사례 분석

본 장에서는 지금까지의 논의된 설계 방법이 실제로 적용된 대표적 사례를 분석한다. 먼저 3.1에서는 TT-SCR(transient triggered silicon controlled rectifier)이 상대적으로 작은 크기에 좋은 내구성을 가짐을 증명함으로써, 'low-C ESD' 설계에 활용될 수 있음을 보일 것이다. 또한 3.2에서는 'ESD isolation' 방법 중 하나인 T-coil을 최적화 하여 구현 한 사례를 살펴본다.

#### 3.1 TT-SCR을 이용한 low-c ESD design 방법

그림 12는 ESD 보호소자로 TT-SCR이 추가 된 광대역 저잡음 증폭기를 보이고 있다. 저잡음 증폭기는 1.5 V, 225 mW의 전력 소모를 가지며, 전류-전류 피드백이 추가된 세 단 캐스캐이드 증폭기로 구성되어 있다<sup>[30]</sup>. 또한 전형적인 듀얼 다이오드 형태의 ESD 보호소자를 가지는 증폭기도 함께 구현함으로써, 두 증폭기의 특성비교를 통해 TT-SCR과 다이오드의 성능을 비교하였다. 그림 12에 나타내지 않았지만,  $V_{DD}$ 와  $V_{SS}$ 간에

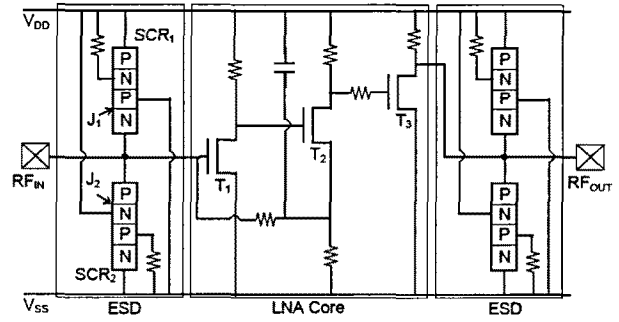
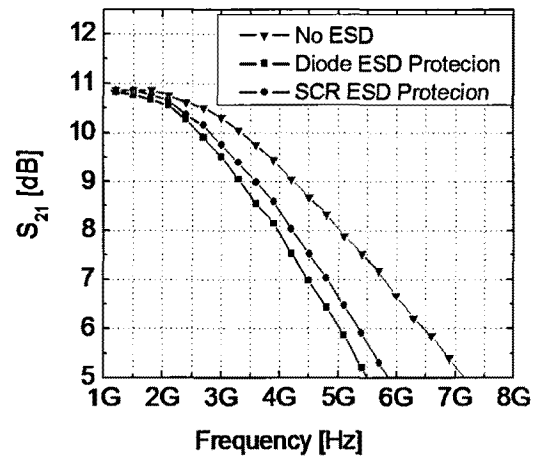
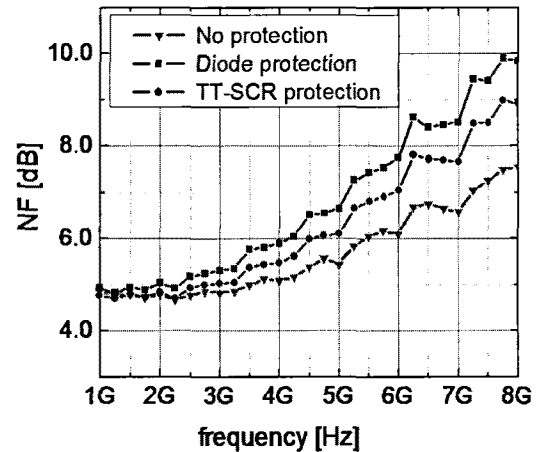


그림 12. ESD 보호소자가 추가된 광대역 저잡음 증폭기  
Fig. 12. An ESD protected broad-band(BB) LNA.



(a)



(b)

그림 13. (a) 광대역 저잡음 증폭기의 측정된 이득(S21)  
(b) 광대역 저잡음 증폭기의 NF특성  
Fig. 13. (a) The measured gain ( $S_{21}$ ) of the BB-LNAs.  
(b) The noise figure (NF) of the BB-LNAs.

도 SCR 형태의 전력 클램프를 사용하여 전력선간의 ESD 전류경로를 형성하였다. TT-SCR과 다이오드는 각각  $650 \mu m^2$ ,  $350 \mu m^2$ 의 면적을 차지한다. 하지만

표 2. ESD 보호소자에 따른 BB-LNA의 RF 특성  
Fig. 2. RF performance of the BB-LNAs with various ESD protection concept.

	No-ES D	Dual diodes	TT-SCRs
Gain(@ 5 GHz)	8.0 dB	5.9 dB (-2.1 dB)	6.6 dB (-1.4 dB)
NF (@ 5 GHz)	5.4 dB	6.6 dB (+1.2 dB)	6.0 dB (+0.6 dB)

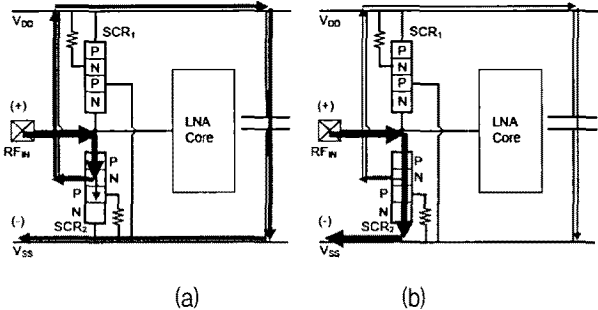


그림 14. RF<sub>IN</sub>(+) VSS(-) 사이에 ESD stress를 받을 때 TT-SCR의 동작 a)TT-SCR이 트리거 되기 전 b)TT-SCR이 트리거 된 후

Fig. 14. The operation of the TT-SCRs under ESD conditions, RF<sub>IN</sub>(+) VSS(-). (a)Before the TT-SCR is triggered, and (b) after the TT-SCR is triggered.

FEOL(Front-End-Of-Line), BEOL(Back-End-of-Line)의 커패시턴스를 모두 포함한 전체 커패시턴스는 TT-SCR(275 fF)이 다이오드(290 fF)에 비해서 약간 더 작은 값을 가진다.

그림 13과 표 2는 두 종류의 ESD 보호소자가 추가 되었을 때 나타나는 RF특성의 변화를 보여준다. ESD 보호회로가 추가 되지 않은 증폭기의 저주파에서의 전압 이득은 10.9 dB이고 5 GHz에서는 8 dB의 전압이득과 5.4 dB의 NF값을 갖는다. 전압 이득은 TT-SCR의 경우에 1.4 dB, 듀얼 다이오드의 경우 2.1 dB의 손실이 발생하며, NF의 경우에는 각각 0.6 dB, 1.2 dB의 증가가 나타난다. 이때 NF의 경우 그림 13에서와 같이 주파수가 증가 할수록 ESD 보호소자의 크기변화에 더 민감해지는데 이의 원인에 대해서는 2.3에서 다룬 바 있다.

그림 14는 TT-SCR이 도통 될 때의 전류 경로를 나타낸다. 그림 14(a)에서 RFin을 통해 유입된 ESD 전류는 먼저 SCR2의 첫 번째 PN 접합(PNP 트랜지스터의 에미터/베이스 접합)을 통해 전력선 간의 대용량 커패시터로 흘러들어간다. 전류가 커패시터로 흐르기 때문에 PNP는 낮은 베이스 포텐셜을 유지하게 되고, 에미

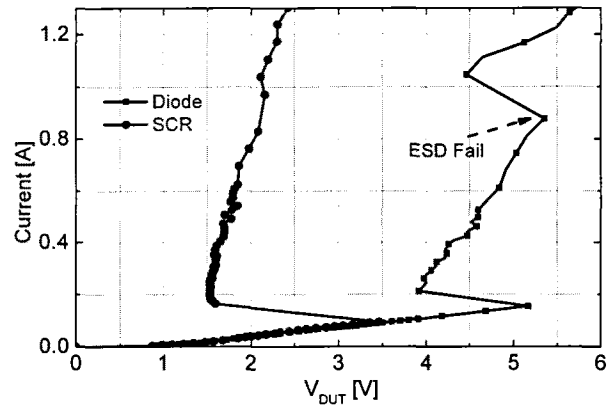


그림 15. TT-SCR과 다이오드를 사용한 BB-LNA의 TLP 실험 결과. RF<sub>IN</sub>(+) VSS(-)  
Fig. 15. TLP test results of the BB-LNAs with the TT-SCRs and the diodes. The test condition is RF<sub>IN</sub>(+) VSS(-).

터에서 콜렉터로 정공의 확산이 일어나기 시작한다. 정공에 의한 전류가 NPN의 베이스 포텐셜을 증가시키게 되고, 결국 그림 14(b)처럼 하단의 NPN 트랜지스터를 통해 VSS로 전류가 빠져나가게 되며, 이때 스넵백 현상이 발생한다.

그림 15에서 TT-SCR과 듀얼 다이오드의 TLP (Transmission line pulsing) 실험 결과를 비교하였다. 앞에서 설명한 바와 같이, TT-SCR의 경우 스넵백 현상이 나타난다. 듀얼 다이오드의 경우 SCR 전류 클램프가 도통되는 순간 첫 번째 스넵백이 발생하며, 약 0.9 A의 전류가 흐를 때 내부 소자의 손상에 의해 두 번째 스넵 백 현상이 발생한다.

위의 결과에서 나타나듯이 TT-SCR (275 fF)을 사용한 경우 듀얼 다이오드 (290 fF)를 사용한 경우에 비해 상대적으로 낮은 트리거링 전압(3.5 V)과 유지 전압(< 2.5 V @1.3 A)특성을 나타낸다. 2 kV의 HBM에 대한 내성을 기준으로 할 때 위의 SCR을 더욱 축소시킬 수 있는 여지가 있으며, 이 때 SCR의 C<sub>ESD</sub>는 약 130 fF로 축소될 수 있다<sup>[12]</sup>.

3.2 T-coil을 이용한 'ESD isolation' 방법

'ESD-RF 병합설계' 방법으로써 LC 탱크를 이용한 inductive peaking방법이 널리 사용되고 있다. 하지만 앞에서 기술한 것처럼 LC 탱크를 사용하게 되는 경우 대역폭의 제한이 생기기 때문에 넓은 대역에서 동작하는 고속 디지털 인터페이스에는 적용될 수 없다.

이에 대한 대안으로 널리 이용되는 것이 T-coil을 이



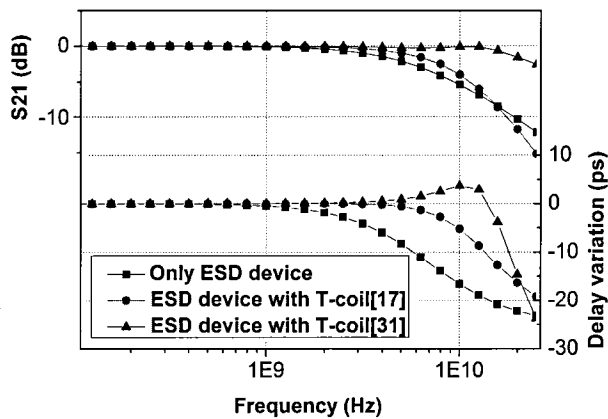


그림 16. T-coil<sup>[17, 31]</sup>의 신호 손실 (S21) 및 딜레이 특성  
Fig. 16. S21 and  $\Delta$ Delay of T-coil<sup>[17, 31]</sup>.

용한 ESD 보호방법이다. 이미 널리 사용되고 있는 그림 10의 T-coil<sup>[17]</sup>은 앞서 언급한 것처럼 입력단의 임피던스 매칭에 주안점을 두고 있기 때문에 고주파에서의 반사특성은 훌륭하지만 실질적인 신호의 전달 측면에 있어서는 문제가 될 수 있다<sup>[31]</sup>. [31]에서는 이를 개선할 수 있도록 ESD 보호소자와 실제 내부 회로의 연결 부분의 위치를 바꾸어 T-coil을 사용하는 방법이 제안되었다. 제안된 형태의 T-coil을 200 fF의 입력 커패시턴스를 가지는 내부회로와 800 fF의 커패시턴스를 가지는 ESD 보호소자를 가정하고 S11을 10 GHz 이하의 주파수 영역에서 -10 dB 이하가 되도록 설계하였을 때의 신호 전달 및 신호의 시간지연 특성은 그림 16과 같다.

그림 16과 같이 기존의 T-coil구조와 비교할 때, 고주파에서의 신호의 손실이 확연히 감소함을 확인할 수 있다. 50Ω의 매칭 저항과 함께 보이는 내부회로의 입력 임피던스로 인하여 임피던스 매칭 특성은 기존의 T-coil에 비하여 다소 악화되나, 수십 GHz 대역에서 반사계수가 여전히 -10 dB 이하로 나타난다.

위에서 언급한 T-coil 설계 과정에서의 또 다른 문제로는 인덕터로 인해 발생하는 신뢰도 문제이다. HBM 2 kV 이상의 ESD stress를 인덕터가 견디기 위해서는 1  $\mu$ m 두께의 알루미늄 배선으로 구현할 때 최소 2  $\mu$ m 이상의 너비를 필요로 한다. 또한 일반 동작 시에도 I/O가 많은 전류를 소모할 경우, electromigration에 의한 손상을 방지하기 위해 이보다 더 넓은 금속배선이 요구되고, 이는 결국 인덕터의 구현에 넓은 면적이 소모됨을 의미한다. 이는 인덕터의 레이아웃의 개선을 통해 개선될 수 있다<sup>[31]</sup>. 예를 들어, 그림 17과 같이 레이아웃 과정에서 평면 인덕터를 여러 금속 층에 겹쳐서

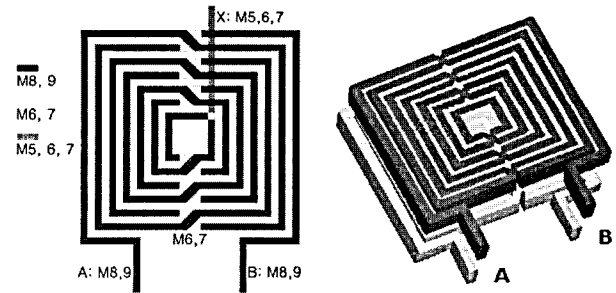


그림 17. 여러 금속 층을 이용한 평면형 인덕터  
Fig. 17. A planar inductor with multiple metal layers.

구현함으로써 인덕터의 두께가 증가하는 효과를 만들어 낼 수 있다. 이는 인덕터의 내구성을 증가시킬 뿐만 아니라 인덕터가 차지하는 면적과 금속배선에 의한 기생 저항 또한 감소시킬 수 있다.

#### IV. 결 론

본 논문에서는 'low-C ESD 설계' 방법이 가지는 제약을 대역폭, 이득 손실, 잡음 특성 등과 관련하여 알아보았다. 상대적으로 낮은 주파수 대역(< 2~3 GHz)에서는 약 0.2 pF으로 2 kV 이상의 HBM 내성을 제공함으로써 현재 산업에서의 요구를 어렵지 않게 충족시킬 수 있다. 하지만 10 GHz 이상의 주파수 대역에서는 0.2 pF 정도의  $C_{ESD}$ 도 고주파 특성에 심각한 영향을 미칠 수 있기 때문에 'low-C ESD 설계'의 한계가 나타난다. 즉 높은 주파수 대역에서는 병합설계 접근방법을 통해서만 RF특성의 손실 없이 ESD 보호소자를 장착할 수 있다. 5 GHz 정도의 중간 주파수 대역에서는 'low-C ESD 설계' 방법과 'ESD-RF 병합설계' 방법의 트레이드오프 관계를 적절히 고려할 필요가 있다. 즉 요구되는 ESD내성, RF특성, RF패시브 소자의 전기적 성질 등의 조건들을 고려하여 그에 따른 ESD 보호전략을 신중히 선택하여야 한다. 실제로 많은 경우에 ESD 보호소자 자체에 대한 추가적인 개선 없이도, I/O 회로의 재배치 및 최적화만으로도 고주파에서 요구되는 ESD내성을 구현할 수 있다<sup>[12]</sup>. 주파수가 증가하면, ESD 보호소자의 커패시턴스 헤드룸은 줄어들지만 온 칩 인덕터, high-Q MIM(metal-insulator-metal) 커패시터와 같은 패시브 소자의 크기 또한 감소하기 때문에 이를 적절히 이용할 수 있는 병합설계 방법의 장점이 더욱 부각된다. 또한 고속 디지털 응용분야의 경우에는 T-coil과 같은 수동소자의 활용을 통해 추가적인 전력소모 및 ESD

보호소자의 개선 없이도 효과적으로 ESD 내성을 향상시킬 수 있다.

### 참 고 문 헌

- [1] C. Duvvury, "ESD qualification changes for 45nm and beyond" Proc. IEDM, 2008, pp. 1~4.
- [2] J. Li, K. Chatty, R. Gauthier, R. Mishra, and C. Russ, "Technology Scaling of Advanced Bulk CMOS On-Chip ESD Protection down to the 32nm Node" Proc. EOS/ESD Symp., 2009, pp. 1~7.
- [3] S. Cao, T. W. Chen, S. G. Beebe, R and W. Dutton, "ESD Design Challenges and Strategies in Deeply-scaled Integrated Circuits" Proc. IEEE CICC, 2009, pp. 681~688.
- [4] K. Bhatia and E. Rosenbaum, "Layout guidelines for optimized ESD protection diodes" Proc. EOS/ESD Symp., 2007, pp. 19~27.
- [5] O. Marichal, G. Wybo, B. Van Camp, P. Vanysacke and B. Keppens, "SCR based ESD protection in nanometer SOI technologies" Proc. EOS/ESD Symp., 2005, pp. 1~8.
- [6] Y. Morishita and M. Okushima, "A low-leakage SCR design using trigger-PMOS modulations for ESD protection" Proc. EOS/ESD Symp., 2007, pp. 376~384.
- [7] A. A.Salman, S. G. Beebe and M. M. Pelella, "Double well field effect diode: Lateral SCR-like device for ESD protection of I/Os in deep sub micron SOI" Proc. EOS/ESD Symp., 2007, pp. 186~191.
- [8] S. Galal and B. Razavi, "Broadband ESD protection circuits in CMOS technology," IEEE J. Solid-State Circuits, Vol. 38, No. 12, pp. 2334~2340, Dec. 2003.
- [9] W. Soldner, M. J. Kim, M. Streibl, H. Gossner, T. H. Lee and D. Schmitt-Landsiedel, "A 10GHz Broadband Amplifier with Bootstrapped 2kV ESD Protection" in Tech. Dig. ISSCC, pp. 550~551, 2007.
- [10] T. H. Lee, The design of CMOS radio-frequency integrated circuits: 2nd edition, cambridge, 2004.
- [11] C. Ito, K. Banerjee and R. Dutton, "Analysis and design of distributed ESD protection circuits for high-speed mixed-signal and RF ICs," IEEE Trans. Electron Devices, vol. 49, no. 8, pp. 1444~1454, Aug. 2002.
- [12] W. Soldner, M. Streibl, U. Hodel, M. Tiebout, H. Gossner, D. Schmitt-Landsiedel, J. Chun, C. Ito and R. W. Dutton, "RF ESD Protection Strategies: Codesign vs. Low-C Protection," Proc. EOS/ESD Symposium, Sept. 2005.
- [13] S. Hyvonen, S. Joshi, and E. Rosenbaum, "Cancellation technique to provide ESD protection for multi-GHz RF inputs," Electronics Lett., vol. 39, no. 3, pp. 284~286, 2003.
- [14] S. Hyvonen, S. Joshi, and E. Rosenbaum, "Comprehensive ESD protection for RF inputs," Proc. EOS/ESD Symposium, pp. 188~194, Sept. 2003.
- [15] B. Kleveland, T. J. Maloney, I. Morgan, L. Madden, T. H. Lee, and S. S. Wong, "Distributed ESD protection for high-speed integrated circuits," IEEE Electron Device Lett., vol. 21, pp. 390~392, Aug. 2000.
- [16] I. Opris, "Bootstrapped pad protection structures," IEEE J. Solid-State Circuits, Vol. 33, No. 2, pp. 300~301, Feb. 1998.
- [17] S. Galal and B. Razavi, "40-Gb/s amplifier and ESD protection circuit in 0.18-um CMOS technology," IEEE J. Solid-State Circuits, vol. 39, no. 12, pp. 2389~2396, Dec. 2004.
- [18] D. Linten, S. Thijs, J. Borremans, M. Dehan, D. Tremouilles, M. Scholz, M. I. Natarajan, P. Wambacq and G. Groeseneken, "T-diodes-a novel plug-and-play wideband RF circuit ESD protection methodology," Proc. EOS/ESD Symposium, pp. 242~249, Sept. 2007.
- [19] D. Leenaerts and R. Velghe, "Bond pad and ESD protection structure for 0.25 um/ 0.18 um RF-CMOS," Proc. ESSCIRC, pp. 569~572, Sept., 2003.
- [20] B. Razavi, RF Microelectronics: Prentice Hall, A Simon & Schuster, 1998.
- [21] K. Gong, H. Feng, R. Zhan and A. Wang, "A study of parasitic effects of ESD protection on RF ICs," IEEE Trans. Microwave Theory And Techniques, vol. 50, no. 1, pp. 393~402, Jan. 2002.
- [22] A. Wang, H. G. Feng, R. Y. Zhan, G. Chen, and Q. Wu, "ESD protection design for RF integrated circuits: new challenges," Proc. IEEE Custom Integrated Circuits Conference (CICC), pp. 411~418, 2002.
- [23] G. Gramegna, M. Paparo, P. G. Erratico, and P. D. Vita, "A sub-1-dB NF 2.3-kV ESD-protected 900-MHz CMOS LNA," IEEE J. Solid-State Circuits, vol. 36, no. 7, pp. 1010~1017, July, 2001.

[24] D. Linten, S. Thijs, M. I. Natarajan, P. Wambacq, W. Jeamsaksiri, J. Ramos, A. Mercha, S. Jenei, S. Donnay, and S. Decoutere, "A 5-GHz fully integrated ESD-protected low-noise-amplifier in 90-nm RF CMOS," IEEE J. Solid-State Circuits, vol. 40, no. 7, pp. 1434~1442, 2005.

[25] A. Wang, H. Feng, R. Zhan, H. Xie, G. Chen, Q. Wu, X. Guan, Z. Wang and C. Zhang, "A review on RF ESD protection design," IEEE Trans. Electron Devices, vol. 52, no. 7, pp. 1304~1311, July 2005.

[26] V. Chandrasekhar and K. Mayaram, "Analysis of CMOS RF LNAs with ESD protection," Proc. Int. Sym. Circuits and Systems (ISCAS), pp. 799~802, May, 2002.

[27] P. Leroux and M. Steyaert, "High-performance 5.2 GHz with on-chip inductor to provide ESD protection," Electron. Lett., vol. 37, no. 7, pp. 467~469, 2001.

[28] S. Joshi and E. Rosenbaum, "ESD protection for broadband ICs (DC-20 GHz and beyond)," Electronics Lett. Vol.39, no. 12, June, 2003.

[29] G. Gonzalez, Microwave transistor amplifiers: analysis and design, 2nd edition, Prentice Hall, NJ, 1997.

[30] M. Tiebout, "LNA design for a fully integrated CMOS single chip UMTS Transceiver," Proc. ESSCIRC, pp. 835, 2002.

[31] S. Kim, S. Kim, G. Jung, K.-W. Kwon, and J. Chun, "Design of a reliable broadband I/O employing T-coil," Journal of Semiconductor Technology and Science, vol.9 no. 4, pp. 198~204, Dec. 2009

[32] J. Chun, "ESD protection circuits for advanced CMOS technologies", Ph.D Dissertation, Stanford University, 2006.

저 자 소 개



김 석(학생회원)  
 2009년 성균관대학교  
 반도체시스템공학전공  
 학사 졸업  
 2010년 현재 성균관대학교 정보통신공학부 석사과정

<주관심분야 : High-speed serial link, 아날로그/디지털 Mixed mode 설계, ESD 및 신뢰성 연구>



권 기 원(정회원)  
 2001년 Stanford U. 재료공학과  
 박사 졸업.  
 2001년~2006년 삼성전자 DRAM  
 개발실 수석연구원  
 2007년~현재 성균관대학교  
 정보통신공학부 조교수

<주관심분야 : 메모리IP, 아날로그/디지털 Mixed mode 설계>



전 정 훈(정회원)  
 2006년 Stanford Univ.  
 전기공학과 박사 졸업.  
 2006년~2008년 Rambus Inc.  
 2008년~현재 성균관대학교  
 정보통신공학부 조교수

<주관심분야 : High-speed serial link, Mixed-signal 설계, ESD 및 신뢰성 연구>