

논문 2010-47SD-8-8

저전력 모바일 응용을 위한 12비트 100MS/s 1V 24mW 0.13um CMOS A/D 변환기

(A 12b 100MS/s 1V 24mW 0.13um CMOS ADC
for Low-Power Mobile Applications)

박 승 재*, 구 병 우*, 이 승 훈**

(Seung-Jae Park, Byeong-Woo Koo, and Seung-Hoon Lee)

요 약

본 논문에서는 DVB-H, DVB-T, SDMB 및 TDMB 응용과 같이 고해상도, 저전력 및 소면적을 동시에 요구하는 모바일 영상 시스템 응용을 위한 12비트 100MS/s 0.13um CMOS ADC를 제안한다. 제안하는 ADC는 3단 파이프라인 구조를 사용하여 고해상도 및 높은 신호처리속도와 함께 전력 소모 및 면적을 최소화하였다. 첫 번째 및 두 번째 MDAC 사이에 적용된 증폭기 공유기법은 기존의 증폭기 공유 시 입력 단을 리셋하지 않아 발생하였던 메모리 효과를 제거하기 위해 두개의 입력 단을 사용하였으며, 위상 일부가 중첩된 클록을 사용하여 스위칭 동안 발생하는 글리치를 최소화하여 출력 신호의 정착 시간 지연 문제를 줄였다. 마지막 단으로 사용되는 6비트 FLASH ADC에는 효과적인 2단 기준 전압 선택 기법을 적용하여 소비되는 전력 소모 및 면적을 줄였다. 제안하는 ADC는 0.13um 1P7M CMOS 공정으로 제작되었으며, 면적은 0.92 mm²이고, 측정된 DNL 및 INL은 각각 0.40LSB, 1.79LSB의 최대값을 갖으며, 동적성능은 100MS/s의 동작속도에서 각각 최대 60.0dB의 SNDR과 72.4dB의 SFDR을 보여준다. 전력 소모는 1.0V 전원 전압 및 100MS/s 동작속도에서 24mW이며, FOM은 0.29pJ/conv.으로 최근까지 발표된 12비트 100MS/s급 ADC 중에서 가장 우수한 성능을 보여준다.

Abstract

This work proposes a 12b 100MS/s 0.13um CMOS pipeline ADC for battery-powered mobile video applications such as DVB-Handheld (DVB-H), DVB-Terrestrial (DVB-T), Satellite DMB (SDMB), and Terrestrial DMB (TDMB) requiring high resolution, low power, and small size at high speed. The proposed ADC employs a three-step pipeline architecture to optimize power consumption and chip area at the target resolution and sampling rate. A single shared and switched op-amp for two MDACs removes a memory effect and a switching time delay, resulting in a fast signal settling. A two-step reference selection scheme for the last-stage 6b FLASH ADC reduces power consumption and chip area by 50%. The prototype ADC in a 0.13um 1P7M CMOS technology demonstrates a measured DNL and INL within 0.40LSB and 1.79LSB, respectively. The ADC shows a maximum SNDR of 60.0dB and a maximum SFDR of 72.4dB at 100MS/s, respectively. The ADC with an active die area of 0.92mm² consumes 24mW at 1.0V and 100MS/s. The FOM, $\text{power}/(f_s \times 2^{\text{ENOB}})$, of 0.29pJ/conv. is the lowest of ever reported 12b 100MS/s ADCs.

Keywords : 저전력, 증폭기 공유기법, 2단 기준전압 선택 기법, 파이프라인 ADC

* 정회원, ** 평생회원, 서강대학교 전자공학과
(Dept. of Electronic Engineering,
Sogang University)

※ 이 논문은 반도체설계교육센터 (IDEC)의 MPW 제작과 함께 2010년도 정부 (교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임 (No. 2010-0007618).

접수일자: 2010년5월27일, 수정완료일: 2010년6월28일

I. 서 론

최근 Liquid Crystal Display (LCD), Plasma Display Panel (PDP), Organic Light Emitting Diode (OLED) 등 디스플레이 기술의 발달로 인하여 고화질과 높은 선

명도를 지닌 High Definition Television (HDTV)와 같은 고성능 영상시스템이 발전하고 있다. 이를 바탕으로 고정된 장소에서 제공되는 편의에서 한 발 더 나아가 “언제 어디서나” 보고 듣고 즐길 수 있는 Digital Video Broadcasting (DVB), Digital Multimedia Broadcasting (DMB) 등과 같은 고품질 영상과 고속 동작을 수행할 수 있는 무선 휴대용 System-on-a-Chip (SoC) 응용제품시장이 빠르게 증가하고 있는 추세이다. 고품질 영상을 포함한 각종 멀티미디어 데이터는 3G 이동통신시스템의 개발과 함께 2Mbps 이상의 전송속도로 무선 휴대용 응용제품에 전달되고 변환되어 최종 소비자들의 요구를 만족시킨다. 이때, 그림 1과 같은 디스플레이 각 화소의 콤포넌트 RGB 및 YPrPb 신호들을 디지털 YCrCb나 RGB 픽셀 출력 stream으로 처리하기 위한 A/D 변환기 (ADC)는 시스템 인터페이스에 필수적인 핵심 아날로그 부품이며, 특히 200만 화소를 지원하는 비월주사 방식의 HD1080i의 경우에는 12비트 수준의 높은 해상도 및 75MS/s 이상의 높은 샘플링 속도에서 동작하는 ADC를 필요로 한다.

일반적으로 12비트 이상의 고해상도와 100MS/s 수준의 고속 동작 신호처리 조건을 만족하는 ADC에는 파이프라인 구조가 많이 사용되고 있으며, 최근에 학회 및 저널을 통해 발표된 모바일 응용을 위한 전력 소모 및 면적을 최적화하기 위해 주로 적용된 회로 설계기법은 다음과 같이 요약된다. 파이프라인 ADC 전체 전력 소모의 대부분을 차지하는 증폭기에서 소모되는 전력을 줄이기 위하여 파이프라인의 구조적 특성인 전체 주기의 반주기만을 신호의 증폭을 위해 사용되는 점을 이용하여, 증폭기가 사용되지 않는 나머지 반주기 동안 증폭기를 스위치로 끄거나, 인접한 단의 신호처리를 위해

사용되는 증폭기를 공유하는 방법에 대한 연구가 활발히 이루어지고 있다^[1-4]. 전력 소모를 줄이는 측면에서 증폭기를 스위치로 끄는 방법과 증폭기를 공유하는 방법은 파이프라인 ADC의 구조적 특성을 바탕으로 구현 가능한 회로설계기법이다. 그러나 증폭기를 스위치로 끄는 방법의 경우, 증폭기를 끄고 켜는 동안 안정적으로 동작하기 위한 최소 요구 시간이 존재하기 때문에, 신호의 정착시간이 길어지게 된다는 단점이 있다^{[1]-[2]}. 한편, 증폭기를 공유하는 방법의 경우, 증폭기가 전체 주기 동안 반복적으로 사용되어야 하기 때문에 별도의 리셋 주기가 없다. 이는 증폭기의 입력 단 기생 커패시턴스 및 증폭기의 유한한 DC 전압이득으로 인한 메모리 효과 문제가 발생하여 ADC의 해상도가 제한되는 것을 의미한다. 또한, 입력 단의 추가적인 스위치의 온-저항에 의해 출력 신호의 정착시간이 지연되고 정착수준에 오차가 생기며, 스위치의 온-오프 동작으로 인한 클록 피드스루 등의 영향으로 신호의 왜곡이 발생할 수 있다^[3-4].

본 논문에서 제안하는 ADC는 전력 소모 및 면적 최소화 관점에서 증폭기 공유기법을 적용하는 동시에, 증폭기 공유기법으로 인한 메모리 효과 및 직렬저항 문제의 효율적인 해결을 위해 두개의 입력 단을 갖는 증폭기를 부분적으로 끄는 방법을 적용하여 12비트 이상 수준의 해상도에서 100MS/s 샘플링 속도로 동작하도록 설계하였다. 이에 따라 제안하는 전체 ADC는 증폭기의 개수를 최소한으로 사용하여 전체 전력 소모를 줄이는 동시에, 12비트 수준의 해상도를 구현할 수 있도록 하였다. 한편 고해상도 ADC의 구현을 위해 사용된 마지막 단 6비트 FLASH ADC는 Most Significant Bit (MSB) 를 먼저 결정한 뒤, 하위 5비트를 결정하는 2단 기준전압 선택 기법을 적용하여 통상적인 6비트 FLASH ADC 대비 비교기의 개수를 절반 수준으로 줄임으로써 전력 소모 및 면적을 기존 6비트 FLASH ADC 대비 50% 수준으로 줄였으며, 파이프라인의 첫 번째와 두 번째 단 FLASH ADC에서는 저항 열을 공유하여 전력 소모 및 면적을 추가적으로 줄였다. 제안하는 ADC의 전체 구조 및 각 블록별 기능을 II 장에서 간략히 설명하며, III 장에서 제안하는 전력 소모 및 면적 최소화 회로 설계 기법을 요약한다. IV 장에서는 시제품 ADC의 측정 결과 및 성능에 대하여 요약하고, V 장에서 결론을 맺는다.

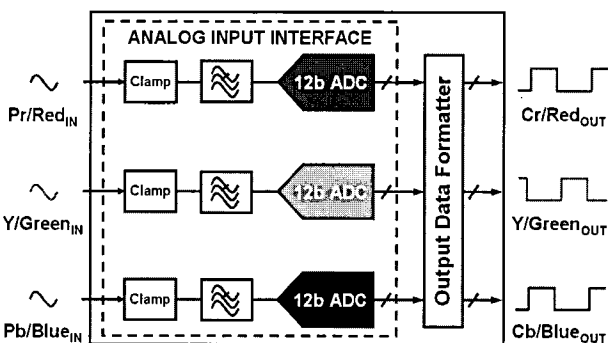


그림 1. 디지털 모바일 영상시스템 입력 단 인터페이스
Fig. 1. Front-end interface for digital mobile video system.

II. 제안하는 ADC의 전체 구조

본 논문에서 제안하는 12비트 100MS/s ADC는 첫 번째 및 두 번째 단에서 각각 4비트씩을 결정하고 마지막 단에서 6비트를 결정하는 3단 파이프라인 구조를 가지며, ADC의 전체 구조는 그림 2와 같다. 입력 단 sample-and-hold amplifier (SHA)에는 입력 신호에 따른 샘플링 스위치의 온-저항 변화에 의한 신호의 왜곡을 최소화하기 위해 gate-bootstrapping 회로를 사용하였다. 하나의 증폭기가 사용되는 2개의 4비트 multiplying D/A 변환기 (MDAC)에는 설계 시 요구되는 DC 전압이득, f_{-3dB} , 위상여유 등을 고려하여 최적화된 스위치 기반의 증폭기 공유기법을 적용한다. 특히 MDAC1 및 MDAC2에 위상 일부가 중첩된 클록을 사용하는 스위치 기반의 증폭기 공유기법은 기존의 스위치 기반의 증폭기 공유기법에 의해 문제가 되는 신호의 최종 정착시간 지연문제를 효과적으로 줄일 수 있다^[5]. 추가적으로 파이프라인 각 단은 kT/C 잡음 및 전력 소모를 고려한 커패시터 스케일링 기법을 적용하며, SHA, MDAC1 및 MDAC2에 사용된 증폭기는 낮은 임피던스 기반의 캐스코드 주파수 보상기법을 적용하여 증폭기 자체의 전력 소모를 줄일 수 있도록 한다^[6].

제안하는 4-4-6 구조의 ADC에서 2개의 4비트 FLASH ADC에는 저항열 공유기법 및 인터플레이션 기법을 적용하며, 마지막 단의 6비트 FLASH ADC에는 인터플레이션 기법을 적용하는 동시에 2단 기준전압 선택 기법을 적용하여 비트 수에 따라 전력 소모 및 면적이 지수적으로 증가하는 FLASH ADC의 구조적 단점을 개선하여 비교기의 개수를 절반 수준으로 줄임으로서 전력 소모 및 면적을 통상적인 6비트 FLASH ADC 대비 50% 수준으로 줄였다. 또한, 온-칩 기준 전류 및

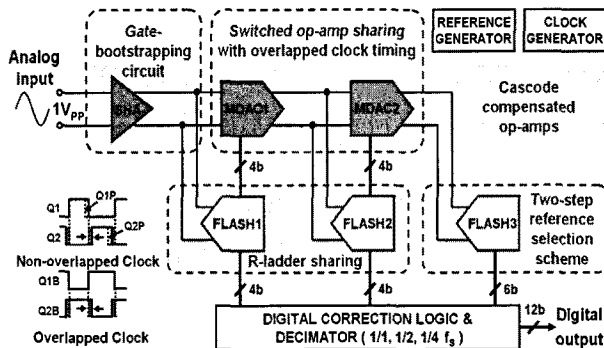


그림 2. 제안하는 12비트 100MS/s 0.13um CMOS ADC
Fig. 2. Proposed 12b 100MS/s 0.13um CMOS ADC.

전압 발생기, 분주기를 포함한 디지털 교정 회로 및 클럭 발생기 등을 집적하여 SoC 시스템에 사용 가능하도록 한다. 이때, 각 블록을 구성하는 스위치드-커패시터 회로의 동작을 위해 클럭 발생기는 하나의 외부 클럭으로부터 두개의 중첩되지 않는 클럭 Q1, Q2를 생성하며, 또한 본 논문에서 제안하는 MDAC1 및 MDAC2의 스위치 기반의 증폭기 공유기법에 사용되는 두개의 위상 일부가 중첩되는 클럭 Q1B, Q2B를 생성한다.

III. 제안하는 ADC의 주요 회로 설계 기법

1. 메모리 효과를 제거하는 스위치 기반의 증폭기 공유기법

일반적으로 증폭기 공유기법은 클록을 기반으로 하는 스위치드-커패시터 구조에 적용 가능한 기법으로 전체 주기의 반주기 동안만 증폭기가 사용되는 점을 바탕으로 증폭기 구조에 따라 다양하게 응용 가능하다^{[7]-[8]}. 본 논문에서 사용된 증폭기는 1.0V의 낮은 전압에서 12비트 해상도에 따라 요구되는 DC 전압이득, 100MS/s의 동작 속도에서의 f_{-3dB} 및 1.0Vpp 출력 스윙 조건을 만족해야 하기 때문에 2단 증폭기 구조를 사용한다. 또한 증폭기 공유기법으로 인해 발생하는 메모리 효과를 효과적으로 제거하면서 증폭기 자체의 전력 소모를 최대한 줄이기 위해 제안하는 ADC에서는 그림 3과 같이 MDAC1 및 MDAC2의 2단 증폭기를 모두 공유하면서 두개의 입력 단을 갖는 구조를 적용하였다. 설명의 편의상 실제 회로로 구현된 차동 신호경로가 아닌 단일 신호경로로 나타내었다.

전체 동작을 통해 메모리 효과가 제거되는 방법을 살펴보면 다음과 같다. 우선 Q1 신호 동안 MDAC1은 입력 신호를 샘플링하여 8개의 C_{S1} 커패시터에 저장하며, MDAC2는 출력 잔류 전압을 증폭하여 생성한다. 다음 Q2 신호 동안, MDAC1은 출력 잔류 전압을 증폭하며,

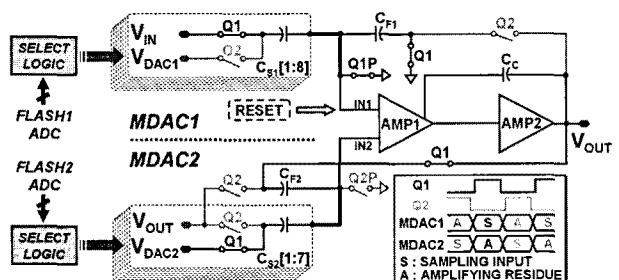


그림 3. 스위치 기반의 증폭기 공유기법을 적용한 MDAC
Fig. 3. Switched op-amp sharing technique in MDAC.

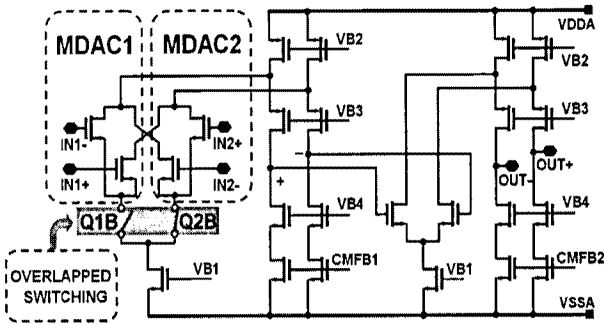


그림 4. 제안하는 위상 일부가 중첩된 클록을 적용한 2 단 증폭기

Fig. 4. Proposed two-stage op-amps based on overlapped switching clock scheme.

MDAC2는 MDAC1의 출력 잔류 전압을 샘플링하여 8개의 C_{S2} 및 C_{F2} 에 저장한다. 이때, Q1 및 Q2 신호 동안 MDAC1 및 MDAC2 각 입력 단 노드는 리셋되며, 이와 같은 구조는 2단 증폭기의 입력 단 트랜지스터를 그림 4와 같은 입력 단 하단에 스위치가 연결된 증폭기 회로로 구성하여 기존의 증폭기 공유기법에서 발생하는 메모리 효과 문제를 해결하였다. 이에 따라 증폭기 입력 단에 추가적으로 사용된 직렬 스위치가 없으므로 스위치 저항 및 스위치에 인가되는 클록에 의해 문제가 되는 피드스루 현상을 효과적으로 제거한다.

추가적으로 두개의 입력 단을 가진 2단 증폭기 구조의 전력 소모를 최소화하면서 동작성능을 최적화하기 위해, 다음과 같은 방법을 적용한다. 우선 클록 발생기를 통해 생성된 중첩되지 않은 Q1, Q2 클록은 그림 5(a)와 같으며, 제안하는 증폭기 구조에 사용되는 Q1B, Q2B 클록은 그림 5(b)와 같다. MDAC1의 NMOS 입력 트랜지스터를 선택하기 위한 Q1B 클록 및 MDAC2의 NMOS 입력 트랜지스터를 선택하기 위한 Q2B 클록은 Q1B, Q2B 클록의 위상 일부가 중첩되는 시간 동안 동시에 증폭기가 켜지는 시간이 생기게 된다. 만약 MDAC1 및 MDAC2의 NMOS 입력 트랜지스터를 선택하기 위해 사용되는 스위치에 각각 Q2, Q1 클록을 사용하면 중첩되지 않는 시간 동안 순간적으로 모든 입력 트랜지스터에 흐르는 전류가 차단되면서 NMOS 입력 트랜지스터가 전부 꺼지게 된다. 이때, MDAC1 및 MDAC2의 증폭모드 시 각각 Q2, Q1 클록을 인가하는 동안 NMOS 입력 트랜지스터를 다시 켜기 위한 시간이 필요하며, 이는 증폭된 신호의 최종 정착시간을 지연시키는 문제가 발생하게 된다. 따라서 제안하는 MDAC1 및 MDAC2의 증폭기는 Q1B, Q2B 클록을 사용하여, 위

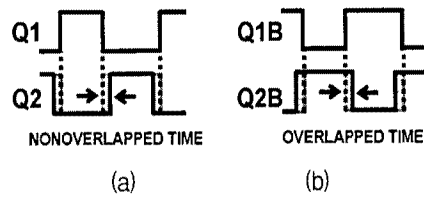


그림 5. 클록 발생기를 통해 생성된 클록 : (a) Q1, Q2 클록 및 (b) Q1B, Q2B 클록

Fig. 5. Non-overlapped and overlapped clocks : (a) Q1, Q2 and (b) Q1B, Q2B.

상 일부가 중첩되는 시간 동안 NMOS 입력 트랜지스터를 미리 켜게 되어, 증폭된 신호의 최종 정착시간을 지연시키는 문제를 해결하였다.

2. 면적 효율성을 갖는 2단 기준전압 선택 기법

아날로그 입력 신호와 기준 전압의 비교 동작을 수행하여 아날로그 신호를 디지털 코드로 변환하는 FLASH ADC는 빠른 변환 속도와 간단한 구조적 특징을 기반으로 알고리즘 및 파이프라인 등 다양한 구조에 반드시 필요한 주요 블록으로 사용되고 있다. 특히 파이프라인 ADC에 사용되는 통상적인 FLASH ADC는 각 단의 비트 수에 따라 사용되는 비교기의 수가 지수적으로 증가함에도 불구하고, 잔류 전압을 생성하는 MDAC의 동작을 위해 반드시 필요하다. 이때, 파이프라인 ADC의 주요 블록으로 사용되는 스위치드-커패시터 방식의 FLASH ADC는 입력 신호와 기준 전압을 비교하여 온도계 코드를 생성하기 위한 시간이 필요하다. 또한, MDAC에서 입력 신호와 FLASH ADC로부터 생성된 온도계 코드에 해당하는 전압의 차이를 증폭하는 주기에서, 정상적인 신호 처리를 위해 FLASH ADC는 반드시 정해진 클록 주기 안에 신호의 변환 과정이 이루어

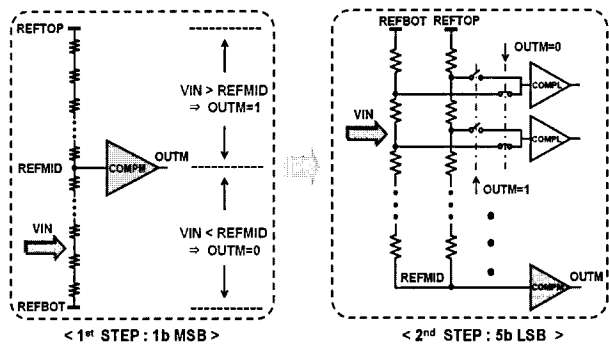


그림 6. 제안하는 2단 기준전압 선택 기법이 적용된 6 비트 FLASH ADC

Fig. 6. Proposed two-step reference selection scheme in 6b FLASH ADC.

져야 한다. 제안하는 2단 기준전압 선택 기법이 적용된 6비트 FLASH ADC는 그림 6와 같이 MSB를 우선적으로 처리한 뒤, MSB의 결과에 따라 하위 5비트를 처리한다.

제안하는 6비트 FLASH ADC의 비교기의 개수는 통상적인 6비트 FLASH ADC에 사용되는 비교기의 개수의 절반 수준으로 감소하기 때문에 전체 ADC의 전력 소모 및 면적을 크게 줄일 수 있다. 한편, 기존의 2단 기준전압 선택 기법이 적용된 FLASH ADC의 경우, 전체 동작을 위해 사용되는 클럭보다 짧은 주기의 클럭이 필요하게 되며, 요구되는 동작 속도 및 해상도에서 비교기의 전력 소모가 추가적으로 발생하게 된다^[9]. 제안하는 6비트 FLASH ADC는 전체 파이프라인 ADC의 마지막 단계에 사용되는 특징을 통해 그림 7과 같이 입력 신호와 기준전압을 비교하는 클럭 주기에서 2단 동작을 위한 클럭 주기만을 추가적으로 적용한다. 이에 따라 MSB 및 하위 5비트를 결정하는 각각의 동작에서 입력신호와 기준전압 신호의 샘플링 시 사용되는 타이밍만을 부분적으로 변경하여 비교기의 추가적인 클럭 없이 구현하였다.

전체 동작은 다음과 같다. 먼저, Q1 신호 동안 MSB를 결정하기 위해 사용되는 비교기(COMPM)는 전체 기준 전압의 가운데 값에 해당하는 기준 전압(REFMID)을 샘플링 한다. 그 다음 Q2 동안 COMPM는 REFMID와 입력 신호를 비교하여 디지털 출력 코드(OUTM)를 생성하며, 동시에 하위 5비트를 결정하는 비교기(COMPL)는 입력 신호를 샘플링 한다. 다음 Q1 주기에는 MSB를 결정하는 COMPM의 OUTM에 의해

		Q2	Q1	Q2	Q1
FLASH3 ADC	- Capacitor	SR	SI		
	- Preamp		A		
	- Latch		PC	L	

		Q2	Q1	Q2	Q1
FLASH3 ADC (1 st STEP)	- Capacitor	SR	SI		
	- Preamp		A		
	- Latch		PC	L	
FLASH3 ADC (2 nd STEP)	- Capacitor		SI	SR	
	- Preamp			A	
	- Latch			PC	L

SI: Sampling Input SR: Sampling Reference
PC: Pre-Charging L: Latching A: Amplifying

그림 7. 기존 및 제안하는 FLASH ADC 타이밍도
Fig. 7. Timing comparison between conventional and proposed FLASH ADC.

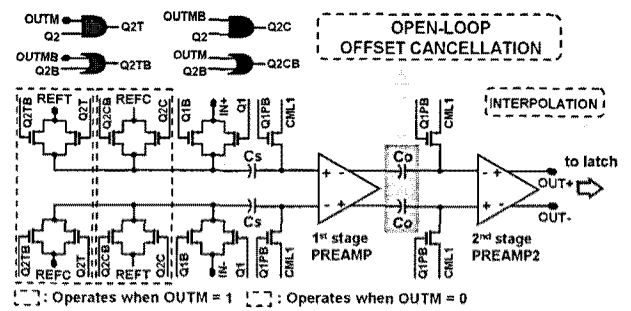


그림 8. 기준 전압 선택을 위한 스위치를 포함하는 6비트 FLASH ADC 프리앰프 구조
Fig. 8. Pre-amps of the proposed 6b FLASH ADC with the referece selection switches.

기준 전압이 선택적으로 하위 5비트를 결정하는 COMPL에 인가되어 입력 신호와 비교하여 나머지 디지털 출력 코드를 생성하게 된다.

한편, 제안하는 6비트 FLASH ADC를 구현하기 위해 하위 5비트를 결정하는 COMPL의 입력 단 샘플링 커패시터, 기준 전압 선택을 위한 스위치 및 프리앰프 구조는 그림 8과 같다. 우선 저항 열을 통해 생성된 기준 전압을 선택하기 위해 사용되는 스위치는 이전의 MSB를 결정하기 위해 사용된 OUTM의 신호 및 클럭 신호의 간단한 디지털 로직 회로를 통해 선택적으로 스위칭 동작을 하게 된다. 또한, 6비트의 높은 해상도를 구현하기 위해 FLASH ADC에는 2단 프리앰프를 사용하여 입력 오프셋을 오픈 루프 샘플링 하는 구조를 사용한다. 추가적으로 비교기는 인터폴레이션 기법을 적용하여, 전력 소모 및 면적을 줄였다.

IV. 시제품 ADC의 측정 및 성능 요약

제안하는 12비트 100MS/s ADC는 0.13um 1P7M CMOS 공정을 사용하여 제작되었다. 시제품 ADC의 전체 칩 사진은 그림 9와 같고, 점선으로 표시된 유휴 공간에는 각 회로 블록간의 간섭, EMI 문제, 전원 전압의 잡음 및 고속 동작에서의 잡음을 줄이기 위해 260pF 수준의 온-칩 NMOS 및 PMOS 커패시터를 집적하였다.

시제품 ADC의 면적은 0.92mm²이며, 100MS/s의 동작속도에서 소모되는 전력은 24mW이다. 시제품 ADC의 측정된 differential non-linearity (DNL) 및 integral non-linearity (INL)는 그림 10과 같이 각각 최대 0.40LSB, 1.79LSB 수준을 보인다.

그림 11은 1V의 전원전압, 4MHz 입력주파수 및 100MS/s 샘플링 속도에서 측정된 신호 스펙트럼을 나타

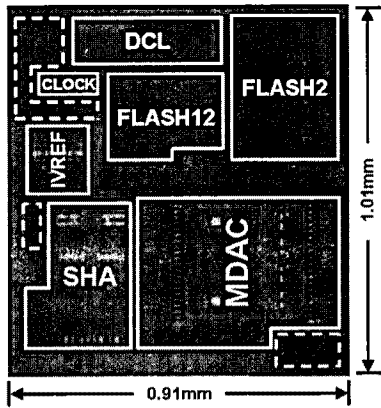


그림 9. 제안하는 CMOS ADC 칩 사진 (0.92mm²)
 Fig. 9. Proposed CMOS ADC die photograph (0.92mm²).

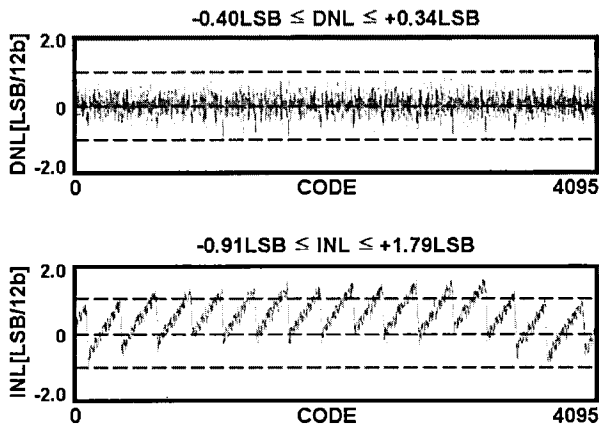


그림 10. 시제품 ADC의 측정된 DNL 및 INL
 Fig. 10. Measured DNL and INL of the prototype ADC.

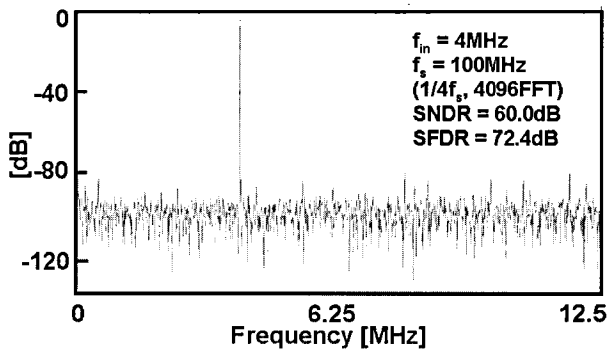
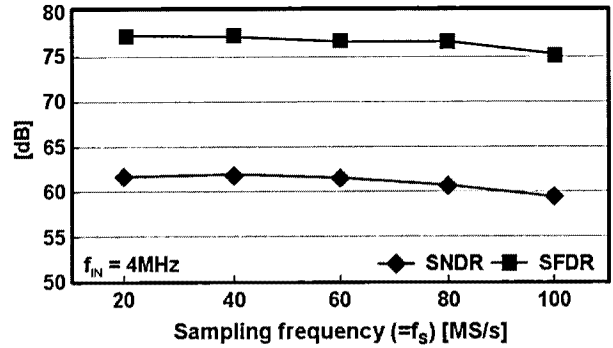
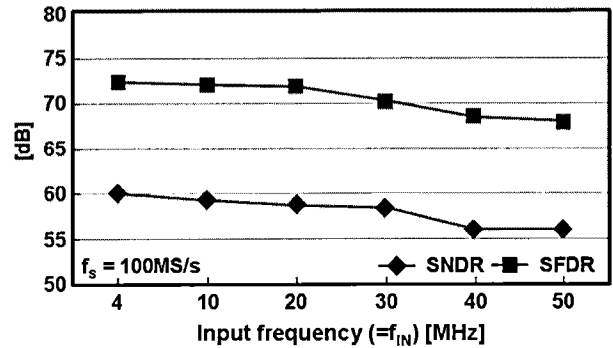


그림 11. 시제품 ADC의 측정된 FFT 스펙트럼 (1/4f_s 다운 샘플)
 Fig. 11. Measured FFT spectrum of the proposed ADC (1/4f_s down sampled).

낸다. 디지털 출력은 ADC 내부의 온-칩 분주기를 통해 100MHz의 클럭을 1/4로 다운 샘플링하여 최종 출력을 내보냄으로써 측정 시 고속 동작으로 인해 측정 기관에서 발생하는 잡음의 영향을 최소화하였다.



(a)



(b)

그림 12. 시제품 ADC의 측정된 동적 성능 : 측정된 SFDR과 SNDR 대비 (a)샘플링 및 (b) 입력 주파수

Fig. 12. Dynamic performance of the ADC : Measured SFDR and SNDR versus (a) f_s and (b) f_{IN}.

그림 12는 제안하는 시제품 ADC의 측정된 동적 성능을 보여준다. 그림 12(a)는 ADC의 동작속도가 100MS/s 까지 변화할 때, 4MHz의 주파수를 갖는 차동입력 신호를 인가함에 따라 측정된 signal-to-noise-and-distortion ratio (SNDR) 및 spurious-free dynamic range (SFDR)의 성능 변화를 나타낸다. 시제품 ADC의 SNDR 및 SFDR은 100MS/s의 동작 속도에서 각각 60.0dB 및 72.4dB 수준을 보여준다. 또한 그림 12(b)는 100MS/s의 동작 속도에서 입력 주파수를 증가시킬 때의 SNDR과 SFDR이다. 입력 신호를 Nyquist 주파수까지 증가시킬 때, 측정된 SNDR과 SFDR은 각각 56.0dB, 68.1dB 수준을 보여준다.

표 1에는 측정된 시제품 ADC의 성능을 요약하였으며, 제안하는 시제품 ADC와 최근에 발표된 12b 100MS/s 수준을 갖는 유사 사양의 ADC들을 표 2에 비교하였다. 전력 소모 대비 동적 성능을 평가하는 방법 중 가장 널리 사용되고 있는 figure of merits (FOM)은 수식 (1)과 같이 전력 소모와 동작 속도 및 effective number of bits

표 1. 시제품 ADC 성능 요약

Table 1. Performance summary of the prototype ADC.

Resolution	12bits
Conversion Rate	100MS/s
Process	Dongbu HiTek 0.13um CMOS
Supply	1.0V
Input Range	1.0V _{p-p}
SNDR	60.0dB (at f _{IN} = 4MHz) 56.0dB (at f _{IN} = 50MHz)
SFDR	72.4dB (at f _{IN} = 4MHz) 68.1dB (at f _{IN} = 50MHz)
DNL	-0.40LSB / +0.34LSB
INL	-0.91LSB / +1.79LSB
ADC Core Power	24mW
Area	0.92mm ² (= 0.91mm × 1.01mm)

표 2. 최근 발표된 12비트 100MS/s 수준의 ADC 비교
Table 2. Performance comparison of recently reported 12b 100MS/s ADCs.

	Resolution (bits)	Speed (MS/s)	Power (mW)	Area (mm ²)	DNL /INL (LSB)	FOM (pJ/conv.)	Process (um)
This Work	12	100	24	0.92	0.4/1.8	0.29	0.13
[6]	12	100	32	1.22	0.4/1.0	0.31	0.13
[10]	12	100	55	5.78	1.0/3.4	0.31	0.09
[11]	12	110	97	0.86	1.2/1.5	0.67	0.18
[12]	12	120	52	0.56	0.3/0.9	0.46	0.13
[13]	12	120	315	1.03	0.6/1.4	2.77	0.13

(ENOB)로 정의되며, 이때 제안하는 시제품 ADC의 FOM은 0.29pJ/conv.로 기존에 발표된 12비트 100MS/s 급 ADC 중에서 가장 우수한 성능을 보임을 고려할 때 저전력 모바일 제품에 즉각적인 응용이 가능함을 알 수 있다.

$$FOM = \frac{Power}{f_s \times 2^{ENOB}} \quad (1)$$

V. 결 론

본 논문에서는 DVB-H 등 저전력 모바일 비디오 시스템에 온-칩으로 응용하기 위한 12비트 100MS/s 0.13um CMOS ADC를 제안하며, 고해상도, 저전력 및 소면적을 동시에 만족하기 위해 다음과 같은 설계 기법들을 제안하였다.

제안하는 ADC는 첫 번째 및 두 번째 단에는 각각 4비트씩을 결정하고 마지막 단은 6비트를 결정하는 비선형 3단 파이프라인 구조를 가진다. 전체 전력 소모의 대부분을 차지하는 증폭기의 전력 소모를 줄이기 위해, 첫 번째 및 두 번째 단의 MDAC 사이에 사용되는 증폭기는 공유기법을 적용하여 증폭기의 사용을 최대한으로 줄였다. 이때, 기존의 증폭기 공유 시 입력 단을 리셋하지 않아 발생하였던 메모리 효과를 제거하기 위해 두개의 입력 단을 사용하여 해결하였으며, 위상 일부가 중첩된 클록을 사용하여 스위칭 동안 발생하는 출력 신호의 정착 시간 지연 문제를 줄여 100MS/s 수준의 고속 동작에서도 증폭기의 추가적인 전력 소모가 발생하지 않도록 하였다. 마지막 단으로 사용되는 6비트 FLASH ADC에는 2단 기준 전압 선택 기법을 통해 비트 수에 따라 전력 소모 및 면적이 지수적으로 증가하는 FLASH ADC의 구조적 단점을 개선하여 통상적인 6비트 FLASH ADC의 비교기의 개수를 절반 수준으로 감소시켜 ADC 전체의 전력 소모와 면적을 크게 줄였다. 제안하는 저전력 및 소면적을 위한 설계 기법을 적용하여 구현한 ADC는 0.13um 1P7M CMOS 공정으로 제작되었으며, 칩 면적은 0.92mm²를 차지한다. 측정된 DNL 및 INL은 각각 최대 0.40LSB, 1.79LSB이며, 100MS/s의 동작 속도에서 4MHz 입력 신호를 인가하여 측정된 SNDR 및 SFDR은 각각 60.0dB, 72.4dB 이다. 전력 소모는 1.0V 전원 전압 및 100MS/s 동작 속도에서 24mW이며, FOM은 0.29pJ/conv.으로 기존에 발표된 12b 100MS/s 급 ADC 중에서 최고 수준의 성능을 보여준다.

참 고 문 헌

- [1] M. Waltari and K. A. I. Halonen, "1-V 9-Bit pipelined switched-opamp ADC," *IEEE J. Solid-State Circuits*, vol. 36, no. 1, pp. 129-134, Jan. 2001.

[2] H. Kim, D. Jeong, and W. Kim, "A 30mW 8b 200MS/s pipelined CMOS ADC using a switched-opamp technique," in *ISSCC Dig. Tech Papers*, pp. 284-285, Feb. 2005.

[3] K. Nagaraj, H. S. Fetterman, J. Anidjar, S. H. Lewis, and R. G. Renninger, "A 250-mW, 8-b, 52-Msamples/s parallel-pipelined A/D converter with reduced number of amplifiers," *IEEE J. Solid-State Circuits*, vol. 32, no. 3, pp. 312-320, Mar. 1997.

[4] J. Li, X. Zeng, L. Xie, J. Chen, J. Zhang, and Y. Guo, "A 1.8-V 22-mW 10-bit 30-MS/s pipelined ADC for low-power subsampling applications," *IEEE J. Solid-State Circuits*, vol. 43, no. 2, pp. 321-329, Mar. 2008.

[5] P. Y. Wu, V. S. Cheung, and H. C. Luong, "A 1-V 100-MS/s 8-bit CMOS switched-opamp pipelined ADC using loading-free architecture," *IEEE J. Solid-State Circuits*, vol. 42, no. 4, pp. 730-738, Apr. 2007.

[6] Y. J. Kim, K. H. Lee, M. H. Lee, and S. H. Lee, "A 0.31pJ/conversion-step 12-bit 100MS/s 0.13um CMOS A/D converter for 3G communication systems," *IEICE Trans. on Electronics*, no. 9, pp.1194-1200, Sept. 2009.

[7] S. Ryu, B. Song, and K. Bacrania, "A 10-bit 50-MS/s pipelined ADC with opamp current reuse," *IEEE J. Solid-State Circuits*, vol. 42, no. 3, pp. 475-485, Mar. 2007.

[8] B. G. Lee and R. M. Tsang, "A 10-bit 50-MS/s pipelined ADC with capacitor-sharing and variable-gm opamp," *IEEE J. Solid-State Circuits*, vol. 44, no. 3, pp. 883-890, Mar. 2007.

[9] S. Limotyrakis, S. D. Kulchyski, D. Su, and B. A. Wooley, "A 150MS/s 8b 71mW time-interleaved ADC in 0.18um CMOS," in *ISSCC Dig. Tech Papers*, pp. 258-259, Feb. 2004.

[10] T. N. Andersen, et al., "A 97mW 110MS/s 12b pipeline ADC implemented in 0.18um digital CMOS," in *Proc. DATE*, pp. 219-222, Mar. 2005.

[11] H. C. Choi, et al., "A 52mW 0.56mm² 1.2V 12b 120MS/s SHA-free dual-channel Nyquist ADC based on mid-code calibration," in *Proc. ISCAS*, pp. 9-12, May 2008.

[12] S. M. Yoo, T. H. Oh, H. Y. Lee, K. H. Moon, and J. W. Kim, "A 3.0V 12b 120Msamples/s CMOS pipelined ADC," in *Proc. ISCAS*, pp. 241-244, May 2006.

[13] T. Ito, D. Kurose, T. Yamai, and T. Itakura, "55mW 1.2V 12-bit 100-MSPS pipelined ADCs for wireless receivers," in *ESSCIRC*, pp. 540-543, Sept. 2006.

저 자 소 개



박 승 재(정회원)
2009년 서강대학교 전자공학과
학사.
2009년~현재 서강대학교
전자공학과 석사과정
<주관심분야 : 고속 데이터 변환
기(A/D, D/A) 설계 등>



구 병 우(정회원)
2010년 서강대학교 전자공학과
학사.
2010년~현재 서강대학교
전자공학과 석사과정
<주관심분야 : 고속 데이터 변환
기(A/D, D/A) 설계 등>



이 승 훈(평생회원)
1984년 서울대학교 전자공학과
학사.
1986년 서울대학교 전자공학과
석사.
1991년 미 Illinois대 (Urbana-
Champaign)공학박사.
1986년 KIST 위촉 연구원.
1987년~1990년 미 Coordinated Science Lab
(Urbana)연구원.
1993년~현재 서강대학교 전자공학과 교수.
<주관심분야 : 집적회로 설계, 데이터 변환기
(A/D,D/A)설계 등>