

고효율 inverse E급주파수 체배기 설계

(Design of Inverse E Class Frequency Multiplier with High Efficiency)

노희정* · 조정환

(Hee-Jung Roh · Jeong-Hwan Cho)

Abstract

This paper describes inverse E class frequency multiplier which is lower inductance and peak switching voltage than E class frequency multiplier. The frequency multiplier is designed to generate 5.8[GHz] frequency by doubling the input frequency 2.9[GHz]. The peak switching voltage of designed inverse E class frequency multiplier with 11[V] is lower 4[V] than that of E class frequency multiplier with 15[V]. The inverse E class frequency multiplier has a conversion gain 6[dB] at output power 21[dBm] and maximum 35[%] power efficiency.

Key Words : Frequency Multiplier, High Efficiency, Inverse E Class Multiplier

1. 서 론

오늘날 통신 정보량의 증가는 높은 주파수에서의 통신 수단을 요구하고 있다. 마이크로파 통신 시스템의 경우 고안정, 저잡음의 신호원을 필요로 하는데 고주파의 경우 이러한 신호원을 직접 만들 경우 높은 주파수에서 공진기가 상대적으로 낮은 Q를 갖게 되므로 위상 고정을 시키기가 어렵다. 따라서 높은 안정도와 저잡음 특성을 갖는 저주파 신호원을 체배하여 고주파 신호원을 만들고 있다.

주파수 체배기는 크게 다이오드 체배기와 FET체배기로 분류할 수 있다. FET 체배기는 다이오드 체배기

에 비해 높은 변환 효율과 출력 정합회로를 용이하게 구성할 수 있다는 장점이 있어 널리 사용되어 왔다[1]. 그러나 체배기는 효율문제로 인하여 E급 주파수 체배기가 연구되어 지고 있다[2].

E급 주파수체배기에서 효율을 높이기 위하여 전력소모를 줄여야 하는데, 주파수 체배기에서는 트랜지스터의 전력소모가 크기 때문에 트랜지스터가 스위칭 동작을 하도록 하여 트랜지스터에 흐르는 전압과 전류를 on/off 시킴으로써 고효율 특성을 얻을 수 있다 [3]. E급 주파수 체배기의 출력회로는 무한대의 Q값을 가지고 트랜지스터가 이상적인 스위칭 동작을 한다는 가정 하에 E급 주파수 체배기 설계에 관하여 많은 연구가 수행되었다[4].

E급 주파수 체배기가 연구되어 온 이후로 1[GHz]와 5[GHz]에서 각각 35[%]와 29[%]의 전력부가효율 특성과 8.5[dB]와 5.2[dB]의 변환 이득 특성을 가지는 주파수 체배기도 연구되었다[4-5].

* 주저자 : 김포대학 유비쿼터스IT과 부교수
** 교신저자 : 김포대학 IT학부 부교수
Tel : 031-999-4208, Fax : 031-999-4775
E-mail : june@kimpo.ac.kr
접수일자 : 2011년 10월 3일
1차심사 : 2011년 10월 5일
심사완료 : 2011년 10월 14일

역 E급 증폭기 설계에 관하여 Mury와 Fusco는 역 E급 증폭기는 같은 출력 전력일 때 E급 증폭기보다 작은 스위칭 전압에서 동작하여 능동 소자의 항복전압을 낮추고, 작은 인덕턴스 값에서 동작하므로 MMIC(monolithic microwave integrated circuit)로 제작할 경우에 더 적은 공간을 차지하게 된다고 언급하고 있다[6].

역 E급 주파수 체배기는 직렬 인덕터와 병렬 공진회로로 구성되어 있다. 이 회로는 직렬 L, 병렬 공진회로 Lp-Cp-R, 그리고 주파수의 위상을 보상해주는 병렬 C로 구성되어 있다. 능동 소자가 온 상태일 때는 능동 소자의 내부 저항이 0이 되어 능동소자의 전압강하는 0이 되고, 능동소자에 흐르는 전류 값만을 가지며, 직렬 인덕턴스의 전압은 전류의 변화치에 비례한다. 또한 오프 상태일 때는 능동소자의 내부저항이 무한대가 되어 능동소자에는 전압만 존재하여, 능동 소자에 흐르는 전류는 차단되게 된다. 스위칭 전류의 주기율이 50[%]이고, 100[%]의 효율을 가정하면 출력전류와 전압은 식 (1)과 (2)로 표현할 수 있다.

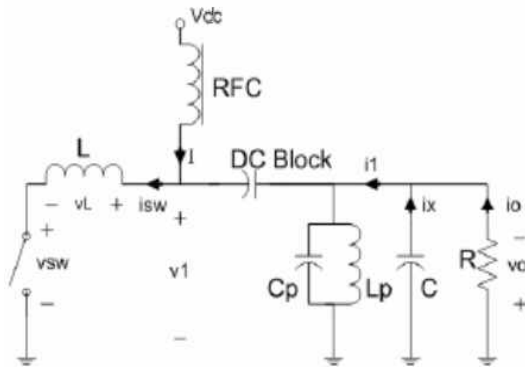


그림 1. 일반적인 역 E급 체배기의 구조
Fig. 1. Switch and output circuit for the general inverse class E multiplier

$$i_0(\theta) = A \sin(\theta t + \phi) \quad (1)$$

$$v_0(\theta) = R A \sin(\theta t + \phi) \quad (2)$$

스위치가 온 상태 동안 인덕턴스에 걸리는 전압은 드레인 노드에서 키르히호프 전압 법칙을 적용하면 아래의 식 (3)으로 표현된다.

$$v_L(t) = v_1(t) = L \frac{di_{sw}(t)}{dt} \quad (3)$$

식 (3)을 스위치 전류에 대하여 정리하면, 식 (4)으로 표현할 수 있다.

$$i_{sw}(t) = \frac{1}{L} \int_0^t v_1(t) dt + i_{sw}(0) \quad (4)$$

100[%]의 DC-RF변환 이득을 얻기 위해서는 스위치가 온 상태일 때, 스위치전류 $i_{sw}(t)$ 가 직렬 인덕터 L을 통해 흐른다. 이때 스위치 전압 $v_{sw}(t)$ 는 0이 되고, 이때 인덕터에 전류가 흐르면서 $v_L(t) = v_1(t)$ 가 생성된다. 스위치가 오프 되었을 때는, $i_{sw}(t)$ 와 $v_L(t)$ 는 0이 되며, $v_1(t) = v_{sw}(t)$ 가 된다.

$$v_{sw}(t) = V_{dc}(1 - A \sin(\theta t + \phi)) \quad (5)$$

효율이 100[%]이고 주기가 50[%], 충분히 높은 Q값을 가진다고 가정하고 위와 같은 수식조건(1-5)을 이용하여 다음과 같이 역 E급 주파수 체배기 설계를 하는 데에 필요한 수식 (6~10)들을 얻을 수 있다.

$$L = \frac{V_{dc}^2}{\pi N \omega P_0} \quad (6)$$

$$C = \frac{\pi(\pi^2 - 4)}{2(\pi^2 + 4)} \frac{P_0}{N \omega V_{dc}^2} \quad (7)$$

$$R = \frac{\pi^2 + 4}{8} \frac{V_{dc}^2}{P_0} \quad (8)$$

$$C_P = \frac{Q}{N \omega R} \quad (9)$$

$$L_P = \frac{1}{(N \omega)^2 C_P} \quad (10)$$

위 식 (6~10)에서 V_{dc} 는 드레인 전압, Q는 공진기의 품질계수를 나타낸다. N은 출력 고조파(harmonic)를 의미하며, 더블러는 2의 값을 갖는다. P_0 는 출력 전력을 나타낸다.

2. 역 E급 주파수 체배기 설계

역 E급 주파수 체배기에 관한 기본 이론 및 설계에 필요한 수식들을 서론에서 알아보았다. 이론 및 설계 수식을 바탕으로 2.9[GHz] 입력 신호에 대해 더블러로 동작하는 2.9/5.8[GHz] 역 E급 주파수 체배기를 ADS 시뮬레이션 툴을 이용해 설계를 하고 테플론 기판에 구현하였다.

그림 2회로에서 입력 매칭회로는 2.9[GHz]가 통과하도록 설계하였고, 출력회로에서는 5.8[GHz]가 출력 주파수로 부하에 출력되도록 하였다. 능동 스위치로 동작하는 소자는 Avago사의 ATF-34143 PHEMT 소자를 사용하였으며, 마이크로 스트립라인을 이용하였다.

이상의 방법으로 설계된 주파수 체배기는 하모닉 밸런스 방법을 이용하여 역 E급 주파수 체배기의 전력 부가효율, 출력전력, 이득, 전류-전압 스위칭 파형을 시뮬레이션하여 그 특성을 분석하였다. 그림 2에 대한 시뮬레이션 레이아웃은 그림 3에 보이고 있다.

2.1 역 E급 주파수체배기 특성 시뮬레이션

원하는 체배된 하모닉 성분을 확인하기 위해 ADS를 이용하여 출력 하모닉 특성을 그림 4 (a)에 나타내었다.

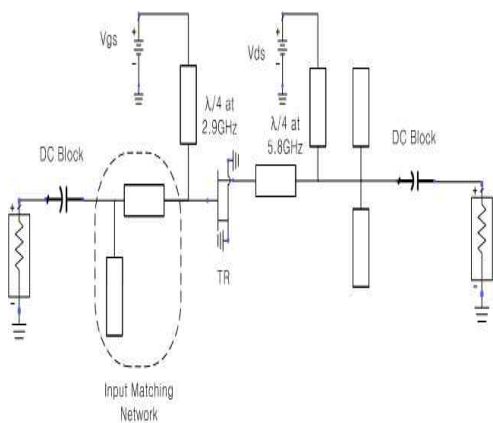


그림 2. 전송선을 이용한 역 E급 주파수체배기
Fig. 2. Inverse class E frequency multiplier with transmission line

14[dBm] 입력 전력이 들어갔을 때 5.8[GHz]에서 21[dBm]의 출력 전력이 나왔고, 5.8[GHz]를 제외한 나머지 주파수에서는 40[dBc] 이상의 역압 특성을 나타내었다. 역 E급 주파수 체배기의 전력 부가 효율 및 이득은 그림 4 (b), (c)에 나타나 있다.

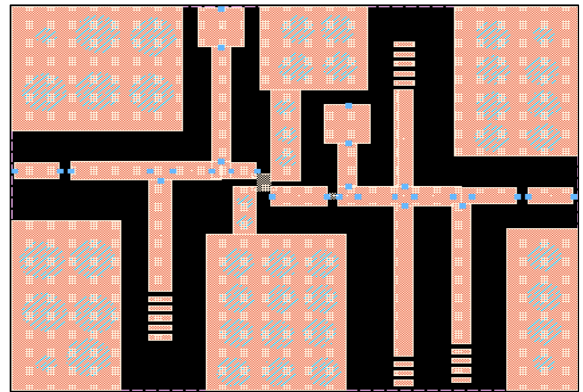


그림 3. 역 E급 주파수체배기의 레이아웃
Fig. 3. Layout of Inverse class E frequency multiplier with transmission line

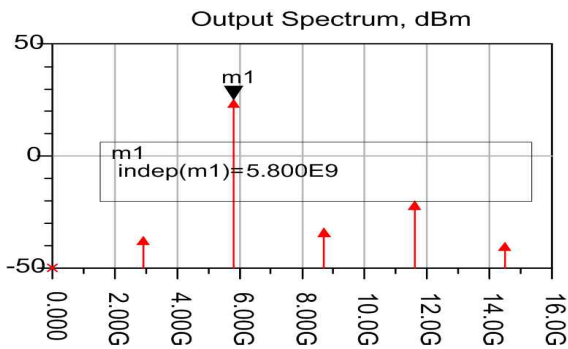
출력 전력 21[dBm]에서 34[%]의 전력부가효율이 나오는 것을 볼 수 있고 7[dB]의 이득을 얻을 수 있었다.

3. 역 E급 주파수 체배기 제작 및 측정

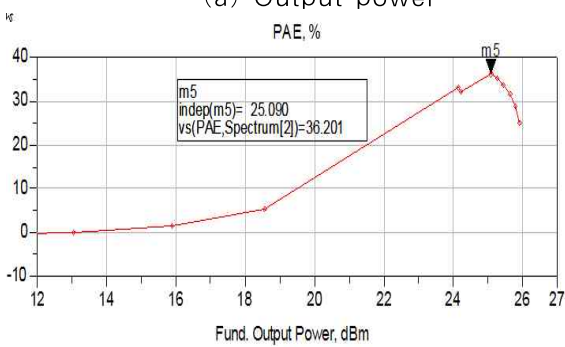
그림 5에서와 같이 유전율 3.5, 두께 0.76[mm]의 테플론기판에 마이크로스트립 선로를 이용하여 2.9/5.8 [GHz] 역 E급 주파수 체배기를 구현하였다.

제작한 역 E급 주파수 체배기를 2.9[GHz] 입력전력의 크기에 따라 출력전력, 전력부가효율을 측정된 결과를 그림 6에 나타내었다.

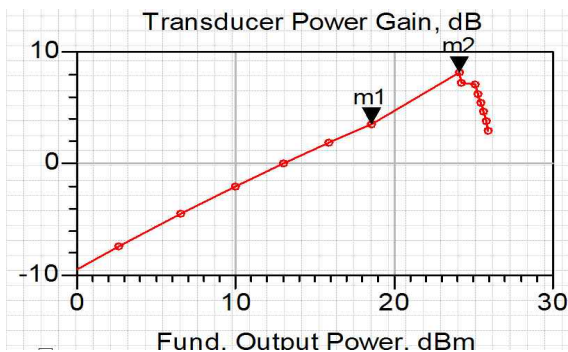
입력전력에 따라 변환 이득을 갖으며 동작하고 전력 부가효율은 입력전력에 따라 증가하고 입력전력 15[dBm]일 때 목표한 출력전력 21[dBm]에서는 6[dB]의 변환 이득과 최대 35[%]의 고효율 특성을 보이는 역 E급 주파수 체배기로 동작하는 것을 확인할 수 있다. 이 때 기본파 성분의 크기는 -7[dBm]으로서 입력된 신호보다 약 -30[dBc] 역압된 특성을 그림 7에서 나타내고 있다.



(a) 출력 전력
(a) Output power



(b) 효율
(b) PAE



(c) 이득
(c) Gain

그림 4. 역 E급 주파수채배기의 시뮬레이션 결과
Fig. 4. Simulation result of inverse class E frequency multiplier

제작한 역 E급 주파수 채배기의 측정결과는 2.9 [GHz] 입력 신호를 인가하였을 때, 출력전력 21[dBm]에서는 최대 6[dB]의 변환 이득을 가지며 최대 35[%]의 전력부가효율 특성으로 목표 사양을 갖는 것을 확인할 수 있었다.

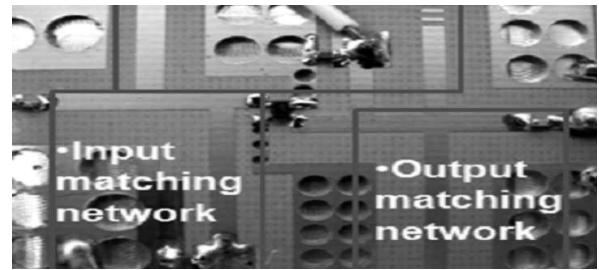


그림 5. 역 E급 주파수채배기의 제작회로도
Fig. 5. Photograph of the fabricated inverse class E frequency multiplier

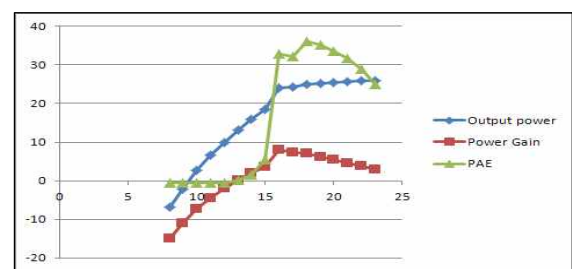


그림 6. 측정된 출력전력, 효율, 이득
Fig. 6. Measured result of output power, PAE and gain

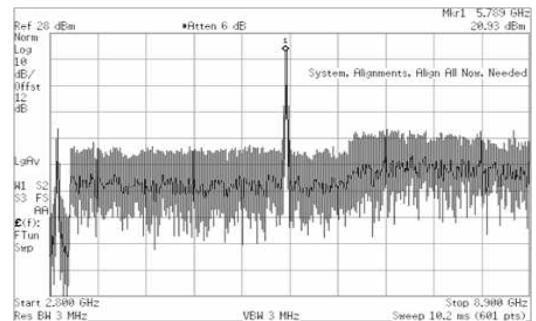


그림 7. 15(dBm) 입력전력에 대한 측정된 출력 스펙트럼
Fig. 7. Measured output spectrum at 15(dBm) input power

4. 결 론

본 논문에서는 역 E급 주파수 채배기를 설계 및 제작하고 E급 주파수 채배기와 비교 분석 하여 우수성을 확인하였다.

2.9/5.8[GHz] 역 E급 주파수 채배기는 능동소자인 pHEMT를 사용하였고 마이크로스트립 선로를 이용하여 제작하였다. 출력전력 21[dBm]에서는 최대

6[dB]의 변환 이득을 가지며 최대 35[%]의 고효율 특성을 보이는 역 E급 주파수 체배기로 동작하는 것을 확인할 수 있었다. 이 때 기본파 성분의 크기는 -7[dBm]으로서 입력된 신호보다 30[dB] 억압된 특성을 확인할 수 있었다. 그리고 같은 전압을 인가하였을 경우에 피크 스위칭 전압의 크기는 E급 주파수 체배기가 7.2[Vdc]이고 역 E급 주파수 체배기는 5.5[Vdc]이다. 역 E급 주파수 체배기가 더 작은 스위칭 전압에서 동작하기 때문에 능동소자가 안정적으로 동작할 수 있다. 또한 MMIC로 제작할 경우 E급 주파수 체배기보다 더 작은 인덕턴스 값에서 동작하므로 작은 면적으로 제작할 수 있을 것이다.

본 논문의 결과, 설계된 역 E급 주파수 체배기는 고선형성과 고효율성의 특성을 갖는 것을 확인할 수 있었다. 본 논문의 결과는 주파수 체배기를 이용한 WLAN/WCDMA/셀룰러/PCS/IMT-2000 등의 다양한 모듈 설계에 유용하게 활용 가능할 것이다.

본 논문은 2011학년도 김포대학 연구비 지원에 의하여 연구되었음.

References

[1] J. Rynanen, K. Kivekas, J. Jussia, A. Parssinen, and K. Halonen, "A Dual-band RF Front End for WCDMA and GSM Applications," IEEE Trans. Microwave Theory Tech., vol.50, no.1, pp.288-301, Jan.2002.
 [2] 노희정, 전현진, 구경현, "5[GHz] 대역 고효율 주파수 체배기 설계 및 디지털 선형화", 한국항행학회논문지 2009년 12월.
 [3] F. H. Raab, "Idealized operation of the class E tuned power amplifier," IEEE Trans. Circuits Syst., vol. CAS-25, pp. 725-735, Dec. 1977.

[4] Robert E. Zulinski and John W. Steadman, Idealized operation of class-E frequency multipliers, IEEE Trans. Circuits Syst., vol. CAS-33, no. 12, pp. 1209-1218, Dec. 1986.
 [5] M. Weiss, M. Crites, E. Bryerton, Z. Popovic, and J. Whittaker, Time-domain optical sampling of switched-mode amplifiers and multipliers, IEEE Trans. Microwave Theory Tech., vol. 47, no. 12, pp. 2599-2604, Dec. 1999.
 [6] T. Mury and V. F. Fusco, "Sensitivity characteristics of inverse Class-E power amplifier," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 54, no.4, pp. 768-778, 2007.

◇ 저자소개 ◇



노희정 (盧熙正)

1961년 7월 7일생. 1985년 2월 아주대학교 전자공학 졸업. 1995년 7월 서울시립대학교 졸업(석사). 2010년 2월 인천시립대학교 졸업(박사). 1989~1998년 (주)한국통신기술 근무. 1998년~현재 김포대학 유비쿼터스IT과 부교수.



조정환 (趙正煥)

1963년 12월 12일생. 1988년 한양대학교 전자공학과 졸업. 1990년 한양대학교 대학원 전자공학과 졸업(석사). 2003년 한양대학교 대학원 전자공학과 졸업(박사). 현재 김포대학 IT학부 부교수. 산업계측 제어기술사. 본 학회 편수위원.