

논문 2011-48SD-2-1

# 위상변조를 이용한 저 전력 입출력 인터페이스 회로

(Low Power Serial Interface I/O by using Phase Modulation)

박 형 민\*, 강 진 구\*\*

(Hyung-Min Park and Jin-Ku Kang)

## 요 약

본 논문은 위상 변조를 이용한 직렬 인터페이스 입출력 회로를 설계 하였다. 설계된 직렬 입출력 인터페이스 회로는 수신부와 송신부로 구성되어 있다. 제안하는 위상변조 데이터 전송 방식은 상승 에지 위상은 고정시켜 클럭 정보로 사용하고 하강 에지 위상을 전송되는 데이터에 따라 변조하여 오프-칩 인터페이스에서도 적용 가능한 효율적인 데이터 전송 방식을 사용한다. 제안하는 회로는 16개의 하강 에지 위상을 사용하여 한 클럭 주기마다 4비트씩 데이터를 전송함으로써 시스템에서 사용되는 클럭 속도보다 4배 빠른 전송 속도를 갖는 저 전력 회로다. 본 논문에서는 0.13 $\mu$ m CMOS 공정을 이용하여 설계 및 검증을 수행 하였고, 칩 면적 2mm<sup>2</sup> 하에서 1Gb/s 전송 속도와 12mW의 소비 전력을 갖는다.

## Abstract

This paper describes a phase modulation I/O (PMIO) serial interface circuit that supports 1Gbps transfer rate with 12mW power consumption at 1.2V supply. The proposed PMIO which consists of TX and RX blocks utilizes a phase modulation technique. The rising edge is fixed to get the clock phase information and falling edge has multi positions for the multi-data information to increase the transfer rate. The designed circuit use the 16 possible falling edge positions. The data transfer rate is four times faster than the clock rate. The circuit has been implemented using 0.13 $\mu$ m CMOS process. Measured results show the circuit exhibits peak-to-peak jitters of transfer data (phase data) and recovery data.

**Keywords :** Phase modulation (PM), SerDes, Phase locked loop(PLL), Delay locked loop(DLL)

## I. 서 론

최근의 멀티미디어 시장은 반도체 제조공정 기술의 발전 및 집적도 향상에 따라 고속 및 대용량의 데이터를 송수신하기 위한 기기 및 주변회로의 개발에 집중하고 있으며 환경문제에 대한 전 세계적인 관심은 회로 설계에 있어 저 전력의 환경 친화적인 제품의 개발에 대한 정책은 회로 설계자들에게 더욱 어려운 환경을 이겨내야 하는 문제점으로 나타난다. 또한, 시스템의 동작

속도와 집적도가 비약적으로 증가하고 있지만 회로의 동작 성능의 채널의 대역폭의 제한에 따른 신호 왜곡 및 감쇄 현상한계와 전송로 데이터 전송의 속도의 증가에 제한이 따른다. 이러한 문제로 인하여 일반적으로 사용되는 Non-Return-to-Zero(NRZ)방식을 이용한 직렬 데이터 통신에서 전송 속도의 증가가 제한을 받고 있다. 이러한 문제점을 해결하고 효율적인 데이터 전송이 가능한 방법으로 위상변조(phase modulation) 기술이 있다.<sup>[1]</sup> 이 전송 방식은 한 클럭 주기에 Pulse width에 따라 다중의 데이터를 전송하여, 낮은 클럭 주파수에도 고속의 데이터 전송을 가능하게 한다. 또한 직렬 NRZ 인터페이스에서 널리 쓰이는 8B/10B같은 인코딩/디코딩 기술이 필요 없기 때문에 8B/10B encoder, decoder, Comma detector 같은 블록을 사용하지 않아 작은 면적으로 간단한 설계가 가능하다.

\* 학생회원, \*\* 정회원 인하대학교 전자전기공학부 (School of Electronics Eng., INHA University)

※ 본 연구는 지식경제부 재원의 한국기술진흥원 전략 기술인력양성사업과 2010년도 정부(교육과학기술부) 재원의 한국연구재단 기초연구 사업(2010-0022670) 지원으로 수행됨. 칩 설계 및 제작은 IDEC의 도움을 받음.

접수일자: 2010년12월8일, 수정완료일: 2010년12월30일

## II. Phase Modulation I/O Architecture

### 1. 위상 변조 기술

위상 변조방식은 그림 1과 같다. 이 방식은 신호 에지의 위치정보로 데이터를 보냄으로써, NRZ나 RZ같은 전압 레벨로 데이터를 보내는 방식보다 같은 시간에 더 많은 양의 데이터를 보낼 수 있는 효율적인 데이터 방식이다. 참고논문<sup>[1]</sup>은 그림1과 같이 원 클럭(OCLK)의 상승/하강 에지 위치가 전송되는 데이터에 따라 변조되어 효율적인 데이터 전송을 제안 한다. 그러나 이 데이터 전송 방식은 전송되는 데이터에 클럭 정보가 포함하지 않아 클럭 도메인이 서로 다른 인터-칩 인터페이스에서는 (inter-chip serial interface) 사용의 제한이 따른다. 반면에 본문에서 제안하는 방식은 그림 2에 나타난 바와 같이 상승 에지를 고정하여 클럭 정보로 사용하고 하강 에지만을 변조하여 데이터를 전송함으로써 인터-칩 인터페이스에도 적용이 가능하도록 하였다. 본 방식은 전송되는 N bit 데이터를 값에 따라  $2^N$  개의 하강 에지 위치 중 해당 위상에 위치시켜 한 개의 하강 에지가 N bit 데이터 크기를 갖도록 한다. 이로써 한 클럭 주기에 N bit를 전송하여 사용되는 클럭 속도보다 N배 빠른 직렬 전송속도를 갖게 된다. 큰 N값을 얻기 위해 그림 2의 원 클럭(OCLK)은 기준 클럭(REF CLK)으로 변형된다. 기준 클럭은 수신부에서 클럭을 복원하기 위해 최소 펄스폭( $T_{min}$ )을 갖는다. 위상 변조 데이터(Phase modulated data)는 기준 클럭의 상승에지는 고정시키고 하강 에지를 데이터에 따라 변조시켜 생성된다. 이때, 하강 에지의 위치는  $dT$ 의 시간 간격을 갖는  $2^N$  개의 위치 중 하나로 결정된다. 따라서 데이터 전송 속도는 아래 식(1)과 같다.

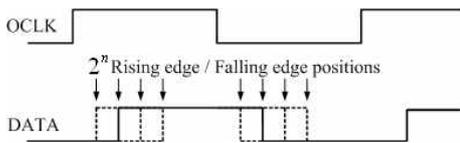


그림 1. 참고논문<sup>[1]</sup> 방식 타이밍 그래프  
Fig. 1. Timing diagram of Ref<sup>[1]</sup>.

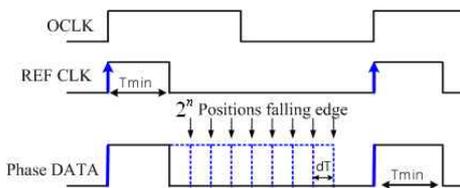


그림 2. 제안하는 방식의 타이밍 그래프  
Fig. 2. Timing diagram of Proposed scheme.

$$Transfer\ rate = \frac{N}{(2^N - 1) \cdot \delta T + 2T_{min}} \quad (1)$$

본 논문에서는  $N=4$ ,  $dT=180ps$  그리고  $T_{min}=650ps$  을 사용하였다.

### 2. 제안하는 위상 변조 인터페이스 구조

그림 3은 제안하는 위상 변조 인터페이스 블록도 이다. 송신부(Tx)는 위상 고정 루프(PLL), 펄스 재 생성기(Pulse regenerator) 그리고 인코더(Encoder)로 이루어져 있다. 위상 고정 루프는 PVT 변화에 의한 잡음을 보상해 줌으로써 낮은 지터를 갖는 다중 클럭을 생성한다. 인코더는 기준 클럭(REF CLK)과 위상 고정 루프의 16개 다중 클럭을 이용하여 전송 데이터에 따라 클럭의 하강 에지 위치를 변조시켜 위상 변조 데이터(Phase modulated data)로 변형 후 수신부(Rx)로 전송한다. 수신부(Rx)는 지연 고정 루프(DLL)와 디코더로 이루어져 있다. 지연 고정 루프는 입력 받은 위상 변조 데이터의 고정된 상승 에지를 이용하여 다중 복원 클럭을 생성한다. 디코더는 지연 고정 루프에서 생성된 다중 복원 클럭을 이용하여 위상 변조 데이터의 하강 에지로부터 데이터를 복원한다.<sup>[2~4]</sup>

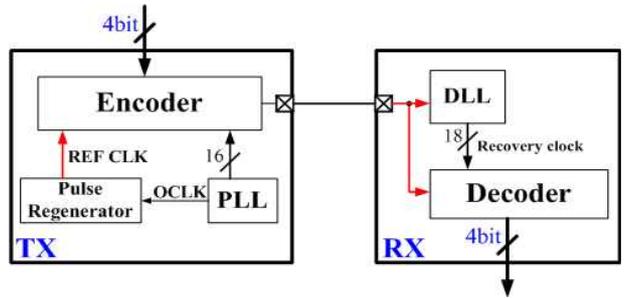


그림 3. 제안하는 위상 변조 인터페이스 블록도  
Fig. 3. Proposed Phased modulation Interface block diagram.

#### 가) 위상고정루프

그림 4는 정수형 위상고정루프(PLL)의 블록도를 나타낸다. 위상고정루프는 위상검출기(PFD), 전하펌프(CP), 루프필터(LF), 전압제어 발진기(VCO) 그리고 분주기(Divider)로 구성되어 있다. 위상고정루프는 피드백(feed back)시스템으로 구성되어, PVT 변화 등으로 발생하는 대역 내의 잡음을 보상해 줌으로써 낮은 지터를 갖는 다중 클럭을 생성한다. 이는 전송 데이터에 따라 변조되는 하강 에지 위치를 일정한 간격을 갖도록 안정

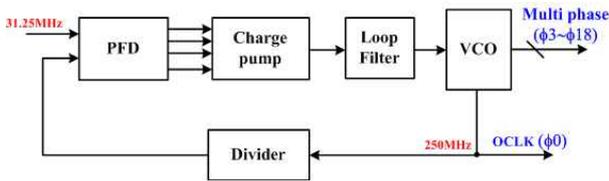


그림 4. 위상 고정 루프 블록도  
Fig. 4. Phase locked loop block diagram.

적으로 위치 시켜주고 고정된 상승 에지를 만들어 줄 수 있도록 한다. 위상 변조 데이터가 16개의 하강 에지 위치를 갖고, 인접한 클록마다 180ps의 위상 차이를 갖기 위해 전압 제어 발진기는 22개의 다중 클록을 생성하는 11개의 차동 지연 셀로 구성되었다.

나) 지연 고정 루프

그림 5는 지연 고정 루프(DLL)의 블록도를 보여준다. 지연고정루프는 위상고정 루프와 유사한 구조를 갖는다. 큰 차이점은 전압 제어 발진기(VCO) 대신 전압 제어 지연 회로(VCDL)를 사용하여 Open loop 시스템을 사용한다는 점이다. 이러한 특성은 잡음으로 부터 발생하는 클록 지터를 축적(accumulation)하지 않기 때문에 복원하는 다중 클록의 지터를 작게 한다.

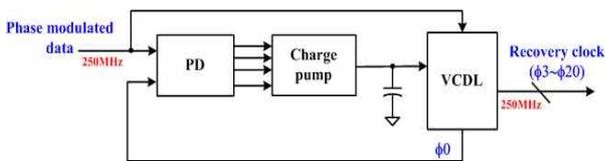


그림 5. 지연 고정 루프 블록도  
Fig. 5. Delay locked loop block diagram.

다) 펄스 재 생성기

그림 6은 송신부의 펄스 재 생성기를 보여준다. 이 회로는 단순한 상승 에지 플립플롭을 이용한 것으로써 위상 고정루프 로부터 입력받은 2개의 클록( $\Phi_1$ ,  $\Phi_2$ )을 이용하여 기준 클록을 생성하고 인코더에 입력된다. 기준 클록은 변조되기 전 클록 보다 많은 하강 에지를 확보하기 위한 것으로 그림 2의 가운데 파형으로 나타나

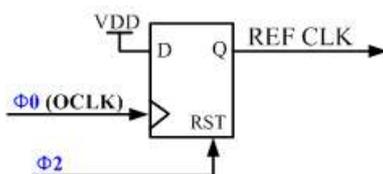


그림 6. 펄스 재생성기  
Fig. 6. Pulse Regenerator.

있다. 기준 클록의 최소 펄스 폭,  $T_{min}$ 은  $\Phi_1$ 과  $\Phi_2$ 의 간격으로 결정 되고 이 간격은 위상 고정 루프에 의해 고정 된다.

라) 인코더

송신부의 인코더는 그림 7과 같다. 이 블록은 펄스 재 생성기와 위상 고정 루프로부터 각각 입력 받은 기준 클록과 다중 클록( $\Phi_3 \sim \Phi_{18}$ )을 이용하여 입력 데이터를 위상 변조 데이터로 변환 한다. 입력되는 4bit 데이터는 디 멀스(De\_MUX)를 통해 8bit로 부분 디코딩 된다.<sup>[5]</sup> 디코딩된 8bit 데이터는 입력 데이터에 따라 2bit만 논리적 레벨 '0'이 되고, 이 출력들에 의해서 제어되는 NOR 게이트의 출력은 한 개만 논리적 레벨'1'을 갖는다. 그에 따라 출력'1'을 갖는 NOR와 연결된 PG(Pass Gate) 한 개만 켜지게 된다. 그 후 왼쪽 PG들이 위상고정 루프에서 입력 받은 다중 클록( $\Phi_3 \sim \Phi_{18}$ )의 위상에 따라 차례로 켜지면서, NOR에 의해 미리 켜져 있던 PG와 함께 켜지는 시점에서 위상 변조 데이터의 하강 에지가 발생 한다. 따라서 위상 변조 데이터의 하강 에지가 발생 할 수 있는 위치는 다중 클록( $\Phi_3 \sim \Phi_{18}$ )의 위상과 동일하고, 하강 에지 간격 dT는 클록 간의 위상 차이와 같다.

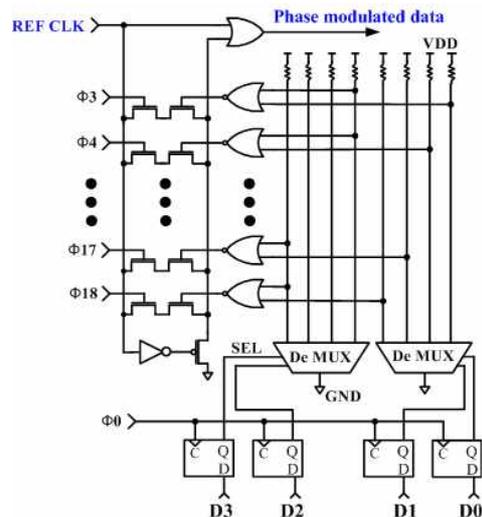


그림 7. 인코더  
Fig. 7. Encoder.

마) 수신부(Rx)

수신부의 구조는 그림 8과 같다. 이 블록은 지연 고정 루프와 제안하는 디코더로 구성되어 입력 받은 위상 변조 데이터로부터 복원 클록을 생성하고, 하강 에지로

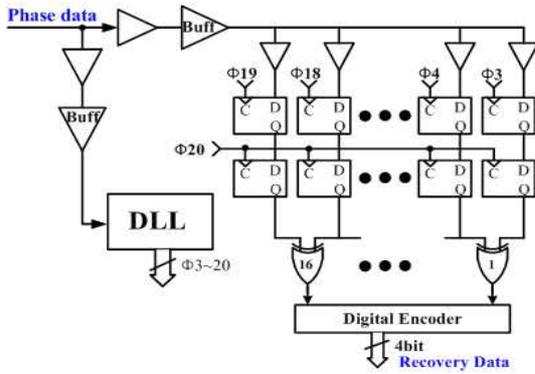


그림 8. 수신부 블록도  
Fig. 8. Receiver block diagram.

부터 다중 데이터를 복원한다. 지연 고정 루프는 입력되는 위상 변조 데이터의 고정된 상승 에지를 이용하여 다중 위상 복원 클럭을 생성한다. 이 복원된 클럭은 송신부의 위상 고정 루프 클럭  $\Phi_0 \sim \Phi_{20}$ 과 같은 위상을 갖는다. 디코더는 송신부의 인코더에 입력된 클럭들과 같은 위상을 가지는 순서로 복원 클럭을 플립플롭 어레이에 입력 받는다. 플립플롭 어레이는 지연 고정 루프에서 생성된 다중 클럭의 위상에 따라 차례로 위상 변조 데이터를 검출한다. 위상 변조 데이터의 하강 에지가 발생하는 부분에서 플립플롭 어레이 출력 값이 1에서 0로 변하면, 플립플롭과 연결된 하나의 XOR 만 논리적 레벨 '1'이 되고 나머지는 논리적 레벨 '0'이 된다. 디지털 인코더(Digital Encoder)는 16bit의 입력 값에 따라 각각 0000<sub>(2)</sub>에서 1111<sub>(2)</sub>까지 값을 출력함으로써 병렬 데이터를 복원한다.

III. 칩 설계, 제작 및 측정 결과

그림 9는 제안하는 위상 변조 입출력 인터페이스 회로를 CMOS 0.13um CMOS 공정으로 설계하여 제작한

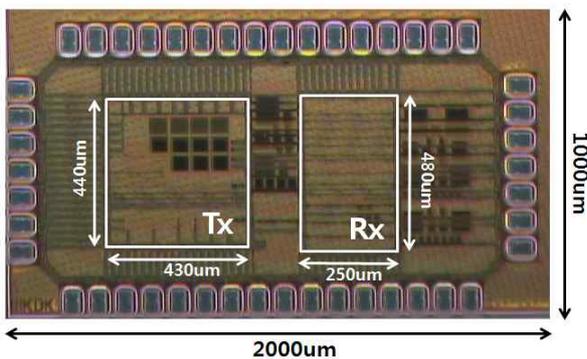


그림 9. 칩 사진  
Fig. 9. Chip Photo.

제의 칩 사진이다. Tx블록과 Rx블록으로 구성되어 있으며 각각 440um X 430um와 250um X 480um의 면적을 갖고 패드를 포함한 총면적은 2mm<sup>2</sup>을 차지한다.

그림 10은 송신부에서 생성되는 위상 변조 데이터 (Phase modulated data)와 복원된 4bit 데이터에 대한 시뮬레이션 결과이다. 4bit 카운터에 의해 송신부로 0000<sub>(2)</sub>부터 1111<sub>(2)</sub>까지 데이터가 순서대로 입력되면 송신부는 위상 변조 데이터(phase modulated data)를 한 심볼(Symbol)당 4bit 씩 250MHz로 전송한다. 그에 따라 데이터는 1G b/s로 전송되고 복원 데이터가 0000<sub>(2)</sub>부터 1111<sub>(2)</sub>까지 순차적으로 복원 되는 것을 확인 할 수 있다. 모의실험에서 16개의 데이터에 대한 위상변조 데이터에서 상승 에지는 고정되고 하강 에지가 16개의 위상으로 변조되는 것을 확인 할 수 있다. 모의실험시 하강 에지간의 간격은 180ps이다.

그림 11은 측정된 Rx블록의 복원 클럭이다. 250MHz 클럭에 대하여 p-p jitter와 RMS jitter는 각각 106.7ps, 16.3ps 이다.

그림 12는 측정된 위상변조 데이터이다. Tx 블록의 4bit 입력 데이터가 0100<sub>(2)</sub>일 때 그림과 같은 하강 에

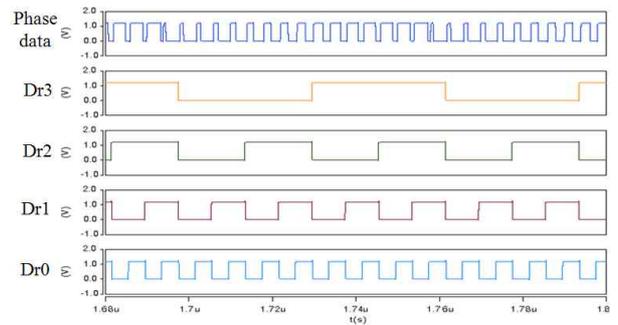


그림 10. 위상 변조 데이터와 복원 데이터 모의실험  
Fig. 10. Phase modulated data and recovery data simulation.

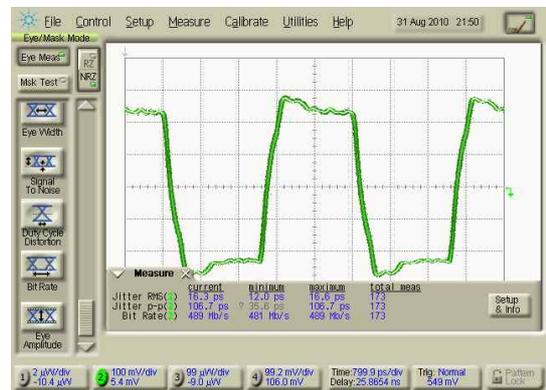


그림 11. 수신단에서 복원된 클럭  
Fig. 11. Recovery clock at Rx.

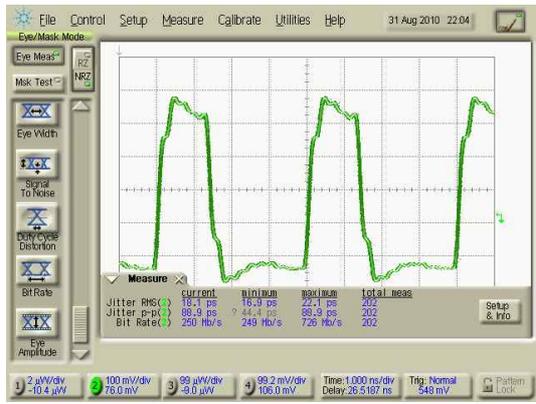


그림 12. 송신단에서 생성된 위상 변조 데이터 (0100<sub>(2)</sub>)  
 Fig. 12. Phase modulated data generated at Tx(0100<sub>(2)</sub>).

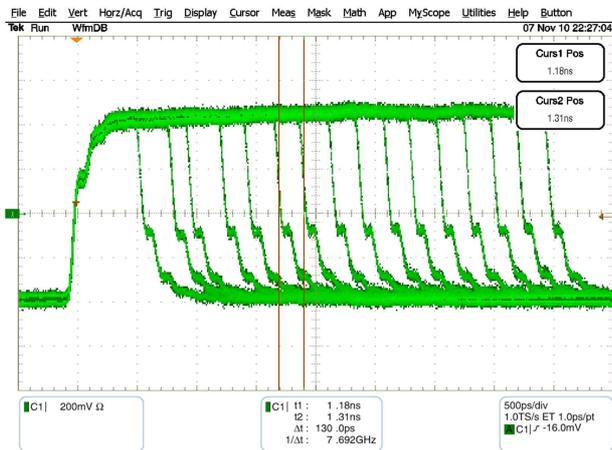


그림 13. 위상 변조 데이터 시퀀스  
 Fig. 13. Phase modulated data sequence.

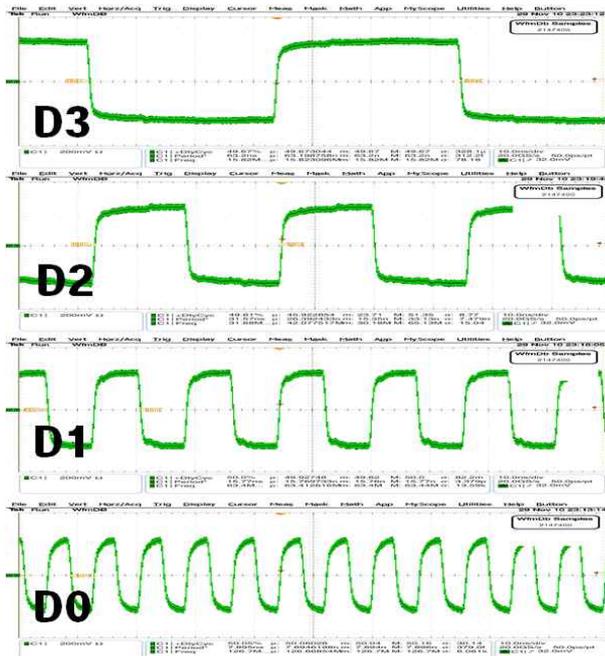


그림 14. 4비트 복원 데이터  
 Fig. 14. 4bit recovery data.

지위치를 가지며 데이터가 전송 되는 것을 확인 할 수 있다. 측정된 p-p jitter와 RMS jitter는 각각 89ps, 18.1ps이다.

그림 13은 측정된 위상 변조 데이터 시퀀스이다. Tx 블록의 4bit 입력 데이터를 0000<sub>(2)</sub>부터 1111<sub>(2)</sub>까지 차례대로 입력하였을 때 위상 변조 데이터가 각각의 데이터 값에 대하여 하강 에지의 위치가 변함을 확인 할 수 있다.

그림 14는 4bit 카운터에 의해 입력 데이터를 0000<sub>(2)</sub>부터 1111<sub>(2)</sub>까지 차례대로 입력하였을 때 수신부에서 복원된 데이터 이다. 입력값과 동일한 데이터가 복원되었음을 확인 할 수 있다.

#### IV. 결 론

본 논문에서는 위상 변조 기술을 이용하여 250MHz의 전송 클럭으로 1Gb/s의 전송 속도를 갖는 저 전력 입출력 인터페이스 회로에 대한 설계 및 결과를 나타내었다. 제안하는 위상변조 기술은 상승 에지를 고정시켜 클럭으로 사용하고 하강 에지만을 변조하여 데이터를 전송함으로써 off-chip 인터페이스에 적용이 가능하도록 하였다. 또한 NRZ 데이터 전송에 일반적으로 쓰이는 8B/10B 인코딩 기법을 사용하지 않기 때문에 복잡한 Encoder/Decoder를 제거함으로써 작은 면적을 갖는 저 전력 회로 설계가 가능하다. 또한 제안하는 데이터 전송 방식은 8B/10B 인코딩 기법에서 발생하는 데이터 overhead가 발생하지 않기 때문에 효율적인 데이터 전송이 가능하다. 설계된 회로는 칩 면적 2mm<sup>2</sup> 하에 12mW의 소비 전력을 갖으며, p-p jitter와 RMS jitter가 각각 89ps, 18.1ps로 측정되었다. 표 1에는 본 논문의 회로에 대한 결과를 요약하여 나타내었다.

표 1. 성능 요약  
 Table 1. Summary of Performance.

Process	0.13um CMOS
Supply voltage	1.2V
Data rate	1Gbps
Clock rate	250MHz
Area	Tx : 440um X 430um Rx : 250um X 480um
Phase data jitter (p-p / RMS)	89.8ps / 18.1ps
Power consumption	12mW

## 참 고 문 헌

- [1] Kazutaka Nogami, Abbas EI Gamal, "A COMS 160Mb/s Phase Modulation I/O Interface Circuit," ISSCC94, pp. 108-109, Feb. 1994.
- [2] Behzad Razavi, "Design of Analog CMOS Integrated Circuits" Mc Graw Hill, pp. 48 - 93, 483 - 576.
- [3] J.G. Manteatis, Jeaha Kim, Iain McClatchie, Jay Maxey, "Self-Biased High-Bandwidth Low-Jitter 1-to-4096 Multiplier Clock Generator PLL," IEEE Journal of solid-state circuits, Vol. 38, No. 11, Nov. 2003, pp.1795-1803.
- [4] Kavita Khare, Nilay Khare, Pallavi Deshpande, "Phase frequency detector of delay locked loop at high frequency" ICSE 2008 Proc., Jonor Bahru, Malaysia, pp.113 - 116.
- [5] Peter Sutton, "Partial Charater Decoding for Improved Regular Expression Matching in FPGAs," ICFPT 2004.

---

## 저 자 소 개

---



박 형 민(학생회원)  
 2009년 인하대학교 전자공학과  
 학사 졸업  
 2010년~현재 인하대학교  
 전자공학과 석사과정  
 <주관심분야 : 아날로그/디지털  
 VLSI 설계, PLL, DLL, SSCG 설  
 계>



강 진 구(정회원)  
 1983년 서울대학교 학사 졸업  
 1990년 New Jersey Institute of  
 Technology 전기 및 컴퓨  
 터 공학 석사 졸업  
 1996년 North Carolina State  
 University 전기 및  
 컴퓨터공학 박사 졸업  
 1983년~1988년 삼성전자(반도체)  
 1996년~1997년 미국 INTEL Senior Design  
 Engineer  
 1997년~현재 인하대학교 전자공학부 교수  
 <주관심분야 : 고속 CMOS 회로설계, Mixed IC  
 설계, PLL/DLL/CDR, High Speed Interface IC,  
 Display IC>