논문 2011-48SD-2-2

버니어 지연단을 이용한 26ps, 8비트 게이티드 링 오실레이터 시간-디지털 변환기의 설계

(Design of a 26ps, 8bit Gated-Ring Oscillator Time-to-Digital Converter using Vernier Delay Line)

진 현 배*, 박 형 민*, 김 태 호*, 강 진 구**

(Hyun-Bae Jin, Hyung-Min Park, Tae-Ho Kim, and Jin-Ku Kang)

요 약

본 논문에서는 디지털 위상고정루프(All-digital PLL)를 구성하는 핵심 블록인 시간-디지털 변환기(Time-to-Digital Converter)를 제안하고 구현하였다. 본 연구에서는 게이티드 링 오실레이터 시간-디지털 변환기(GRO-TDC)의 기본 구조에 버니어 지연단(VDL)을 이용하여 다중 위상을 얻음으로써 보다 높은 해상도를 얻을 수 있는 구조를 제안하였다. 게이티드 링 오실레이터(GRO)는 총 7개의 지연셀을 사용하였고, 버니어 지연단(VDL) 3단을 이용하여 총 21개의 다중 위상을 사용하여 시간-디지털 변환기(TDC)를 설계하였다. 제안한 회로는 0.13μm 1P-6M CMOS 공정을 사용하여 설계 및 구현하였다. 측정결과, 제안한 시간-디지털 변환기(TDC)의 최대 입력 주파수는 100MHz이고, 해상도는 26ps로 측정되었으며, 출력은 8-비트이며, 검출이 가능한 최대 위상 차이는 5ns의 위상 차이까지 검출이 가능하였다. 전력 소비는 측정된 Enable 신호의 크기에 따라 최소 8.4mW에서 최대 12.7mW로 측정되었다.

Abstract

This paper presents a Time-to-Digital Converter which is a key block of an All-Digital Phase Locked Loop. In this work, a Vernier Delay Line is added in a conventional Gated Ring Oscillator, so it could get multi-phases and a high resolution. The Gated Ring Oscillator uses 7 unit delay cell, the Vernier Delay Line is used each delay cell. So proposed Time-to-Digital Converter uses total 21 phases. This Time-to-Digital Converter circuit is designed and laid out in 0.13μm 1P-6M CMOS technology. The proposed Time-to-Digital Converter achieves 26ps resolution, maximum input signal frequency is 100MHz and the digital output of proposed Time-to-Digital Converter are 8-bits. The proposed TDC detect 5ns phase difference between Start and Stop signal. A power consumption is 8.4~12.7mW depending on Enable signal width.

Keywords : Time-to-Digital Converter(TDC), Gated Ring Oscillator(GRO), Vernier Delay Line(VDL), 1st-Order Noise Shaping

Ⅰ. 서 론

최근 집적 회로 공정 기술의 발전으로 미세 공정이 되면서 디지털 회로의 성능이 보다 향상되고 있다. 반면에 제한된 공급 전압과 MOS 트랜지스터의 누설전류 등의 문제가 있어 아날로그 회로 설계는 점점 어려워지고 있다. 통신 시스템과 고속 인터페이스 회로에서 많이 사용되고 있는 위상 고정 루프(Phase Locked Loop)에서도 누설 전류 문제, 아날로그 필터로 사용되는 커패시터의 크기 문제 등 아날로그 위상 고정 루프가 가지고 있는 단점들을 극복하기 위하여 디지털 블록만으로 구성된 전-디지털 위상 고정 루프(All-Digital Phase Locked Loop)의 연구가 활발히 이루어지고 있다.

* 학생회원, ** 정회원 인하대학교 전자전기공학부
(School of Electronics Eng., INHA University)

※ 본 연구는 2010년도 교육과학기술부 재원의 한국연구재단 기초연구사업(2010-0022670)과 지식경제부 재원의 한국기술진흥원 전략기술인력양성사업 지원으로 수행됨. 칩 설계 및 제작은 IDEC의 도움을 받음

접수일자: 2010년12월8일, 수정완료일: 2011년1월7일

본 논문에서는 버니어 지연단(Vernier Delay Line)을 이용한 고해상도 게이티드 링 오실레이터(GRO) 시간-디지털 변환기(TDC)를 제안하였다. 게이티드 링 오실레이터(GRO) 시간-디지털 변환기(TDC)의 가장 큰 특징은 본래 구조에서 나타나는 1차 노이즈 쉐이핑(1st order noise shaping) 특성이다. 그 영향으로 인하여 실질적인 해상도는 기존의 해상도보다 향상된다[1~4].

고성능의 디지털 위상고정루프(ADPLL)의 설계를 위해서는 고해상도를 가지는 시간-디지털 변환기(TDC)를 설계하는 것이 필요하다. 그 때문에 다양한 구조의 시간-디지털 변환기(TDC)가 제안되었다.

기본적인 게이티드 링 오실레이터 시간-디지털 변환기(GRO-TDC)는 1차 노이즈 쉐이핑 특성으로 인하여 양자화 잡음(Quantization Noise)을 줄여주는 장점이 있다. 이러한 게이티드 링 오실레이터 시간-디지털 변환기(GRO-TDC)의 해상도는 게이티드 링 오실레이터(GRO)의 스테이지의 개수와 스테이지 간 지연 시간과 밀접한 관련이 있다. 스테이지의 개수가 많을수록, 스테이지 간 지연시간이 작을수록 고해상도를 얻을 수 있다. 하지만 게이티드 링 오실레이터(GRO)의 스테이지가 많아지면 그 발진 주파수가 느려져 지연 시간이 커지고, 스테이지 수가 적으면 주파수는 빨라져 지연 시간은 작아지지만, 스테이지 수가 적기 때문에 고해상도를 얻는 것이 쉽지 않다.

최근에는 이러한 문제점을 보완하고자 다중 경로 게이티드 링 오실레이터(Multi-Path GRO)구조를 제안하여, 게이티드 링 오실레이터(GRO)의 스테이지 수를 증가시키면서도 스테이지 간 지연 시간을 줄일 수 있는 구조가 발표되었다[2]. 하지만 이 구조는 여러 개의 입력이 하나의 지연셀에 인가되기 때문에 게이티드 링 오실레이터(GRO)의 레이아웃 시에 많은 주의를 필요로 한다. 본 논문에서는 삼상태(Tri-state) 인버터를 지연셀로 사용하여 게이티드 링 오실레이터(GRO)로 구성하고, 각 게이티드 링 오실레이터(GRO)의 출력 노드에 버니어 지연단(VDL)구조를 사용하여 다중 위상을 만들어 고해상도 시간-디지털 변환기(TDC)를 설계하였다.

Ⅱ. 버니어 지연단(VDL)을 이용한 게이티드 링 오실레이터 시간-디지털 변환기(GRO-TDC)

1. 전체 블록

그림 1은 제안하는 버니어 지연단(VDL)을 이용한 게이티드 링 오실레이터 시간-디지털 변환기(GRO-TDC)

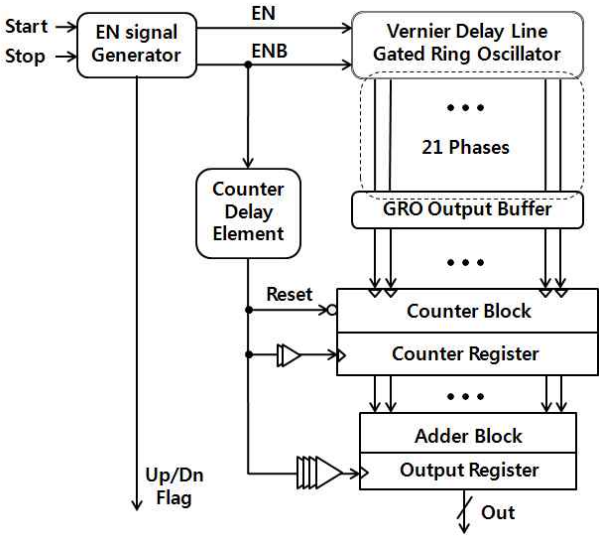


그림 1. 제안한 VDL을 이용한 GRO-TDC의 구조
Fig. 1. Structure of GRO-TDC using VDL.

를 나타낸다. 제안한 VDL을 이용한 GRO-TDC는 일반적인 게이티드 링 오실레이터 시간-디지털 변환기(GRO-TDC)[1]와 다르게 게이티드 링 오실레이터(GRO)에 버니어 지연단(VDL)을 사용하여 보다 고해상도의 다중 위상을 얻을 수 있었다. 다중 경로 게이티드 링 오실레이터(Multi-Path GRO)구조[2]와 전체 구조는 유사하지만, 오실레이터를 단일 경로의 게이티드 링 오실레이터와 버니어 지연단을 조합한 구조로서 구성 된다.

전체 회로는 버니어 지연단(VDL)을 이용한 게이티드 링 오실레이터(GRO), Enable 신호 발생 회로, 카운터와 덧셈기, 카운터 클록 지연 회로, 레지스터로 구성되어 있다.

고해상도 시간-디지털 변환기(TDC)를 설계하기 위해서는 게이티드 링 오실레이터(GRO)의 스테이지 간 지연 시간을 줄이는 것이 필수적이다. 하지만 기본적인 삼상태(tri-state) 인버터를 사용하는 경우, 지연 시간을 줄이는 것은 한계가 있고, 고해상도를 얻는 것 역시 어렵다. 그 때문에 제한된 스테이지에서 보다 작은 지연 시간을 갖는 다중 위상을 만들어내기 위하여 버니어 지연단(VDL)구조를 이용하였다[5~6]. 카운터는 비동기식 카운터를 사용하였고, 카운터의 출력에 레지스터를 사용함으로써, 불필요한 덧셈 연산을 제거하여 파워 소모를 비교적 적게 하였다. 카운터 클록 지연 회로는 카운팅 에러 문제를 해결하기 위해서 사용하였다[4].

2. 동작원리

제안하는 버니어 지연단(VDL)을 이용한 게이티드 링

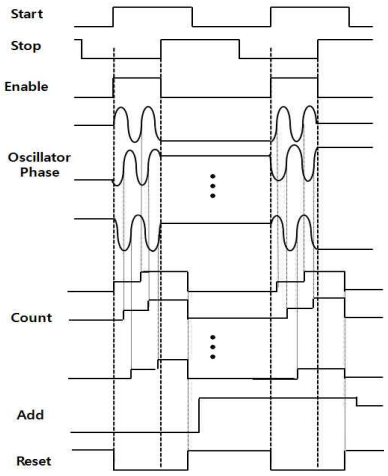


그림 2. 제안한 VDL을 이용한 GRO-TDC의 동작 파형
Fig. 2. Operation waveform of GRO-TDC using VDL.

오실레이터 시간-디지털 변환기(GRO-TDC)의 전체 구조와 동작 원리는 기존의 구조와 유사하다. 일반적인 게이티드 링 오실레이터 시간-디지털 변환기(GRO-TDC)와 다른 점은 게이티드 링 오실레이터(GRO)에 버니어 지연단(VDL)을 사용하여 보다 고해상도의 다중 위상을 얻었다는 점이다.

그림 2는 제안한 버니어 지연단(VDL)을 이용한 시간-디지털 변환기(TDC)의 동작을 보여준다. Enable 신호 발생 회로에서 스타트(Start)와 스톱(Stop) 두 신호를 받아 Enable 신호를 만들어서 게이티드 링 오실레이터(GRO)에 제공하고, 다른 디지털 회로에 리셋(Reset)과 클록(Clock) 신호를 제공한다. Enable 신호 발생회로는 카운팅 에러 문제를 방지하기 위하여 최대 Enable 신호를 스타트(Start) 신호 주기의 반으로 제한한다. Enable 신호가 '1'인 구간에서 게이티드 링 오실레이터(GRO)가 발진을 하게 되고, 총 21개의 출력 위상을 이용하여 각 출력 노드에 연결되어 있는 카운터는 상승 에지의 수를 카운팅하게 된다. 불필요한 덧셈 연산을 없애기 위해 카운터 레지스터를 사용하였고, 리셋(Reset) 신호가 '1'이 되는 경우에만 덧셈 연산을 하게 된다. 이후 출력 레지스터를 통해 최종 출력을 얻게 된다.

3. 개별 블록 구조

가. Enable 신호 발생기

버니어 지연단(VDL)을 이용한 게이티드 링 오실레이터 시간-디지털 변환기(GRO-TDC)에서 Enable 신호는 스타트(Start)와 스톱(Stop) 신호의 위상 차이를 나타낸다. Enable 신호 발생기는 스타트(Start)와 스톱(Stop)

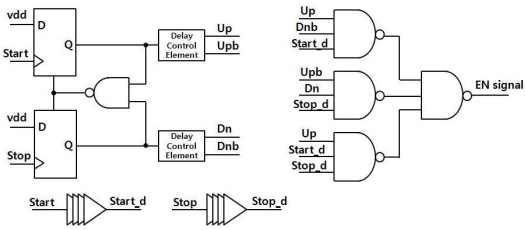
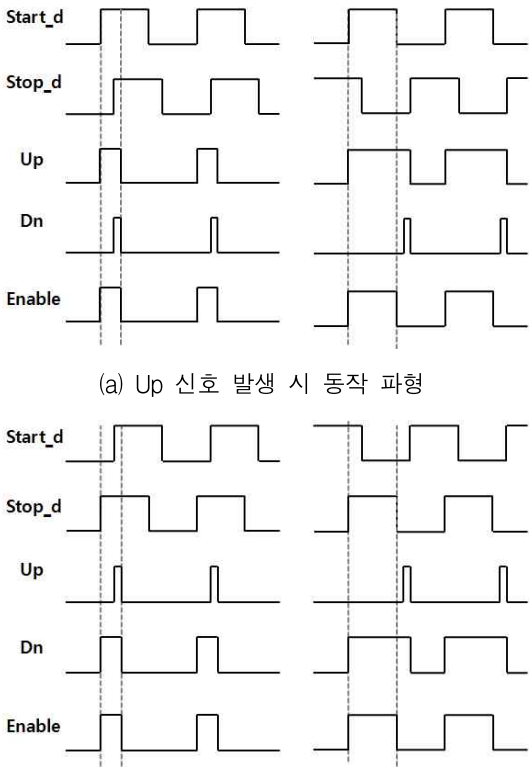


그림 3. Enable 신호 발생기
Fig. 3. Enable signal generator.



(a) Up 신호 발생 시 동작 파형

(b) Dn 신호 발생 시 동작 파형

그림 4. Enable 신호 발생기의 동작 파형
Fig. 4. Operation waveform of Enable signal generator.

신호를 비교하여 그 위상 차이를 이용하여 Enable 신호를 생성하여 버니어 지연단(VDL)을 이용한 게이티드 링 오실레이터(GRO)에 공급하고, 다른 디지털 블록에 클록과 리셋 신호로 사용된다.

버니어 지연단(VDL)을 이용한 게이티드 링 오실레이터(GRO)에서는 출력 위상을 카운팅한 후, 덧셈 연산을 통해 최종 출력 값이 나오기까지 일정 시간 지연이 발생하게 된다. 스타트(Start)와 스톱(Stop) 신호의 위상 차이가 클 때 Enable 신호의 '0'인 구간이 짧아져 게이티드 링 오실레이터(GRO) 이후의 디지털 블록의 연산에 필요한 시간보다 작아지는 경우, 출력에서 에러가 발생하게 된다. 그러한 이유로 Enable 신호 발생기는 최대 Enable 신호의 크기를 제한함으로써 디지털 블록

의 연산에 필요한 시간을 보장할 수 있게 된다[4]. 구체적인 회로도는 그림 3에 상세하게 나타내었다.

위상-주파수 검출기(PFD)에서 나오는 최초 Up과 Dn 신호를 지연 제어 회로를 이용하여 Up과 Upb, Dn과 Dnb 신호의 지연 시간의 미스매치가 발생하지 않도록 하였으며 회로의 동작은 그림 4를 통하여 확인할 수 있다.

나. 버니어 지연단을 이용한 게이티드 링 오실레이터

게이티드 링 오실레이터 시간-디지털 변환기(GRO-TDC)는 구조 자체에서 발생하는 고유한 특성인 1차 노이즈 쉐이핑 특성을 가지고 있다. 이러한 특성 때문에 버니어 지연단(VDL)의 지연셀의 지연 시간 미스매치로 인한 에러가 전체적인 회로의 성능에 크게 영향을 미치지 못한다. 게이티드 링 오실레이터(GRO)에 추가의 보정회로 없이 버니어 지연단(VDL)을 적용하더라도 전체 회로의 성능에 큰 문제가 발생하지 않게 된다.

게이티드 링 오실레이터(GRO)의 출력 위상과 버니어 지연단(VDL)을 이용하여 단일 게이티드 링 오실레이터(GRO)의 출력 위상보다 작은 지연 시간을 가지는 다중 위상을 만들어내는 게이티드 링 오실레이터(GRO)를 설계하였다. 전체 회로는 게이티드 링 오실레이터(GRO)에 사용되는 주 지연셀과 버니어 지연단(VDL)을 구성하는 부 지연셀로 구성되어 있다. 게이티드 링 오실레이터(GRO)에 사용되는 주 지연셀은 그림 5(a)와 같이 기본적인 삼상태(Tri-state) 인버터를 사용하였고, 전체 7단으로 구성되어 있다. 버니어 지연단(VDL)은 3단을 사용하였으며 그림 5(b)와 같이 인버터 2개를 사용하여 버퍼로 구성하였다.

부 지연셀은 지연 시간을 100ps로 설계하여 3단을 사용, 7개의 주 지연셀의 출력 라인으로부터 구동시킨다. 그 결과, 부 지연셀의 각 출력은 게이티드 링 오실레이터(GRO) 전체 주기의 1/21 간격의 다중 위상을 21개 만들어낸다. 그림 6은 제안한 버니어 지연단(VDL)을 이용한 게이티드 링 오실레이터(GRO)의 회로도를 보여준다.

게이티드 링 오실레이터(GRO)의 출력 위상과 버니어 지연단(VDL)을 이용하여 동일한 지연 시간을 가지는 다중 위상을 생성하는 방법은 다음과 같다.

첫 번째로 게이티드 링 오실레이터(GRO)의 출력 위상 개수는 N개, 그 전체 주기를 T라고 하면, 스테이지 간 지연 시간은 다음과 같다.

$$Delay/GRO's\ stage = \frac{T}{N} \tag{1}$$

그리고 게이티드 링 오실레이터(GRO)의 하나의 스테이지에 연결된 버니어 지연단(VDL)의 개수를 n이라 하면, 버니어 지연단(VDL)의 스테이지 간 지연 시간은 아래 식 (2)와 같다.

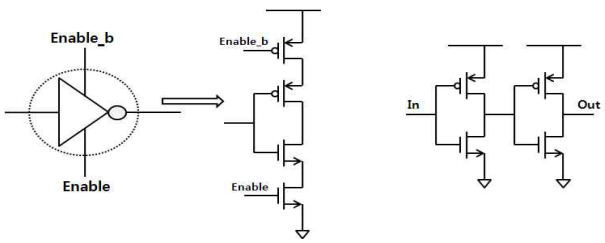
$$Delay/VDL's\ stage = \left(\frac{1}{N} + \frac{1}{N} \cdot \frac{1}{n}\right)T = \left(1 + \frac{1}{n}\right)\frac{T}{N} \tag{2}$$

따라서 버니어 지연단(VDL)의 지연시간이 게이티드 링 오실레이터(GRO)의 지연 값보다 약간 큰 값으로 지연된다.

최종적으로, 제안한 버니어 지연단(VDL)을 이용한 게이티드 링 오실레이터(GRO)의 해상도는 버니어 지연단(VDL)과 게이티드 링 오실레이터(GRO)의 지연의 차이로 결정이 된다. 식 (2)와 식 (1)의 차이를 구하면 아래의 식(3)과 같다.

$$\begin{aligned} &GRO's\ resolution \\ &= delay/VDL's\ stage - delay/GRO's\ stage \\ &= (1 + \frac{1}{n})\frac{T}{N} - \frac{T}{N} = \frac{T}{n \cdot N} \end{aligned} \tag{3}$$

따라서 최종 지연 해상도를 게이티드 링 오실레이터(GRO)의 1/n의 값으로 낮출 수 있다.



(a) 주 지연셀 (b) 부 지연셀

그림 5. 주 지연셀과 부 지연셀
Fig. 5. Main-delay cell and sub-delay cell.

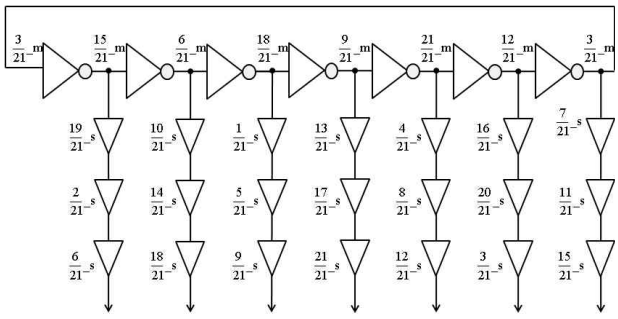


그림 6. 제안한 VDL을 이용한 GRO
Fig. 6. Proposed GRO using VDL.

다. 비동기식 카운터

그림 7은 게이티드 링 오실레이터 시간-디지털 변환기의 N 비트 비동기식 카운터를 보여준다. N 비트 비동기식 카운터는 N개의 D-플립플롭을 사용하여 구현이 가능하다. 본 논문에서 사용한 게이티드 링 오실레이터의 발진 주파수는 2GHz정도의 고속이기 때문에 비동기식 카운터를 사용하였고 카운터의 출력에 레지스터를 사용함으로써 값을 저장하게 된다.

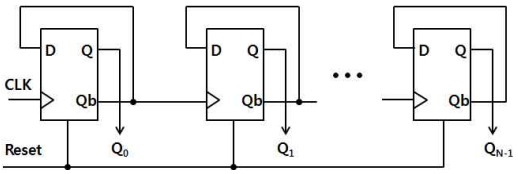


그림 7. N 비트 비동기식 카운터
Fig. 7. N-bit asynchronous counter.

Ⅲ. 측정 결과 및 분석

본 논문에서는 버니어 지연단을 사용한 8bit 게이티드 링 오실레이터 시간-디지털 변환기 설계 및 구현하고 시간-디지털 변환기의 성능을 파악 및 분석을 하였다.

그림 8은 시간-디지털 변환기의 성능측정을 위한 실험 구성도이다. 스타트(start)신호는 기준 클록에 해당하고 스톱(stop)신호는 VCDL(voltage controled delay loop)로부터 위상이 지연된 신호로서 시간-디지털 변환기에서 스타트(start)신호와 스톱(stop)신호를 통해 위상 비교를 가능하게 한다.

그림 9는 0.13um CMOS공정으로 제작된 시간-디지털 변환기의 칩 사진을 나타낸다. 레이아웃은 버니어 지연단을 사용한 게이티드 링 오실레이터를 테스트하기 위한 테스트 블록과 버니어 지연단을 이용한 8bit 게이티드 링 오실레이터 시간-디지털 변환기 코어로 구성되어 있고 코어 사이즈는 390*190um이다.

성능 측정은 기준 클록으로서 100MHz의 스타트

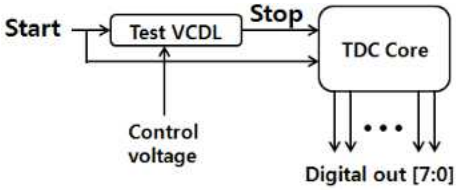


그림 8. 제안된 GRO-TDC의 측정 환경
Fig. 8. Measurement environment of the proposed GRO-TDC.

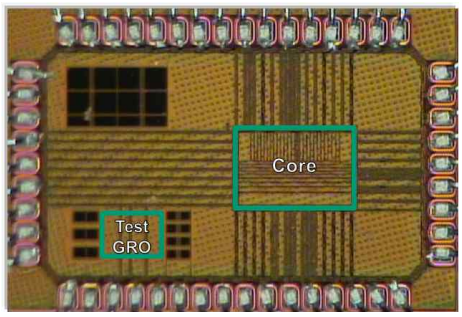


그림 9. 제안된 GRO-TDC의 칩 사진
Fig. 9. Chip micrograph of the proposed GRO-TDC.

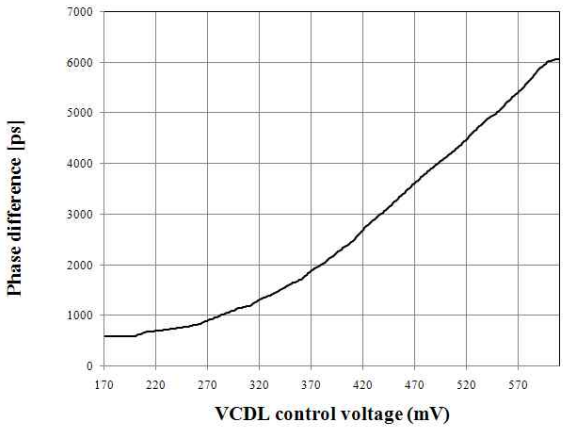
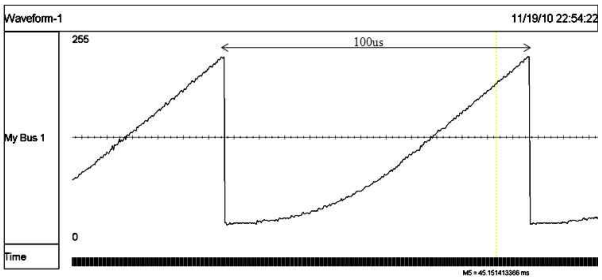


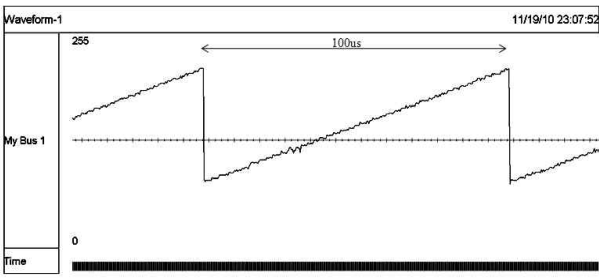
그림 10. Test 목적의 VCDL의 컨트롤 전압에 따른 위상 지연
Fig. 10. Phase delay controlled by control voltage in test VCDL.

(start)신호를 인가하여 VCDL의 컨트롤 전압에 따라 스톱(stop)신호의 위상을 변화시켜 TDC코어에서 스타트(start)와 스톱(stop)신호의 위상 차이에 따른 8bit 디지털 결과 값을 얻어 성능 측정을 하였다. VCDL의 컨트롤 전압이 150mV에서 600mV일 때의 VCDL의 이득 곡선은 그림 10과 같고, VCDL의 컨트롤 전압이 380mV로부터 580mV사이에서 선형적으로 위상이 변화하는 것을 측정하였다.

그림 11 (a)는 VCDL의 컨트롤 전압을 150mV~600mV로 10KHz의 주기로 인가했을 때, 버니어 지연단을 사용한 게이티드 링 오실레이터 시간-디지털 변환기에서 8비트의 디지털 값을 로직 애널라이저를 통해 추출한 결과를 나타내며, 이때 스타트(start)와 스톱(stop)신호의 위상차는 595ps~6215ps이며 TDC의 결과는 23~241(10)의 결과를 얻었다. VCDL의 비선형적인 특징에 의하여 시간-디지털 변환기의 출력이 그림 10의 VCDL의 비선형적인 특성을 따라가는 것을 보여주고 있다. 그림 11 (b)는 VCDL의 컨트롤 전압을 10KHz의



(a) 컨트롤 전압 150mV~600mV(595ps~6215ps)



(b) 컨트롤 전압 380mV~580mV(2500ps~6050ps)

그림 11 VCDL의 컨트롤 전압에 따른 위상 지연
Fig. 11. Phase delay controlled by control voltage in VCDL.

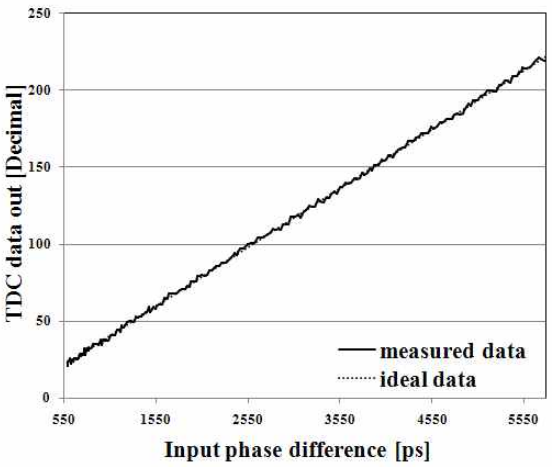


그림 12. 시간 디지털 변환기 결과의 선형특성
Fig. 12. linear behavior for TDC outputs.

주기로 380~580mV의 삼각파을 인가했을 때를 보여주며 77~214(10)의 선형적인 디지털 값이 출력되는 것을 보여주고 있다.

VCDL의 컨트롤 전압을 380mV~580mV로 삼각파를 인가했을 때의 측정된 위상은 2000ps~5550ps며, 시간 디지털 변환기의 디지털 값은 77~214의 값을 얻을 수 있었다. 시간 디지털 변환기의 디지털 값에 대한 위상의 기울기를 계산하면 시간-디지털 변환기의 해상도는 약 26ps를 확인할 수 있다.

그림 12는 시간 디지털 변환기의 해상도가 26ps이고, start와 stop신호의 위상차이가 595ps~6515ps일 때의 위상차에 대한 시간 디지털 변환기의 결과에 대한 그래프이다. 해상도가 26ps일 때 예상되는 예측 값과 측정 값이 일치되는 것을 보여준다.

측정된 데이터를 통하여 버니어 지연단을 사용한 게이티드 링 오실레이터 시간-디지털 변환기는 약 5ns의 최대 위상차 검출 가능이 확인 되었다.

설계된 시간 디지털 변환기의 위상 차이에 대한 정적 성능을 나타내는 DNL과, INL은 시간 디지털 변환기의 8bit 출력의 결과를 수집하여 구하였다. 제안된 시간 디지털 변환기의 DNL은 +46ps(1.77LSB)/-50ps(1.92LSB), INL은 +38ps(1.46LSB)/-35ps(1.35LSB)를 나타내었다.

표 1. 제안한 VDL을 이용한 GRO-TDC의 성능 요약
Table 1. Performance summary of proposed GRO-TDC.

	Performance
Technology	0.13μm CMOS Process
Power Supply	1.2 V
Output	8-bits
Phase Detection Range	5 ns
Maximum Input Frequency	100 MHz
Resolution	26 ps
Power Consumption	8.4 ~ 12.7 mW

Ⅲ. 결 론

본 논문에서는 전-디지털 위상 고정 루프(All-Digital PLL)를 구성하는 핵심 블록인 시간-디지털 변환기(TDC)를 제안하고 설계하였다. 제안한 구조는 버니어 지연단(VDL)을 사용한 게이티드 링 오실레이터(GRO)를 제안하고 그것을 기반으로 설계한 시간-디지털 변환기(TDC) 회로를 제안하였다. 기존의 게이티드 링 오실레이터(GRO)에 버니어 지연단(VDL)을 사용함으로써 기본적인 게이티드 링 오실레이터(GRO)보다 작은 위상 차이를 갖는 다중 위상을 만들어내어 고해상도를 얻을 수 있었다. 제안한 시간-디지털 변환기(TDC)의 최대 입력 주파수는 100MHz이고, 해상도는 26ps로 측정되었으며, 출력은 8-비트이며, 검출이 가능한 최대 위상 차이는 5ns의 위상 차이까지 검출이 가능하였다. 총 블록 사이즈는 390x190um이며 카운터 및 덧셈 블록이 390x141um을 차지하여 많은 영역을 차지하였다.

참 고 문 헌

[1] B. M. Helal, M. Z. Straayer, G. Y. Wei and M. H. Perrott, "A Highly Digital MDLL-Based Clock Multiplier That Leverages a Self-Scrambling Time-to-Digital Converter to Achieve Subpicosecond Jitter Performance," IEEE Journal of Solid-State Circuits, vol. 43, no. 4, pp. 855-863, Apr. 2008.

[2] M. Z. Straayer and M. H. Perrott, "A Multi-Path Gated Ring Oscillator TDC With First-Order Noise Shaping," IEEE Journal of Solid-State Circuits, vol. 44, no. 4, pp. 1089-1098, Apr. 2009

[3] J. Rogers, C. Plett, F. Dai, "Integrated Circuit Design for High-Speed Frequency Synthesis," Artech House. 2007.

[4] Hwang Kyu-dong, "An Area Efficient Asynchronous Gated-Ring Oscillator Time-to-Digital Converter," M.S, Electric Engneering, KAIST, Feb. 2009.

[5] Ramakrishnan V. and Balsara P.T., "A Wide-Range, High-Resolution, Compact, CMOS Time-to-Digital Converter," VLSI Design 2006, pp. 6, Jan. 2006.

[6] Li G.H., and Chou H.P., "A High Resolution Time-to-Digital Converter using Two-level Vernier Delay Line Technique," Nuclear Science Symposium Conference Record, 2007. IEEE, vol. 1, pp. 276-280, Oct. 2007.

[7] R. B. Staszewski, S. Vemulapalli, P. Vallur, J. Wallberg, and P. T. Balsara, "1.3V 20 ps Time-to-Digital Converter for Frequency Synthesis in 90-nm CMOS," IEEE Trans. Circuits Syst. II, Expr. Briefs, vol. 53, no. 3, pp. 220-224, Mar. 2006.

[8] T.E. Rahkonen and J. T. Kostamovaara, "The use of stabilized CMOS Delay Lines for the Digitization of Short Time Intervals," IEEE J. Solid-State Circuits, vol. 28, no. 8, pp. 887-894, Aug. 1993.

[9] P. Chen, S. I. Liu, and J. Wu, "A CMOS Pulse-shrinking Delay Element for Time Interval Measurement," IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process., vol. 47, no. 9, pp. 954-958, Sep. 2000.

[10] M.J. Lee, and A. Abidi, "A 9b, 1.25ps Resolution Coarse-Fine Time-to-Digital Converter in 90nm CMOS that Amplified a Time Residue," IEEE Journal of Solid-State Circuits, vol. 43, no. 4, pp. 769-777, Apr. 2008.

저 자 소 개

진 현 배(학생회원)
2009년 인하대학교 전자공학과 학사 졸업.
2009년~현재 인하대학교 전자공학과 석사과정.
<주관심분야 : 고속 인터페이스 회로 설계>

김 태 호(학생회원)
2007년 인하대학교 전자공학과 학사 졸업.
2009년 인하대학교 전자공학과 석사 졸업.
2010년~현재 인하대학교 전자공학과 박사과정 .
<주관심분야 : 고속 CMOS 회로설계, Mixed IC 설계, PLL/DLL/CDR, High Speed Interface IC, Display IC>

박 형 민(학생회원)
2009년 인하대학교 전자공학과 학사 졸업.
2009년~현재 인하대학교 전자공학과 석사과정.
<주관심분야 : 아날로그/디지털 VLSI 설계, PLL, DLL, SSCG 설계>

강 진 구(정회원)
1983년 서울대학교 학사 졸업
1990년 New Jersey Institute of Technology 전기 및 컴퓨터 공학 석사 졸업
1996년 North Carolina State University 전기 및 컴퓨터공학 박사 졸업
1983년~1988년 삼성전자(반도체)
1996년~1997년 미국 INTEL Senior Design Engineer
1997년~현재 인하대학교 전자공학부 교수
<주관심분야 : 고속 CMOS 회로설계, Mixed IC 설계, PLL/DLL/CDR, High Speed Interface IC, Display IC >