

논문 2011-48SD-2-4

저전력 Single-Slope ADC를 사용한 CMOS 이미지 센서의 설계

(Design of a CMOS Image Sensor Based on a Low Power Single-Slope ADC)

권혁빈**, 김대윤*, 송민규**

(Hyuk-Bin Kwon, Dae-Yun Kim, and Min-Kyu Song)

요약

모바일 기기에 장착되는 CMOS 이미지 센서(CIS) 칩은 배터리 용량의 한계로 인해 저전력 소모를 요구한다. 본 논문에서는 전력소모를 줄일 수 있는 데이터 플립플롭 회로와 새로운 저전력 구조의 Single-Slope A/D Converter(SS-ADC)를 사용한 이미지 센서를 설계하여 모바일 기기에 사용되는 CIS 칩의 전력 소모를 감소시켰다. 제안하는 CIS는 2.25 μ m \times 2.25 μ m 면적을 갖는 4-Tr Active Pixel Sensor 구조를 사용하여 QVGA(320 \times 240)급 해상도를 갖도록 설계되었으며 0.13 μ m CMOS 공정에서 설계되었다. 실험 결과, CIS 칩 내부의 SS-ADC는 10-b 해상도를 가지며, 동작속도는 16 frame/s를 만족하였고, 전원 전압 3.3V(아날로그)/1.8V(Digital)에서 25mW의 전력 소모를 보였다. 측정결과로부터 제안된 CIS 칩은 기존 CIS 칩에 비해 대기시간 동안 약 22%, 동작시간 동안 약 20%의 전력이 감소되었다.

Abstract

A CMOS Image Sensor(CIS) mounted on mobile appliances always needs a low power consumption because of the battery life cycle. In this paper, we propose novel power reduction techniques such as a data flip-flop circuit with leakage current elimination, a low power single slope A/D converter with a novel comparator, and etc. Based on 0.13 μ m CMOS process, the chip satisfies QVGA resolution(320 \times 240 pixels) whose pitch is 2.25 μ m and whose structure is 4-Tr active pixel sensor. From the experimental results, the ADC in the middle of CIS has a 10-b resolution, the operating speed of CIS is 16 frame/s, and the power dissipation is 25mW at 3.3V(Analog)/1.8V(Digital) power supply. When we compare the proposed CIS with conventional ones, the power consumption is reduced approximately by 22% in sleep mode, 20% in operating mode.

Keywords: CMOS Image Sensor, mobile appliances, data flip-flop, Single-slope analog-to-digital converter, QVGA resolution

I. 서론

정보화 사회에 있어서 화상정보는 생활, 산업 등 다양한 분야에서 사용되어 지고 있다. 특히 생활수준이

점점 향상 되면서 화상정보를 이용한 제품의 수요가 많아지게 됨에 따라, 국가 경제에 영향을 줄 정도의 큰 시장을 형성하고 있다. 이러한 화상정보 처리를 위해서는 피사체의 아날로그 신호를 디지털 신호로 변환하기 위한 이미지 센서가 필요하며, 디지털 카메라, 방송용 장비, 바코드 리더기, 의료용 장비, 모바일 기기 등 적용분야에 따라 이미지 센서의 요구 성능과 특성이 달라진다^[1~4]. 이 중 모바일 기기의 경우 제품 특성상 동작 시간 향상을 위한 저전력 설계가 매우 중요하다. 따라서 본 연구에서는 모바일 기기의 동작 시간 향상을 위한 저전

* 학생회원, ** 정회원, 동국대학교 반도체과학과
(Dept. of Semiconductor Science, Dongguk Univ.)

※ 본 논문은 연세대학교 IFC(Image Frontier Center) 센터장인 한건희 교수님의 도움과 삼성전자 CIS 0.13 μ m 공정으로 수행되었습니다. 도움에 깊은 감사드립니다.

접수일자: 2010년11월9일, 수정완료일: 2011년1월18일

력 CMOS 이미지 센서(CIS)를 0.13um CMOS 공정을 사용하여 설계하였다. 설계된 CIS는 320×240 (QVGA 급, 76,800화소)의 해상도를 만족하며, 데이터 변환을 위한 Single-Slope ADC(SS-ADC)가 픽셀의 컬럼을 따라 배치되어 있는 컬럼 ADC 구조를 사용하였다. 현재 연구되어 지고 있는 CIS의 경우 평균 80mW정도의 전력 소모를 보이고 있다(최소 30mW, 최대 175mW)^[5~6]. 물론 저전력 픽셀을 사용하거나 컬럼의 수를 줄이는 등의 구조적으로 극단적인 방법을 선택하여 매우 낮은 전력 소모를 보이는 이미지 센서도 연구가 되고 있지만, 이 경우 노이즈 문제로 인한 화질 열화 현상이 발생할 수 있다. 따라서 본 연구에서는 제안하는 전력 소모 기법을 이용하여 활동전력 감소와 함께 대기전력까지 감소시킴으로써 이미지 센서의 전력 소모를 최소화하여 모바일 기기의 동작시간을 연장시키고자 하였다. 또한 이미지의 품질을 하락 시키는 주요 원인인 고정 패턴 잡음을 억제하기 위한 Correlated Double Sampling (CDS) 회로와 함께 4Tr 구조의 픽셀을 사용하여 낮은 전력 소모에서도 고품질의 이미지를 얻고자 하였다. 본

논문의 기술순서는 다음과 같다. II장에서는 설계된 CIS의 전체구조 및 설계기법에 대해 설명하고 III장에서 측정과정과, 그 결과를 기술하고 IV장에서 결론을 맺는다.

II. CMOS 이미지 센서의 설계

1. 제안하는 CMOS 이미지 센서의 구조

그림 1은 제안하는 CIS의 전체 블록 다이어그램이다. 컬럼 구조의 CIS는 크게 픽셀, 컬럼 ADC, 디지털 제어 블록으로 나뉘어진다. 픽셀은 빛을 전압으로 바꾸어 주는 역할을 하며, 픽셀에서 처리된 전압을 ADC에서 디지털 신호로 변환을 한다. 디지털 제어 블록은 픽셀, ADC, 출력 인터페이스를 제어하는 역할을 하게 된다. 본 연구에서는 노이즈 측면에서 큰 장점이 있는 2.25um×2.25um 4Tr APS를 이용하고 아날로그 CDS를 포함한 10-bit SS-ADC를 설계하여 이미지 센서를 구현하였다. 또한 저전력을 위해 디지털 블록의 최적화와 함께 낮은 전력 소모를 위한 기법을 도입하였다

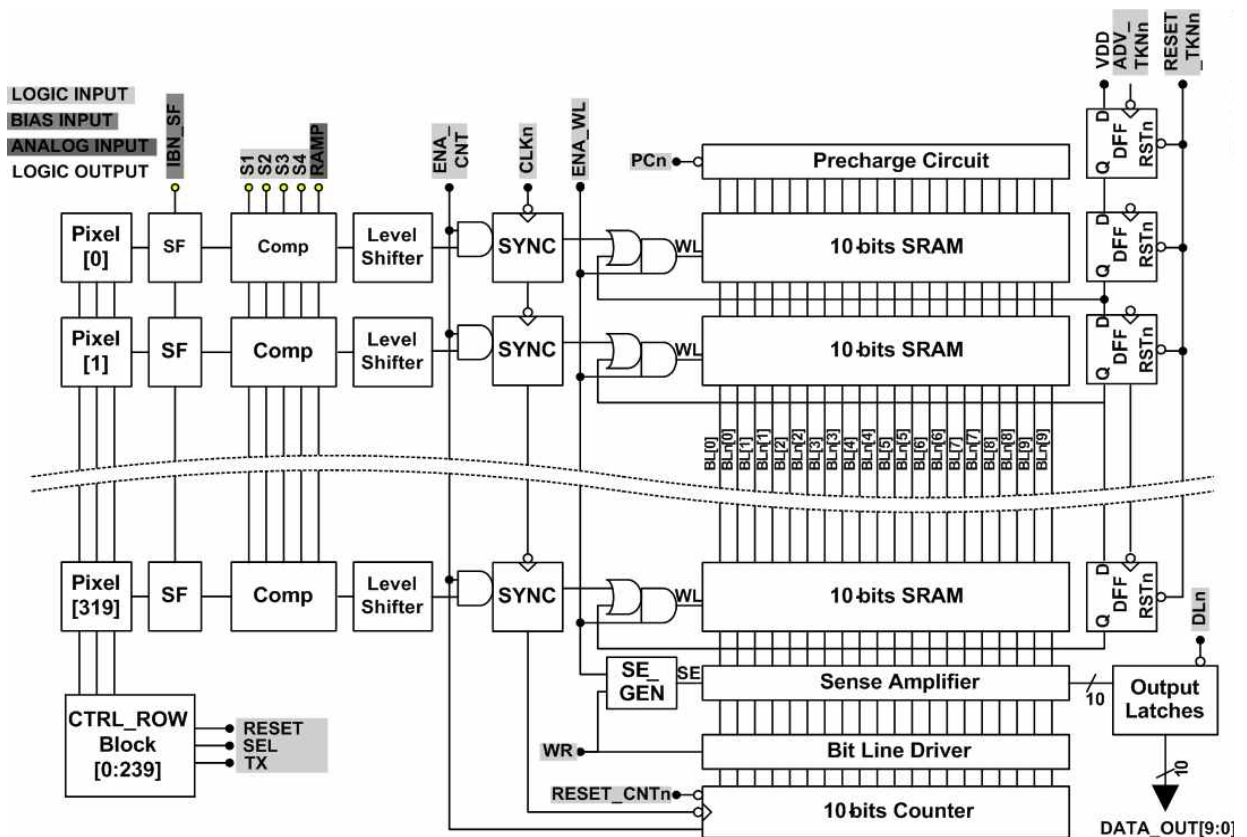


그림 1. CMOS 이미지 센서 블록 다이어그램
Fig. 1. Block diagram of CMOS image sensor.

2. 저전력 CMOS 이미지 센서의 설계

가. 컬럼 ADC의 설계

컬럼 ADC는 작은 컬럼 피치 안에 ADC가 배치되기 때문에 많은 공간적 제약을 받는다. 따라서 MOS 트랜지스터의 크기는 가능한 작은 사이즈를 가져야 하며, ADC의 구조 또한 간단한 것이 유리하다. 따라서 본 연구에서 제작된 CIS에는 위 요건에 부합하는 SS-ADC를 적용하였으며, 설계된 SS-ADC는 10-bit 해상도를 갖도록 하여 CIS에서 1024의 그레이 레벨 표현이 가능하도록 하였다.

SS-ADC는 그림 2와 같은 간단한 타이밍을 따라 A/D 변환 과정을 수행한다. 입력 전압과 시간에 따라 일정하게 증가하는 램프신호와의 비교를 통해 그 비교 값을 메모리에 전달하게 되고, 이 비교 시점의 값은 메모리의 저장 타이밍을 결정하는데 사용된다. 따라서 비교가 일어나는 타이밍과 동시에 입력되는 카운터 값을 메모리에 저장시킴으로써 A/D 변환 과정이 완료된다.

이러한 SS-ADC가 적용된 컬럼 구조의 CIS는 많은 픽셀로 구성되어 있기 때문에, 공정 오차에 의한 부정합 및 기생 성분들에 의해 픽셀간의 불 균일 특성이 발생 할 수 있다. 이러한 불 균일 특성은 같은 빛에 대한 결과를 다른 전압으로 ADC에 전달하기 때문에 픽셀 고정 패턴 잡음이 발생하게 하는 원인이 된다. 따라서 이를 보정하기 위한 회로가 필요하게 되며^[7~9], 이는 아날로그 CDS 회로를 적용함으로써 구현이 가능하다. 또한 픽셀 고정 패턴 잡음 뿐 만 아니라 각 ADC간의 불 균일 특성 의해 발생하는 컬럼 고정 패턴 잡음을 제거하기 위해, 오프셋 제거 비교기를 직렬 연결하여 낮은 전력 소모에서도 큰 이득을 얻을 수 있는 방법을 사용 하였다^[10].

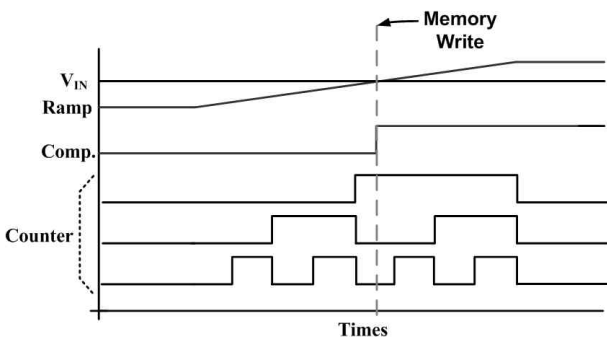


그림 2. Single-slope ADC 동작 타이밍 다이어그램
Fig. 2. Timing diagram of single-slope ADC.

나. 전력 소모 감소 기법

모바일 기기에 적합한 CIS의 설계는 기본적으로 낮은 전력 소모를 바탕으로 설계 되어야 한다. 아날로그 블록과 디지털 블록의 주요 전력 소모 발생의 원인이 다르기 때문에 본 논문에서는 이를 고려하여 각각의 블록 특성에 맞는 전력 감소 기법을 도입하였다. 또한 실제 적용 제품의 대기시간과 동작시간에 대한 상황도 함께 고려하여 보다 모바일 기기에 최적화된 이미지 센서를 구현하고자 하였다.

(1) 대기시간에서의 전력 소모 감소 기법

기본적으로 대기시간에서의 전력 소모는 대기 상황 설정을 위한 회로를 제외하고는 0에 가까워야 한다. 아날로그 블록에서의 전력 소모의 주요 원인은 정적 전류에 의한 정적 전력(Static Power)소모이다. 따라서 대기 시간에서의 아날로그 블록의 전력은 바이어스 모스를 차단시키는 방법으로 쉽게 억제 가능하며, 디지털 블록의 경우 대다수의 전력 소모가 동적 전력(Dynamic Power)과 단락 전류에 의한 전력 소모(Short Circuit Power)로 발생하므로 입력 clock을 차단시킴으로써 대기 시간에서의 디지털 블록의 전력 소모를 억제시킬 수 있다. 하지만 그림 3과 같이 공정의 발달로 인한 문턱 전압의 감소는 드레인-소스 전압의 증가를 유도하여 기존의 공정에 비해 많은 누설전류를 발생시키게 되고, 이는 모바일 기기의 대기 시간 동안 발생하는 전력 소모에 영향을 미친다^[11]. 따라서 본 연구에서는 대기 시간에 아날로그 블록의 파워를 차단함과 동시에 디지털 블록의 누설전류를 최소화 하고자 하였다. 일반적으로 누설 전류를 차단하기 위한 수단으로는 근본적인 파워를 차단시키거나, 문턱전압을 강제로 올려 주는 방법을 생

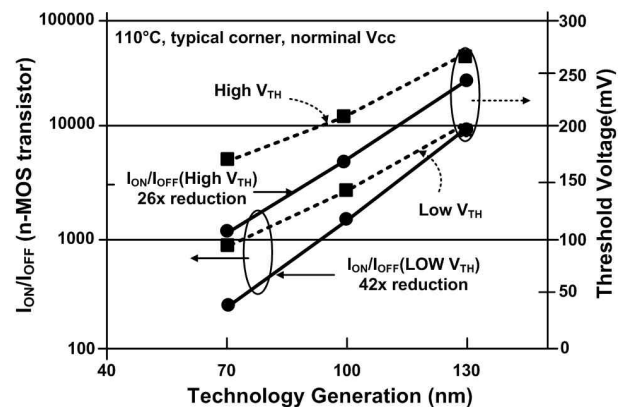


그림 3. 미세 공정에 따른 누설 전류의 증가^[11]
Fig. 3. Effectiveness and scaling trends of leakage^[11].

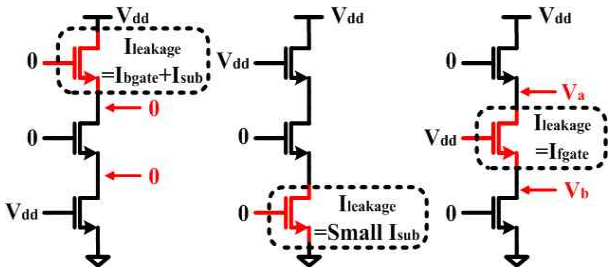


그림 4. 적층 구조의 모스 입력에 따른 누설 전류 발생^[12]

Fig. 4. Reduction technique for scaled CMOS logic circuits considering gate-leakage^[12].

각할 수 있다. 하지만 위 방법 같은 경우 트랜지스터 추가로 인한 면적 증가, 속도 저하, 스위치에 의한 전압 차단에 의한 동작 전압의 불안정, 문턱전압이 다른 트랜지스터의 추가로 인한 공정비용 상승과 같은 추가적인 문제점이 발생하게 된다.

따라서 본 연구에서는 drain induced barrier lowering (DIBL) 효과를 이용한 누설 전류 감소 기법을 이용하였다. 위 방법은 논리 게이트를 이루는 MOS 트랜지스터가 적층 구조를 이루면 V_{DS} (Drain-Source Voltage)가 감소하게 되어 결과적으로 누설 전류가 감소되는 방법이다. 따라서 그림 4와 같이 입력 값에 따라 각각의 누설 전류의 발생 정도가 다른 원리를 이용하여, 게이트에 적층 구조 효과에 의한 V_{DS} 가 가장 감소되었을 때의 값을 인가를 하게 되면 별다른 회로의 추가 없이 작은 누설 전력을 갖게 되는 회로를 설계할 수 있다^[12].

이러한 누설 전력을 최소화 할 수 있는 Minimum Leakage Vector(MLV)는 시스템의 복잡 정도에 따라 모의실험, 확률, integer linear programming 해석, pseudo-Boolean function 기법 등의 방법을 활용해 사용해 찾을 수 있다. 본 연구에서는 모의실험을 통해 각 입력에 대한 게이트들의 누설전력 값을 우선적으로 구한 이후에, 그 게이트들의 집합인 블록 회로들에 입력 값을 대입, 누설 전력 값을 계산하여 가장 낮은 누설 전력을 보이는 MLV를 구하였다. 또한 flip-flop 회로를 사용할 경우 이전 신호를 가지고 있는 메모리 역할을 하기 때문에 대기시간에 어떠한 정보 가지고 있을지 예측하기가 불가능 하다. 따라서 이 경우 계산을 통해 구한 MLV 값을 인가하더라도 예측과 다른 높은 누설 전력이 발생할 수 있다. 따라서 그림 5와 같이 MLV가 인가되는 시간 동안에 flip-flop 회로의 뒤에 AND(OR) 게이트를 배치하여 대기시간 동안에는 무조건 일정한

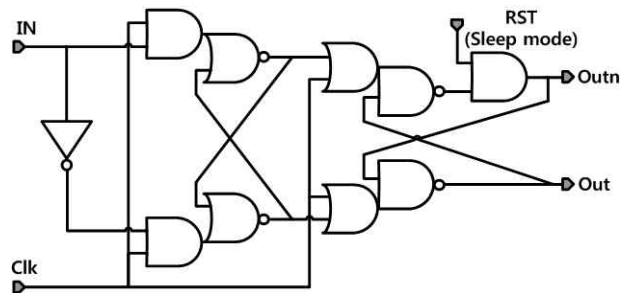


그림 5. 누설 전류 제거를 위한 DFF 회로 설계

Fig. 5. DFF circuit design to reduce leakage current.

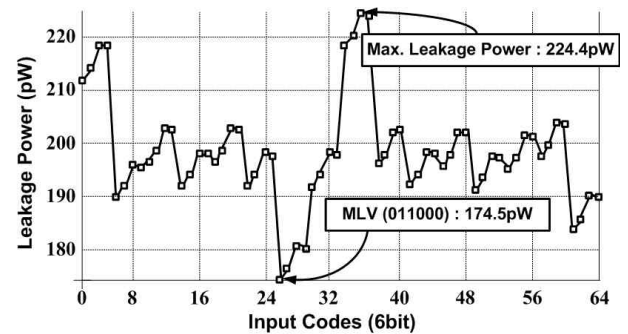


그림 6. 입력 값에 따른 누설 전력의 변화

Fig. 6. Leakage power of the input value changes.

값을 출력하도록 하여, 최소한의 누설전력이 발생 하도록 설계하였다^[13]. 모의실험 결과 계산된 MLV가 적용 되었을 때, 한 컬럼당 최대 22% 누설 전력 감소 효과가 있는 것을 확인할 수 있었다. 그림 6은 컬럼의 한 블록에 대하여 6bit의 입력 값에 대한 누설 전력 값을 표현한 그래프 이다. 입력 값이 011000일때 가장 작은 누설 전력을 보이는 것을 알 수 있다.

(2) 동작시간에서의 전력 소모 감소 기법

모바일 기기에서 이미지 센서가 동작을 시작하게 되면 SS-ADC는 픽셀에서의 전압을 받아 A/D 변환을 수행한다. 이미지 센서에 사용되는 SS-ADC의 경우 그 구조가 무척이나 간단하여 회로를 변경하여 전력 소모를 줄이기는 매우 어려우며, 디지털 블록의 경우에도 최적화를 통해 약간의 전력 감소를 기대할 수는 있지만 뚜렷한 해결책으로 보기는 어렵다. 따라서 본 연구에서는 동작시간에서의 전력 소비를 줄이기 위하여 두 가지 방향으로 접근하였다. 첫 번째는 이미지 센서의 작동과정 중에 발생하는 단락전류를 줄이고자 하였고, 두 번째는 비교기에서 비교를 한 이후에는 전원 공급을 끊어 불필요한 파워소비를 줄이는 것이다.

그림 7. (a)SS-ADC에 사용되는 비교기의 경우 고정 패턴 잡음을 제거하기 위한 아날로그 CDS 과정에서 비

교기의 오프셋을 저장하기 위해 스위치 sw3과 sw4를 켜는 시간이 존재한다. 하지만 이때 비교기의 출력은 로직 문턱 전압(logic threshold voltage)으로 고정되어 면서 그 값은 sw3, sw4가 닫혀있는 동안 지속적으로 뒤 단의 인버터로 인가된다. 인버터에 VDD나 GND가 아닌 로직 문턱 전압이 들어가기 때문에 인버터의 nMOS와 pMOS가 동시에 켜지면서 단락 전류를 생성하며, 이로 인해 전력 소모가 증가하게 된다. 따라서 이와 같은 현상을 막기 위하여 비교기와 그 뒤에 오는 인버터 사이에 그림 7. (b)와 같이 sw5를 추가하여 sw3, sw4가 닫혀 단락 전류가 발생할 시점에 VDD가 인가되도록 하여 단락 전류가 발생하는 것을 차단하였다. 또한 SS-ADC에서 비교를 한 이후의 비교기의 동작은 불필요한 전력 소비를 증가시킨다. 따라서 비교기의 비교신호를 이용하여 비교가 된 이후의 비교기 단의 바이어스 전압인 VP 전압이 VDD로 대체되어 비교기의 전원공급을 차단함과 동시에 비교기 뒷단의 인버터의 입력에 VDD를 연결시켜 비교기의 출력이 지속적으로 유지시켜주도록 설계되었다. 모의실험결과 이전과의 모든 동작이 동일하게 유지되면서 SS-ADC의 평균 전력 소모가 이전의 기본 구조에 비해 약 35%의 감소됨을 확인할 수 있었다. 또한 디지털 블록의 MOS 사이즈 조정과 버퍼를 통한 불필요한 단락 전류 생성 방지 및 clock 신호를 간소화 시켜 전체 이미지 센서의 평균 전력 소모를 약 20% 감소 시켰다.

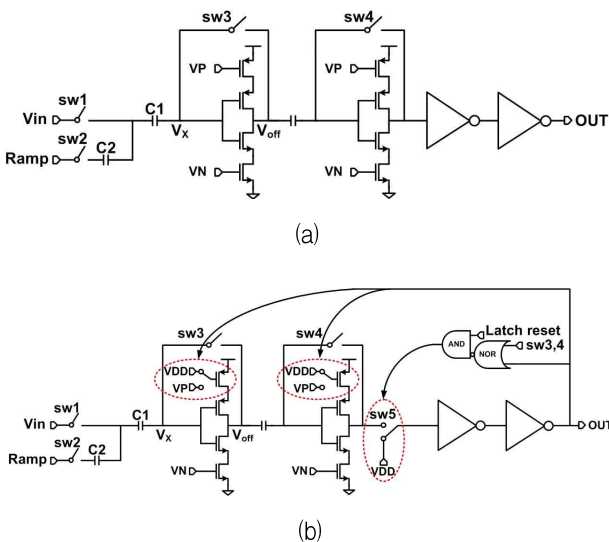


그림 7. 기존의 비교기와 제안하는 저전력 비교기 다이어그램 (a) 기존 비교기 (b) 제안하는 저전력 비교기
 Fig. 7. Diagram of comparator (a) conventional comparator (b) proposed low power comparator.

다. 레이아웃

본 논문의 CIS는 0.13um 공정에서 설계되었으며, 낮은 노이즈를 갖는 4Tr 구조의 APS (active pixel sensor)를 사용하였다. 픽셀의 사이즈는 2.25um×2.25um의 매우 작은 사이즈이기 때문에 짝수열의 픽셀은 왼쪽 ADC에서, 홀수열의 픽셀은 오른쪽 ADC에서 변환 과정을 수행하도록 하여, 컬럼의 피치를 4.5um로 늘려 회로의 지나친 축소로 인한 오작동 가능성을 배제하고자 하였다. 이후 고정 패턴 잡음을 예방하기 위해 모든 컬럼이 동일한 반복패턴을 갖도록 배치하였으며, 픽셀배치는 주변부의 픽셀 특성을 고르게 하기 위해 각각의 면에 6개씩의 더미 픽셀을 추가하여 실제 픽셀은 332×252로 배치하였다. 그림 8은 설계된 CIS의 전체 레이아웃 모습이며, 이미지 센서의 코어 면적은 2mm×1.5mm (3mm²)이며 칩 사이즈는 3mm×2.5mm (7.5mm²)이다.

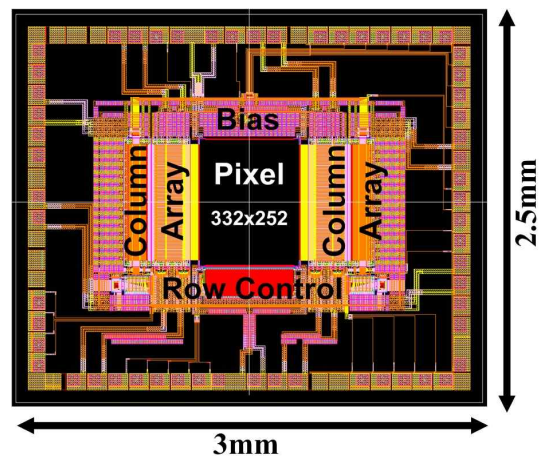


그림 8. 설계된 CMOS 이미지 센서 전체 레이아웃
 Fig. 8. Full layout of the designed CMOS image sensor.

III. 실험

그림 9는 제작된 CIS의 실제 칩 사진이다. 이미지 센서의 픽셀은 외부에 노출이 되어야 하기 때문에 패키징 과정을 거치지 않은 채로 PCB에 COB(Chip on Board) 된다.

그림 10은 COB과정이 완료된 실제 PCB의 모습이며, 이후 이미지 센서 칩 위에 피사체를 모아주기 위한 경통 및 렌즈를 추가적으로 장착하게 된다.

현재 설계된 CIS의 동작에는 서로 다른 타이밍을 갖는 여러 클럭 신호를 필요로 한다. 따라서 본 연구에서는 클럭 신호 생성을 위해 FPGA(field programmable

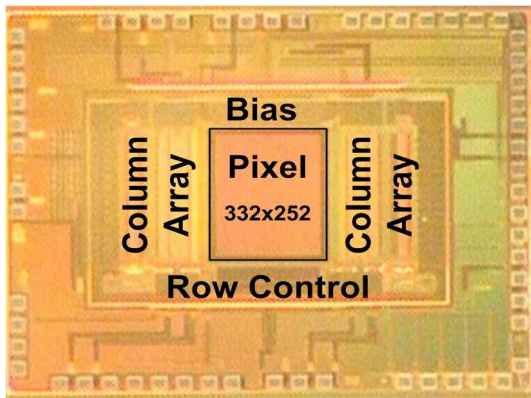


그림 9. 제작된 CMOS 이미지 센서 사진
Fig. 9. Microphotograph of the fabricated CIS.

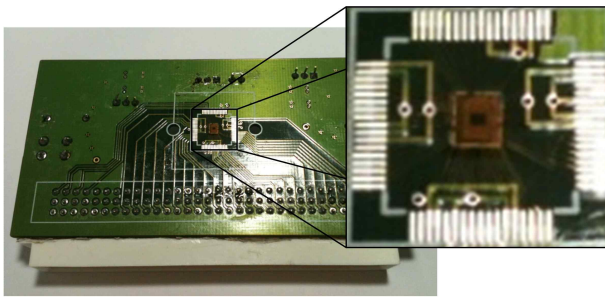


그림 10. COB된 CMOS 이미지 센서와 PCB
Fig. 10. COB CMOS image sensor and PCB.

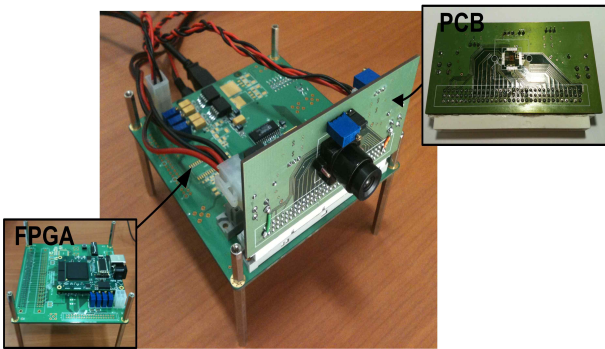


그림 11. 측정 준비가 완료된 PCB 구성
(FPGA + CMOS image sensor PCB)
Fig. 11. Ready to measure PCB configuration.
(FPGA + CMOS image sensor PCB)

gate array)를 사용하였다. 이와 같이 FPGA를 사용함에 따라 원활한 칩 측정이 가능하였으며, 클럭 신호의 타이밍 변경을 통해 설계된 CIS의 특성을 좀 더 정확히 파악할 수 있었다. 그림 11은 FPGA의 동작을 위해 구성된 마더보드와 제작된 CIS PCB를 결합한 모습이다. 이후 USB 인터페이스를 통해 컴퓨터에서 작업한 verilog 코딩을, FPGA에 전송하여 이미지 센서 작동에 필요한 디지털 신호를 생성하도록 하였다. 생성된 신호를 전달 받아 작동한 CIS에서의 출력 값은 다시 FPGA



(a)



(b)

그림 12. (a) 제작된 CMOS 이미지 센서 동작 결과
(b) 제작된 CMOS 이미지 센서로 촬영한 그레이 차트

Fig. 12. (a) CIS image obtained from the fabricated CIS.
(b) Gray chart image obtained from the fabricated CIS.

에 내장된 레지스터에 저장되며, 이 값을 컴퓨터에 전달하여 최종적으로 컴퓨터 모니터에 이미지가 구현되도록 측정환경을 구성하였다. 그림 12는 제작된 CIS로 촬영한 곰 인형과 그레이 차트에 대한 실제 이미지 결과물이다.

IV. 결 론

본 논문에서 설계된 QVGA 해상도의 CIS는 모바일 기기용으로 개발된 것으로서 저전력 동작을 최우선 목표로 개발되었다. 그 결과, 설계된 CIS는 대기전력을 최대 22% 감소 시켰으며, 활동전력 또한 기존에 비하여 20% 이상 감소되었다. 또한 0.13um 공정에서 2.25um의 작은 화소 사이즈를 갖는 픽셀을 사용하여 이미지 센서의 집적도를 향상 시켜 CIS의 사이즈를 줄일 수 있었다. 측정결과 초당 16장 촬영이 가능하였으며(16 frame/s), 기준 샘플링 주파수 25MS/s에서 25mW의 파워소모를 보였으며, PAD를 포함한 CIS의 크기는 3mm×2.5mm(7.5mm²)이다. CIS에 사용된 ADC는

표 1. 설계된 CMOS 이미지 센서의 사양
Table 1. Specifications of the designed CMOS image sensor.

Array Format	320×240
Pixel Size	2.25 μ m × 2.25 μ m
ADC Resolution	10 bit
Frame Rate	16 frame/s
Power Supply	3.3V(Analog) / 1.8V(Digital)
Power Consumption	25mW
Area	7.5mm ² (3mm×2.5mm)
Process	Samsung 0.13 μ m CIS

10-bit SS-ADC 구조로서 1024 개의 그레이 레벨을 표현할 수 있도록 설계되었다. 표 1에 설계된 CIS의 사양을 정리하였다.

참고 문헌

- [1] G. Iddan, G. Meron, and A. Glukhovskiy et al., "Wireless capsule endoscopy," *Nature*, vol. 405, pp. 417-418, May, 2000.
- [2] H-G. Graf, C. Harendt, T. Engelhardt, C. Scherjon, K. Warkentin, H. Richter, J.N. Burghartz, "High Dynamic Range CMOS Imager Technologies for Biomedical Applications," *IEEE J. Solid-State Circuits*, Vol. 44, pp. 281-289, Jan. 2009.
- [3] Scott Hanson, Dennis Sylvester, "A 0.45-0.7V Sub-Microwatt CMOS Image Sensor for Ultra-Low Power Applications," in *Symp. VLSI Circuits Dig.*, pp. 176-177, Jun. 2009.
- [4] R. Shimizu, M. Arimoto, H. Nakashima, K. Misawa, T. Ohno, Y. Nose, K. Watanabe, T. Ohyama, "A Charge-Multiplication CMOS Image Sensor Suitable for Low-Light-Level Imaging," *IEEE J. Solid-State Circuits*, Vol. 44, pp. 3603-3608, Dec. 2009.
- [5] Dongsoo Kim, Youngchol Chae, Jihyun Cho, Gunhee Han, "A Dual-Capture Wide Dynamic Range CMOS Image Sensor Using Floating-Diffusion Capacitor," *IEEE Trans. Electron Devices*, vol. 55, pp. 2590-2594, Oct. 2008.
- [6] C. Posch, D. Matolin, R. Wohlgenannt, "A QVGA 143dB dynamic range asynchronous address-event PWM dynamic image sensor with lossless pixel-level video compression," in *Proc. IEEE ISSCC Dig. Tech. Papers*, pp. 400-401, Feb. 2010.
- [7] M.F. Snoeij, A.J.P Theuwissen, K.A.A. Makinwa, J.H. Huijsing, "A CMOS Imager With Column-Level ADC Using Dynamic Column Fixed-Pattern Noise Reduction," *IEEE J. Solid-State Circuits*, vol. 41, pp. 3007-3015, Dec. 2006.
- [8] T. Sugiki et al., "A 60 mW 10 b CMOS image sensor with column-to-column FPN reduction," in *Proc. IEEE ISSCC Dig. Tech. Papers*, pp. 108-109, Feb. 2000.
- [9] Y. Nitta et al., "High-Speed Digital Double Sampling with Analog CDS on Column Parallel ADC Architecture for Low-Noise Active Pixel Sensor," in *Proc. IEEE ISSCC Dig. Tech. Papers*, pp. 2024-2031, Feb. 2006.
- [10] T. Sugiki et al., "A 60 mW 10 b CMOS image sensor with column-to-column FPN reduction," in *Proc. IEEE ISSCC Dig. Tech. Papers*, pp. 108-109, Feb. 2000.
- [11] B. Chatterjee, M. Sachdev, S. Hsu, R. Krishnamurthy, S. Borkar, "Effectiveness and scaling trends of leakage control techniques for sub-130 nm CMOS technologies," in *Proc. ISLPED*, pp. 122-127, Aug. 2003.
- [12] H. Rahman, C. Chakrabarti, "A leakage estimation and reduction technique for scaled CMOS logic circuits considering gate-leakage," in *Proc. ISCAS*, vol. 2, pp. II-297-300, May. 2004.
- [13] 이성철, 신현철, "대기상태인 논리 회로에서의 누설전류 최소화 입력 탐색 방법," *대한전자공학회 논문지*, 제46권 SD편, 제10호, 53-60쪽, 2009년 10월

— 저 자 소 개 —



권 혁 빈(정회원)
 2009년 동국대학교 반도체과학과
 학사 졸업.
 2010년 동국대학교 반도체과학과
 석사과정.
 <주관심분야 : CMOS 아날로그
 회로 설계, CMOS Image
 Sensor>



김 대 윤(학생회원)
 2008년 동국대학교 반도체과학과
 학사 졸업.
 2010년 동국대학교 반도체과학과
 석사 졸업.
 2010년~현재 동국대학교 반도체
 과학과 박사과정 재학.
 <주관심분야 : CMOS 아날로그 회로 설계, 고성
 능 데이터 변환기, CMOS Image Sensor 설계>



송 민 규(정회원)
 1986년 서울대학교 전자공학과
 학사 졸업.
 1988년 서울대학교 전자공학과
 석사 졸업.
 1993년 서울대학교 전자공학과
 박사 졸업.
 1993년~1995년 동경대학교 초빙연구원.
 1995년~1997년 삼성전자 ASIC 설계팀 연구원.
 1997년~현재 동국대학교 반도체과학과 교수.
 <주관심분야 : CMOS 아날로그 회로 설계, 저 전
 력 혼성모드 회로 설계, 데이터 변환기 설계>