

논문 2011-48SD-2-11

DAB 응용을 위한 주파수 합성기의 연구

(A Study of Frequency Synthesizer for DAB Applications)

김 용 우*, 문 용**

(Yongwoo Kim and Yong Moon)

요 약

본 논문은 DAB 응용을 위한 주파수 합성기를 1.8V 0.18 μ m CMOS 공정으로 설계하였다. VCO는 NP-core를 사용하여 저전력 특성, 출력 파형의 대칭적 특성을 향상시켰다. 커패시터 बैं크와 변역터(varactor) बैं크를 선택적으로 스위칭 하는 기법을 적용하여 1302.34MHz - 1949.51MHz 에서 동작이 가능한 것을 확인하였다. 변역터 커패시턴스의 선형 특성을 개선하는 변역터 바이어스 개수를 2개로 최소화 하였고, 변역터 스위칭 기법으로 K_{VCO} (VCO 이득)를 일정하게 유지할 수 있었다. 또한, VCO 주파수 보정 회로를 추가하여 VCO 이득의 간격을 일정하게 유지하도록 설계하였다. VCO와 주파수 합성기의 각 블록은 0.18 μ m CMOS 공정으로 설계하여 Cadence Spectre를 이용하여 검증하였고, 측정된 VCO 소모 전류는 9mA, 39.8%의 tuning range, 주파수 합성기 전체의 소모 전력은 18 mW 이다.

Abstract

A frequency synthesizer for DAB applications is designed using 0.18 μ m CMOS process with 1.8V supply. NP-core type is chosen for VCO core to improve low power characteristic and symmetric characteristic of output waveform. VCO range is 1302.34 MHz - 1949.51 MHz using switchable capacitor bank and varactor bank. Varactor biases that improve varactor capacitance characteristics were minimized as two, K_{VCO} (VCO gain) is maintained using technique of varactor bank switching. Intervals of K_{VCO} are maintained adding VCO frequency compensation logic. Each block of VCO and frequency synthesizer designed 0.18 μ m CMOS process with 1.8V supply is verified by Cadence Spectre, measured VCO consumes 9mA current, and is 39.8% tuning range, total power consumption of the frequency synthesizer is 18mW.

Keywords : DAB, Frequency Synthesizer, PLL, VCO

I. 서 론

90년대 중반 영국에서 시작된 디지털 오디오 방송(Digital Audio Broadcasting)은 현재 우리나라를 포함한 전 세계 대다수의 국가에서 제공하고 있는 방송 서비스이다. DAB는 음성 방송이 디지털화 됨에 따라 종래의 AM/FM, 아날로그 라디오에서 CD 수준의 음질, 다양한 데이터 서비스, 양방향성 기능 등을 제공한다.

DAB 시스템은 전 세계적으로 널리 사용되는 표준 디지털 방송규격으로 자리를 잡아가고 있지만, 디지털 방송이기 때문에 기존의 아날로그 방송에 비해서 디지털 신호처리가 필요하다. 이는 시스템의 구현에 있어서 디지털 신호처리를 위한 부분과 디지털 신호를 아날로그로 변환하는 부분이 반드시 필요하다는 것이며 이것은 기존 아날로그 시스템에 비해서 많은 전력을 필요로 한다. 그런데, 이러한 디지털 방송은 대부분이 모바일과 같은 이동 및 무선 통신 기기에 대한 사용이므로, 송수신기에 사용되는 주파수 합성기의 경우에도 전력을 최소화할 수 있는 연구가 수반되어야 할 것이다.

또한, DAB 시스템의 서로 다른 2개의 대역을 동시에 지원하면서도 크거나 비용이 적어야만 이동시스템에 짐이 용이하므로 저가격 및 소형화에 대한 연구도 같이

* 학생회원, ** 정회원, 송실대학교 전자공학과
(Department of Electronic Engineering, Soongsil University)

※ 본 논문은 한국산업기술평가원의 IT 산업원천기술 개발 사업의 일환으로 수행하였음.[2009-F-03301, 메타전자파 구조를 이용한 전파(RF) 스펙트럼 특성 개선 기술 연구]

접수일자: 2010년2월8일, 수정완료일: 2011년1월19일

진행되어야 한다^[1~2]. 더욱이 DAB 시스템의 경우 여러 개의 필터가 필요하고 주파수 합성을 위한 전압제어발진기(Voltage Controlled Oscillator)의 크기도 큰 부분을 차지하므로 이에 대한 연구는 필수적이다. 또한, 고주파 대역인 L-Band의 경우에는 간섭에 취약하므로 이를 보완하는 연구도 같이 진행되어야 한다.

본 논문에서는 이러한 DAB 규격을 만족하는 주파수 합성기에 관한 연구를 진행하였고, 0.18 μ m CMOS 공정으로 DAB 응용을 위한 주파수 합성기를 설계하였다.

아래의 표 1에서 본 논문에서 설계하고자 하는 DAB 시스템의 사양을 나타내었다.

표 1. DAB 사양
Table 1. DAB specification.

Bandwidth[MHz]		1.536
Audio coding method		MPEG audio Layer II
Frequency range [MHz]	Band-III	174 ~ 240
	L-Band	1452 ~ 1492

II. DAB 용 주파수 합성기 구조

최근 정보통신과 반도체 집적기술의 발전에 따라 다양한 기능이 하나의 시스템에 통합되고 있다. DAB 규격에서는 Band-III 대역과 L-Band 대역을 동시에 지원해야 하고 이를 위해 광대역 주파수 합성기의 제작은 필수적이며, 특히 주파수 합성기의 핵심 블록인 전압제어발진기(VCO)와 분주기(Divider)가 광대역 주파수를 지원해야 한다^[3~4]. 두 대역을 지원하기 위해선 각각의 대역에서 동작하는 VCO를 따로 설계하는 것도 가능하겠지만 가격 대 성능 비를 최적화 하고 면적을 줄이기

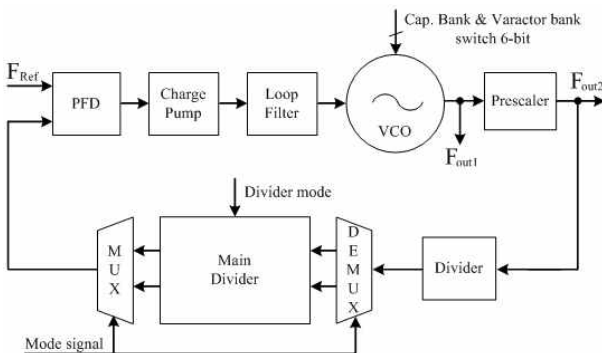


그림 1. 제안하는 주파수 합성기 블록도
Fig. 1. Block diagram of the proposed frequency synthesizer.

위해 하나의 주파수 합성기에 광대역 VCO를 사용하여 다중 밴드를 지원하도록 설계하는 것이 바람직하다.

그림 1은 본 논문에서 제안하는 주파수 합성기의 블록 다이어그램을 나타낸다.

Band-III 대역과 L-Band 대역을 동시에 지원하기 위한 주파수 합성기이기 때문에 광대역 전압제어발진기 구조를 선택하여 1351.68 MHz ~ 2027.52 MHz 발진을 목표로 설계하였다. 주파수 합성기가 완전히 고착된 후 L-Band 대역은 전압제어발진기의 출력을 바로 사용하고 Band-III 대역은 전압제어발진기의 출력을 8분주 하여 사용한다.

III. 회로 및 모의실험

1. 전압제어발진기(VCO)

전압제어발진기의 위상잡음 특성은 설계를 목표로 한 시스템의 전체 잡음 특성에 큰 영향을 주게 된다. VCO 구조에서 일반적으로 PMOS core가 다른 구조에 비해 위상 잡음 면에서 유리하지만 본 논문에서 설계한 VCO는 그림 2와 같이 저전력 특성과 출력파형의 대칭적 특성의 향상을 위해 NP-core LC-VCO로 설계하였고, 광대역 주파수 특성을 위해 스위칭 기법의 6비트 커패시터 뱅크를 사용하였다.

기존의 구조에서는 Band-III 대역과 L-Band 대역을

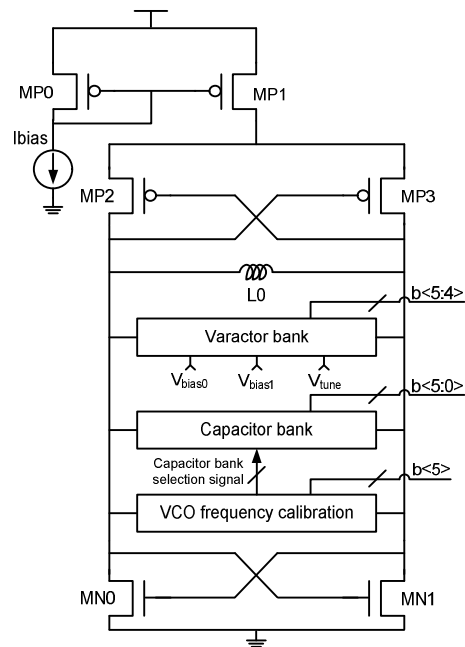


그림 2. 전압제어발진기의 블록도
Fig. 2. Block diagram of the voltage controlled oscillator.

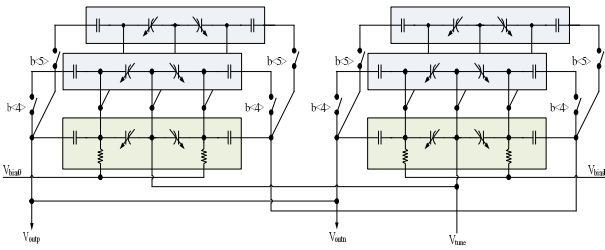


그림 3. 버랙터 뱅크의 구조
Fig. 3. Architecture of the varactor banks.

지원하기 위해 각각의 대역을 지원하는 VCO를 사용하여 주파수 합성기를 구성하였지만, 제안하는 VCO는 광대역을 지원하는 단일 VCO를 사용하였고, 분주비에 따라 원하는 대역의 출력 주파수를 얻을 수 있게 설계하였다.

그림 3은 본 연구에서 사용한 버랙터 뱅크의 구조이다. VCO 이득의 선형 특성을 개선하기 위해 MOS 버랙터에 다중 바이어스를 적용하였고, VCO 이득 저하를 개선하기 위한 스위칭 방식의 버랙터 뱅크와 저주파 대역에서의 VCO 이득 간격 향상을 위해 VCO 주파수 교정회로를 사용하였다.

설계한 스위칭 버랙터 뱅크는 VCO 이득 곡선의 선형 특성을 개선하기 위해서 버랙터 바이어스 기법을 사용하였고, 개수를 2개로 최소화 하였다. 또한 전압제어 발진기 이득 개선을 위해 VCO의 이득 구간을 VCO 제어 비트 중 최상위 2비트의 4개 영역으로 나누어 해당 비트 값이 활성화 되면 기본적인 버랙터와 추가적 버랙터가 동시에 동작하면서, 전체 버랙터 뱅크의 커패시턴스 변화량이 선형화 된다.

그림 4는 본 논문에서 설계한 버랙터 뱅크의 스위칭을 통한 K_{VCO} (VCO 이득) 모의실험 비교 데이터이다. 버랙터 뱅크 구조를 사용하여 저주파 대역에서 VCO의 이득이 감소되는 것을 보상에 주기 때문에 보정회로를

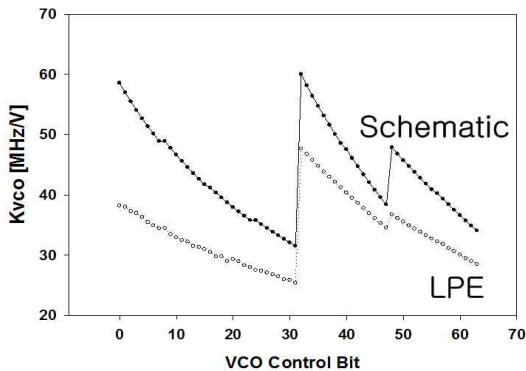


그림 4. 전압제어발진기 이득 특성
Fig. 4. VCO gain characteristics.

추가하지 않은 회보보다 일정한 이득 특성을 얻을 수 있다.

VCO는 모의실험 시 소모 전류 5.67mA, 52.9%의 tuning range, 1.4 GHz 출력 주파수에서 -104 dBc/Hz @ 1MHz offset의 잡음 특성을 확인하였다. 또한 VCO 주파수 보정 회로를 추가하여 VCO의 이득 특성의 개선뿐만 아니라, VCO의 또 다른 중요 사양 중 하나인 VCO 이득 간격을 일정하게 유지할 수 있게 하였다.

2. 전치분주기 및 분주기

주파수 합성기에는 일반적으로 고주파를 분주하는 전치분주기와 시그마-델타 변조기와 연동되어 원하는 주파수를 합성하기 위한 N/N+1 형태의 분주기가 널리 사용된다. VCO의 고주파 출력을 분주하기 위한 전치분주기는 입력 주파수가 높기 때문에 고속으로 동작해야 하며, SCL(source coupled logic) 구조의 전치분주기를 사용하였으며 그 구조를 그림 5에 나타내었다.

N/N+1 분주기는 분수형 주파수 합성기의 기본이 되는 분주기로서, 본 논문에서는 Band-III 대역을 지원하기 위해 2/3 분주기와 L-Band 대역을 지원하기 위해 8/9 분주기를 사용하여 시스템을 구현하였고 각 분주기

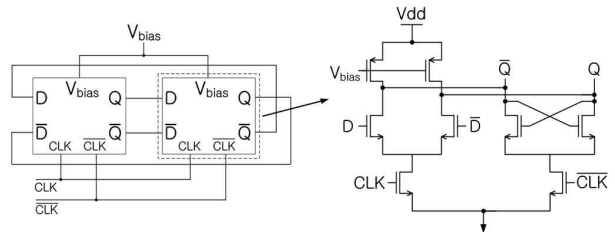


그림 5. SCL 구조의 분주회로
Fig. 5. SCL divide circuit.

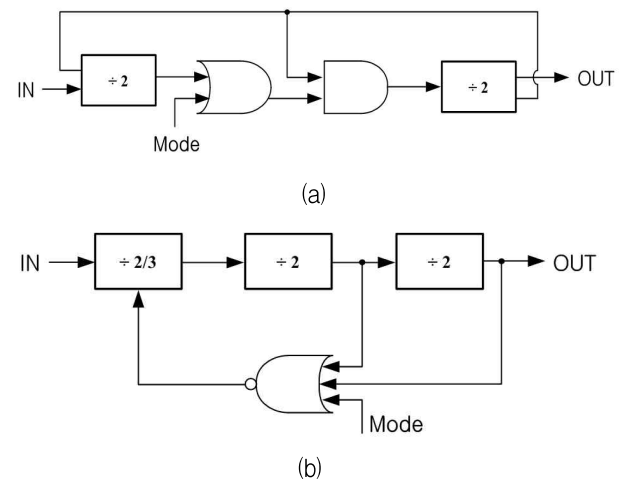


그림 6. (a) 2/3 분주기 회로 (b) 8/9 분주기 회로
Fig. 6. (a) 2/3 divider circuit (b) 8/9 divider circuit.

의 회로도를 그림 6에 나타내었다.

본 논문에서 설계한 분주기는 VCO 출력을 제어 신호의 스위칭에 따라 전치분주기의 8분주가 적용된 64/72 분주와 64/96 분주를 수행하게 된다. 회로 전체의 전력 소모를 줄이기 위해 DEMUX와 MUX 회로를 사용하여 사용하지 않는 분주기는 동작을 하지 않도록 설계하였다. 그림 7에서 VCO의 고주파 출력을 분주하는 SCL 타입의 전치분주기와 스위칭에 따른 분주기 선택을 나타내었다.

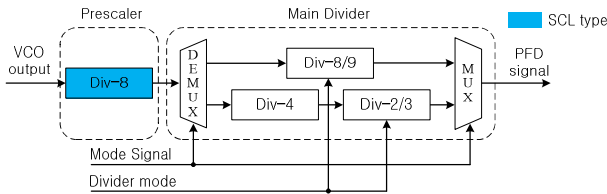


그림 7. 전치분주기와 주분주기의 구조
Fig. 7. Architecture of the prescaler and main divider.

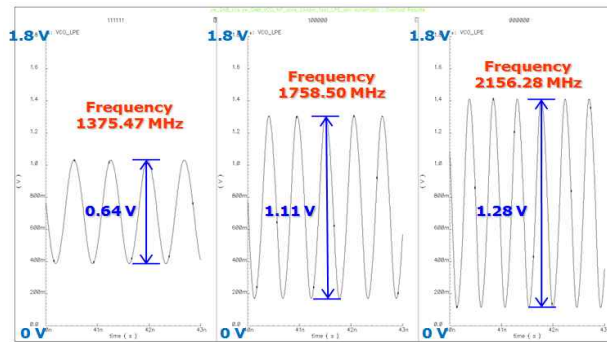


그림 8. 제어 비트에 따른 VCO의 출력파형
(a) Bank 63 (b) Bank 32 (c) Bank 0
Fig. 8. VCO output waveform according to control bit.
(a) Bank 63 (b) Bank 32 (c) Bank 0

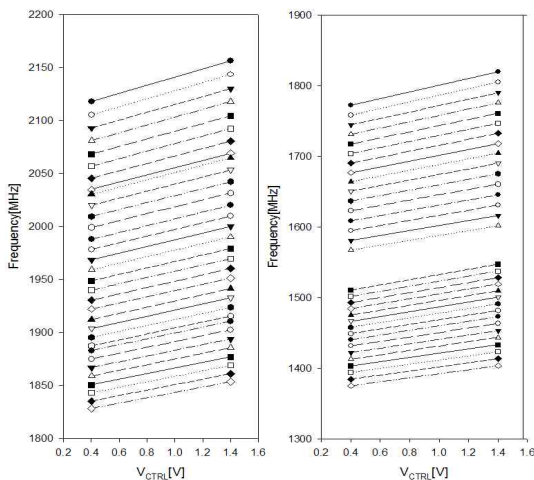


그림 9. 제어 전압에 따른 VCO 이득 특성
Fig. 9. VCO gain characteristic according to control voltage.

그림 8은 VCO 제어 비트에 따른 VCO의 모의실험 결과이다. VCO의 발진부의 커패시턴스가 가장 큰 Bank 63(111111)에서의 출력 스윙 폭은 0.64V이고 발진 주파수는 1375.47 MHz이고 커패시턴스가 가장 작은 Bank 0(000000)에서의 출력 스윙 폭은 1.28V, 발진 주파수는 2156.28 MHz이다.

그림 9에 VCO 제어 전압에 따른 K_{VCO} (VCO 이득) 결과를 정리하여 나타내었다.

IV. 측정 결과

DAB 규격을 만족하는 주파수 합성기를 0.18 μm 공정으로 설계 하였으며, Cadence Spectre를 이용하여 설계 및 검증은 진행하였다.

제작 완료 된 Bare chip을 COB(Chip-On-Board) 형태로 진행한 후 테스트보드를 제작하였다. 테스트보드는 본 논문의 최종 목표인 주파수 합성기 부분과 VCO를 개별적으로 테스트 할 수 있는 구조로 제작하였다.

그림 10은 테스트를 위해 제작된 테스트보드의 사진으로 VCO 부분, 주파수 합성기 부분으로 나누어 제작하였다. VCO 부분에서는 VCO의 동작여부와 분주기의 정상동작을 확인하고 주파수 합성기 부분에서는 VCO와 분주기의 동작이 검증된 상태이므로 목표로 했던 Band-III 대역과 L-Band 대역의 주파수 합성이 가능한지를 테스트한다.

그림 11은 주파수 합성기의 칩 사진이다. PAD를 포함한 주파수 합성기의 크기는 1.3mm \times 1.9mm 이다. 하나의 인덕터를 사용하여 면적을 줄일 수 있었다.

표 2는 VCO의 설계 단계에 따른 특성을 비교한 것이다. Schematic과 LPE(Post simulation) 그리고 측정

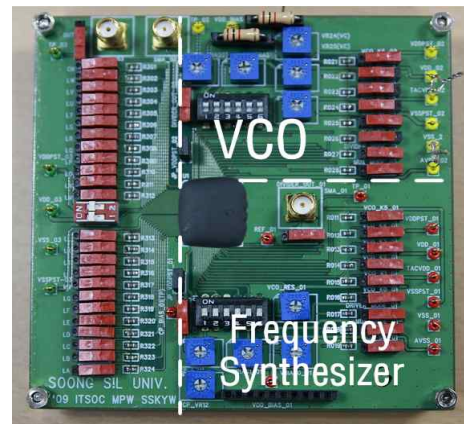


그림 10. 측정 보드
Fig. 10. Test board.

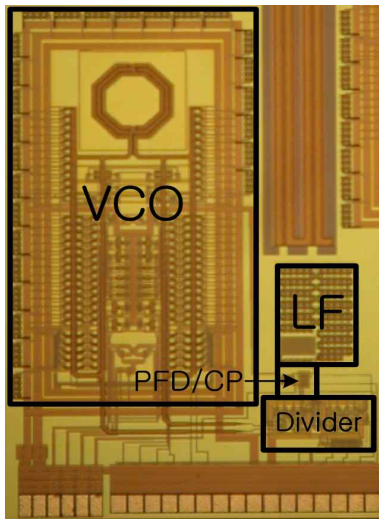


그림 11. 주파수 합성기의 칩 사진
 Fig. 11. Micro photograph of the frequency synthesizer.

표 2. 주파수 합성기 측정결과 비교
 Table 2. Test results of the frequency synthesizer.

	Schematic	LPE	Measurement
VCO oscillation range(MHz)	2554.73 ~ 1486.03	2156.28 ~ 1375.47	1949.51 ~ 1302.34
VCO tuning range	52.9 %	44.2 %	39.8 %
K_{VCO} Min. (MHz/V)	31.48	25.33	10.24
K_{VCO} Max. (MHz/V)	60.01	47.66	30.72
K_{VCO} Variation	±31.2 %	±30.6 %	±50.0 %

데이터를 VCO 발진 범위, VCO 튜닝 범위, K_{VCO} 항목으로 비교하여 나타내었다.

그림 12와 13은 설계한 VCO의 이득 특성의 측정 결과이다. VCO 주파수 보정 회로와 MOS 버랙터 스위칭으로 VCO의 이득이 낮은 주파수 대역에서 K_{VCO} 가 감소되는 것이 개선된 것을 확인할 수 있고, VCO 이득 간격 또한 보정된 것을 확인하였다. VCO 제어 비트에 의해 बैं크 31(011111)에서 बैं크 32(100000)로 변할 때 K_{VCO} 교정 블록이 활성화 되게 설계하였지만, 설계치보다 더 큰 값이 활성화 되어 그림 12와 같이 K_{VCO} 가 일정하지 못한 것을 확인하였다. 같은 상황일 때 저주파 대역에서의 기생 커패시턴스가 고주파 대역에서의 기생 커패시턴스보다 발진 주파수에 영향이 크게 작용하기 때문에 고주파 대역에서는 이득 특성이 매우 양호하고 VCO 이득 간격에 여유가 있는 반면, 저주파 대역에서

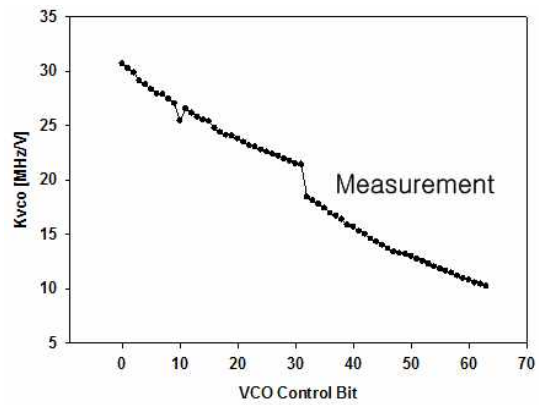


그림 12. 전압제어발진기 이득 특성
 Fig. 12. VCO gain characteristic.

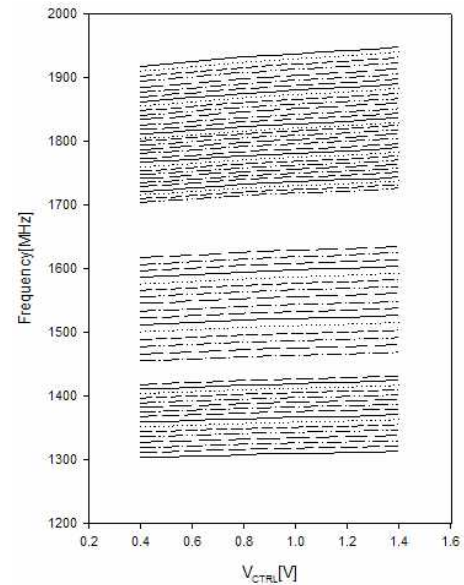


그림 13. 제어 전압에 따른 VCO 이득 특성
 Fig. 13. VCO gain characteristic according to control voltage.

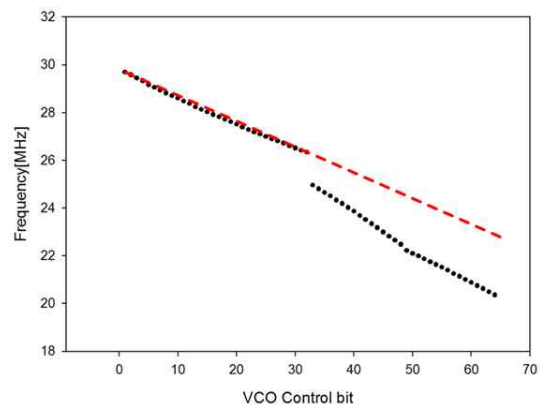


그림 14. 제어 비트에 따른 64분주된 VCO의 출력 주파수
 Fig. 14. VCO output frequency divided by 64 according to control bit.

는 이득 특성이 감소된 것과 VCO 이득 간격의 특성에 있어서 고주파 대역에 비해 여유가 없는 것을 확인할 수 있었다.

그림 14는 주파수 합성기의 입력을 배제한 VCO free running 상태일 때 VCO의 제어 비트에 따른 분주기의 출력력을 나타낸 것이다. 이상적인 경우는 점선과 같이 분주기 출력이 선형적인 특성을 나타내야 하지만 레이아웃 시의 기생 커패시터의 영향과 커패시터 스위칭 बैं크 값 오차로 인해 VCO의 제어 비트가 Bank 31(011111)과 Bank 32(100000)를 선택하였을 때 주파수가 설정한 값보다 조금 더 낮게 측정되었다.

V. 결 론

본 논문은 TSMC 0.18 μ m CMOS 공정으로 DAB 응용을 위한 주파수 합성기를 설계하였다. 주파수 합성기의 VCO는 NP-core를 사용하여 저전력 특성을 향상시켰고, 커패시터 스위칭과 버랙터 बैं크, VCO 주파수 보정 회로를 사용하여 1302.34 MHz ~ 1949.51 MHz 대역에서 동작 가능한 것을 확인하였다. 버랙터 बैं크의 경우 바이어싱을 2개로 최소화 하여 외부 잡음을 줄였다. 설계한 주파수 합성기는 테스트보드를 제작하여 측정하였고, VCO의 소모 전력은 16mW, 39.8%의 tuning range의 특성을 확인하였다. 주파수 합성기의 전체 소모 전력은 18mW이고, 목표로 했던 광대역 주파수 합성기의 구현과 동작을 확인하였다.

본 논문에서 제작한 주파수 합성기의 성능을 표 3에 정리하였다.

표 3. 제안하는 주파수 합성기의 성능 요약
Table 3. Performance summary of the proposed frequency synthesizer.

항 목	사 양	비 고
Architecture	LC-Tank VCO	
Process	0.18 μ m CMOS	
Power	1.8V	
Output Frequency (MHz)	1302.34 ~ 1949.51	Single VCO
Prescaler	Differential, SCL type	
소모 전력	18mW	

감사의 글

본 논문은 한국산업기술평가원의 IT 산업원천기술개발 사업의 일환으로 수행하였음.[2009-F-03301, 메타전

자과 구조를 이용한 전파(RF) 스펙트럼 특성 개선 기술 연구]

참 고 문 헌

- [1] ETSI EN 300 401 V1.4.1, "Digital Audio Broadcasting(DAB) to mobile, portable and fixed receivers", ETSI, Jan, 2006.
- [2] ETSI TR 101 496-3 V1.1.2, "Digital Audio Broadcasting(DAB); Guidelines and rules for implementation and operation", ETSI, May, 2001.
- [3] Hsiao Wei Su et al., "A RF Front-End For Digital Audio Broadcasting", ECCTD, pp. 176-179, August 2007.
- [4] Yen-Horng Chen et al., "A Highly Integrated Dual Band Receiver IC for DAB", IEEE, pp. 1191-1195, July 2004.

저 자 소 개



김 용 우(학생회원)
2008년 숭실대학교 정보통신
전자공학부 학사 졸업.
2008년~2010년 숭실대학교
전자공학과 석사 졸업.
2010년~현재
동운아나텍 주임연구원
<주관심분야 : 주파수 합성기, PLL, VCO 등>



문 용 (정회원)
1990년 서울대학교 전자공학과
학사 졸업.
1992년 서울대학교 전자공학과
석사 졸업.
1997년 서울대학교 전자공학과
박사 졸업.

1997년~1999년 LG반도체 선임연구원.
1999년~현재 숭실대학교 정보통신전자공학부
부교수
<주관심분야 : 혼성신호 IC, 저전력회로, CMOS
RF 회로, UWB 등>