

논문 2011-48SD-12-6

# 상보적으로 스위칭하는 송신기와 적분형 수신기를 이용한 고속 인덕티브 링크

## ( High Speed Inductive Link Using Complementary Switching Transmitter and Integrating Receiver )

김 현 기\*, 노 준 완\*, 전 영 현\*\*, 권 기 원\*\*\*, 전 정 훈\*\*\*

( Hyun-Ki Kim, Joon-Wan Roh, Young-Hyun Chun, Kee-Won Kwon, and Jung-Hoon Chun )

### 요 약

본 논문은 BPM 방식의 신호전송을 하는 인덕티브 커플링 링크에서 전송속도를 증가시키고 BER를 개선하는 방법에 대하여 기술하였다. 데이터가 전송될 때 발생하는 불필요한 glitch를 제거하기 위해 상보적으로 스위칭하는 송신기를 사용하였고, 수신된 데이터의 최적화를 위해 pre-distortion 개념을 도입하였다. 또한 고속 동작에서 샘플링 가능구간을 확보하기 위해 적분형 수신기를 사용하였고, 빠른 pre-charge를 위해 수신기 내부의 적분기와 비교기의 pre-charge 경로에 이퀄라이징 트랜지스터를 추가하였다. 0.13 um CMOS 공정을 사용하여 설계한 송수신회로는 1.2 V 인가전압에서 2.4 Gb/s의 전송속도를 가질 때 약 5.99 mW의 전력소모를 가진다.

### Abstract

This paper presents the method of improving the data rate and BER in the inductive coupling link using a BPM signaling method. A complementary switching transmitter is used to remove invalid glitches at transmitted data, and the concept of pre-distortion is introduced to optimize received data. Also, an integrating receiver is used to increase the sampling margin and equalizing transistors are added in the pre-charge path of the integrator and comparator for high frequency operation. The transceiver designed with a 0.13 um CMOS technology operates at 2.4 Gb/s and consumes 5.99 mW from 1.2 V power supply.

**Keywords :** inductive link, BPM signaling, complementary switching transmitter, pre-distortion, integrating receiver

## I. 서 론

PCB(Printed Circuit Board) 기반의 2차원 시스템은

긴 신호경로로 인해 대역폭의 확대와 동작전압의 감소에 한계를 지닌다. 이러한 문제를 해결하기 위해 가장 많이 접근하는 방법은 칩을 3차원 구조로 적층하여 하나의 패키지로 만들어 신호경로를 최소화하는 것이다. 3차원 적층 방법에는 우선 핀 간을 금속도선으로 직접 연결하는 방법인 마이크로 범프(Micro-Bump)와 TSV(Through Silicon Via)가 있다. 마이크로 범프는 칩을 마주보는 방향으로 쌓고, 볼을 연결하는 방법이다. 제조 과정은 어렵지 않으나, 3개 이상의 칩을 쌓을 수 없어 확장성에 제약이 있다. TSV는 칩에 구멍을 뚫고, 그 사이를 금속으로 채우는 방법으로 현재 메모리와 같이 여러 개의 칩을 하나의 패키지에 넣는 것을 필요로 하는

\* 학생회원, \*\*\* 정회원, 성균관대학교 정보통신공학부 (School of Information & Communication Engineering, Sungkyunkwan University)

\*\* 평생회원, 삼성전자(주) 메모리사업부 (Memory Division, Samsung Electronics)

※ 본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)의 일환으로 수행하였음. [KI002085-2010-02, 차세대 반도체 장비 및 소자의 표준화 기술]

접수일자: 2011년7월13일, 수정완료일: 2011년12월2일

곳에서 각광받고 있다. 그러나 TSV는 추가 공정에 의한 비용과 신뢰성 문제 및 수율감소가 발생하며, 칩수가 증가 할수록 전송 노드의 부하가 증가하여 대역폭 확대에 제약이 생기게 된다. 그래서 핀 간 부하가 분리되는 커패시터와 인덕터의 커플링 특성을 이용한 근접 무선통신 (Proximity Wireless Communication) 방법이 제안 되었다. 무선통신은 전기적 연결 없이 AC 커플링을 이용하므로 ESD 보호회로를 제거하거나 최소화 할 수 있다. 두 가지 중에 커패시티브 커플링 방법은 마이크로 범프와 마찬가지로 칩이 마주보는 방향의 구조에서만 사용할 수 있고, 핀 간 커패시턴스 값을 유지하기 위해 커패시터 면적과 통신거리에 대한 제약이 크다. 반면에 인덕티브 커플링 방법은 동일한 방향으로 여러 개의 칩을 적층하는 것이 가능하고, 코일의 회전수를 증가시켜 큰 인덕턴스 값을 얻을 수 있기 때문에 통신거리와 핀 크기에 대한 제약이 커패시티브 커플링 방식에 비해 상대적으로 작다.<sup>[1]</sup>

본 논문에서는 인덕티브 커플링 방식을 이용한 기존의 회로에서 데이터 전송속도를 증가시킬 때 발생하는 문제점을 파악하고, 이를 개선하여 더 높은 동작속도의 인덕티브 직렬 링크를 구현하였다.

## II. 기존 인덕티브 링크의 신호전송 방법

### 1. NRZ 신호전송 방법

기존의 인덕티브 커플링 링크의 신호전송 방법은 크게 NRZ(Non Return to Zero)방식과 BPM(Bi-Phase Modulation)방식으로 나뉜다. NRZ 신호전송 방법은 데이터를 클럭에 동기 시키지 않고, 데이터가 변할 때만 송신기의 인덕터에 전류를 흘리고, 이를 수신기에서 검출하는 방법이다. 장점은 동일한 데이터가 반복적으로 전송될 때 스위칭 동작이 없으므로 작은 전력 소모가 진다. 반면에 데이터가 천이되지 않을 때 수신기에서 잡음을 데이터 천이로 검출할 가능성이 있다. 그러므로 수신기의 민감도를 잡음과 신호를 구별할 수 있는 적절한 값으로 정해야 한다. 그러나 이로 인해 잡음이 큰 실제 시스템 환경에서는 큰 BER(Bit Error Rate)을 갖는다.<sup>[2~4]</sup>

### 2. BPM 신호전송 방법

NRZ 신호전송의 단점을 극복한 방법이 BPM 신호전송 방법이다. 그림 1에 BPM 방식을 가지는 기존의 인

덕티브 커플링 링크의 회로도도와 신호 파형을 도시하였다. 송신기는  $Txclk$ 에서 생성된  $Txclks$ 의 'low' 구간에서만  $Txdata$  0과 1에 따라 반대방향의  $I_T$ 를 생성하며,

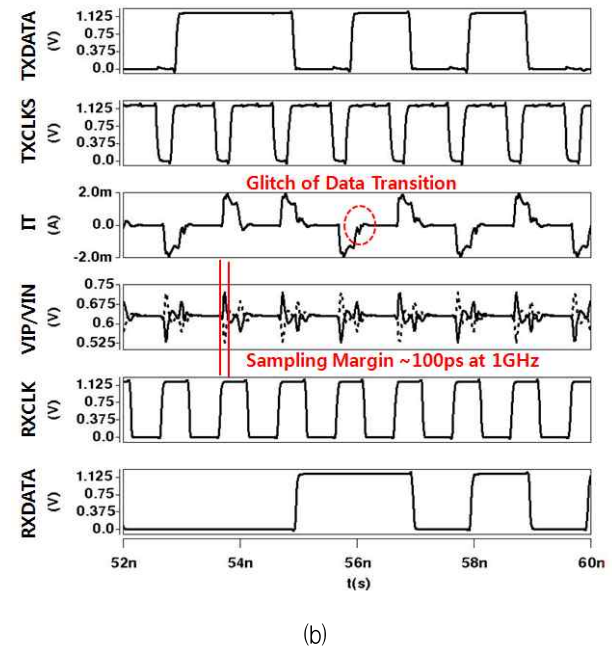
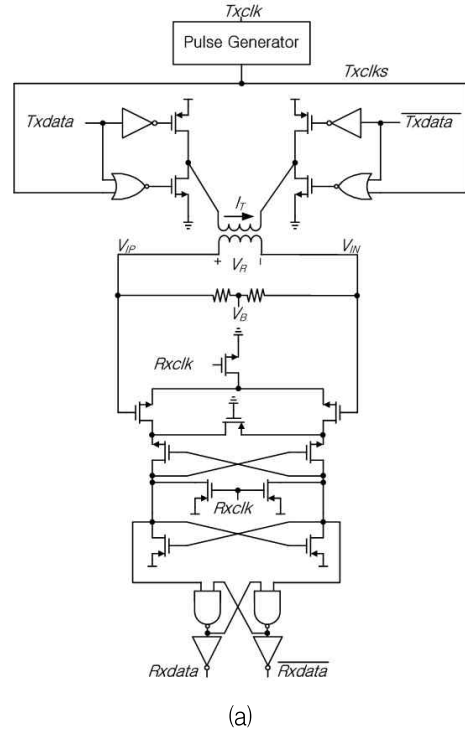


그림 1. 기존의 인덕티브 커플링 링크 (a) BPM 신호전송 방법의 송수신기 회로도 (b) 1 GHz 클럭 주파수에서의 시뮬레이션 결과 파형

Fig. 1. A conventional inductive link (a) BPM signaling data transmitter and receiver schematic (b) simulated waveform at 1 GHz clock frequency.

수신 전압  $V_R$ 은 식 (1), (2)의 관계식과 같이 생성되어 수신기로 데이터가 전송된다.

$$M = k \sqrt{L_1 L_2} \tag{1}$$

$$V_R = M \frac{dI_T}{dt} \tag{2}$$

작은 전압의  $V_R$ 은 센스앰프 형태의 비교기에 의해 디지털 신호로 전환된다.<sup>[5],[6]</sup> 이 방법은 1 GHz 수준의 클럭 주파수에서는 동작하는데 문제가 없다. 그러나 더 높은 주파수의 동작을 가정하면 두 가지 문제점이 있다. 첫 번째, 그림 1 (b)의  $I_T$  파형에서 보듯이  $Txclk$ s가 천이할 때만  $I_T$ 가 발생하는 것이 아니라, 인덕터의 기생 커패시터에 의하여  $Txdata$ 가 천이할 때도  $I_T$ 의 glitch가 발생한다. 더 높은 주파수 영역에서는 이 glitch 가 신호 간 간섭 (ISI: Inter Symbol Interface)을 유발하여 BER을 증가시키는 요인이 된다. 두 번째, 유효한  $V_R$ 이  $I_T$  천이구간에서만 생기므로  $Rxclk$ 의 샘플링 가능구간이 매우 작다. 그림 1의 기존 BPM 신호전송 방법은 100 ps 정도의 샘플링 가능구간만을 가지며, 이는 클럭 주기의 10 % 밖에 되지 않는다.  $I_T$  변화의 기울기를 감소시켜 유효한 신호구간을 늘릴 수는 있으나, 그러면 식 (2)에 의해  $V_R$  레벨이 작아지므로 수신기가 데이터를 검출하는데 문제가 생기고, 역시 BER을 증가시키는 요인이 될 수 있다.

### III. 제안하는 인덕티브 링크

그림 2는 전체 인덕티브 링크의 블록도이다. 설계된 링크의 목표 주파수는 2.4 GHz이다. PRBS(Pseudo Random Binary Sequence) 발생기에서 생성된 16개의 병렬 데이터는 직렬기(serializer)를 거쳐 2.4 Gb/s의 직렬 신호를 만든다. 이 데이터가 2.4 GHz의  $Txclk$ 에 동기되어 그림 3의  $I_T$ 와 같은 BPM 신호를 만든다.  $I_T$ 에 변화에 의해 커플링 받아 생성된  $V_R$ 은 수신기(receiver)에서 증폭하여 데이터를 읽어내고, 다시 병렬기(de-serializer)를 거쳐 PRBS 오류검출기(verifier)에서 데이터의 오류 유무를 검증하게 된다.

이 링크에 사용된 클럭은 300 MHz의 기준 클럭을 받아 interpolated PLL에서 2.4 GHz의 주파수로 생성되며, 클럭은 45° 간격 8개의 위상으로 출력된다. Tx pulse generator와 Rx signal generator는 이 8개 위상의 클럭을 조합하여 링크 제어 신호를 생성한다. 또한 Clk0는 45°/16 간격으로 이동할 수 있도록 하여,  $Rxclk$ 의 유효구간을 찾을 수 있도록 설계하였다.

그림 3은 전체 인덕티브 링크의 신호 파형에 대해 기술하고 있다.  $Txclk$ s에 의해 동기된  $Txdata$ 가  $I_T$ 의 방향을 결정하고, 인덕티브 커플링 링크를 통하여  $V_{IP}/V_{IN}$ 을 생성한다. 수신된 신호는 프리앰프에서 증폭되어  $V_{AMP.OUTPUT/N}$  신호를 생성한다. 프리앰프 출력의 유효한 데이터 부분을 포함하는 구간동안 신호 적분을 진행한 후, 적분기의 출력을 샘플링하여 비교기에서 CMOS 레벨로 증폭하는 과정을 거친다. 이 신호를 검출기의 클

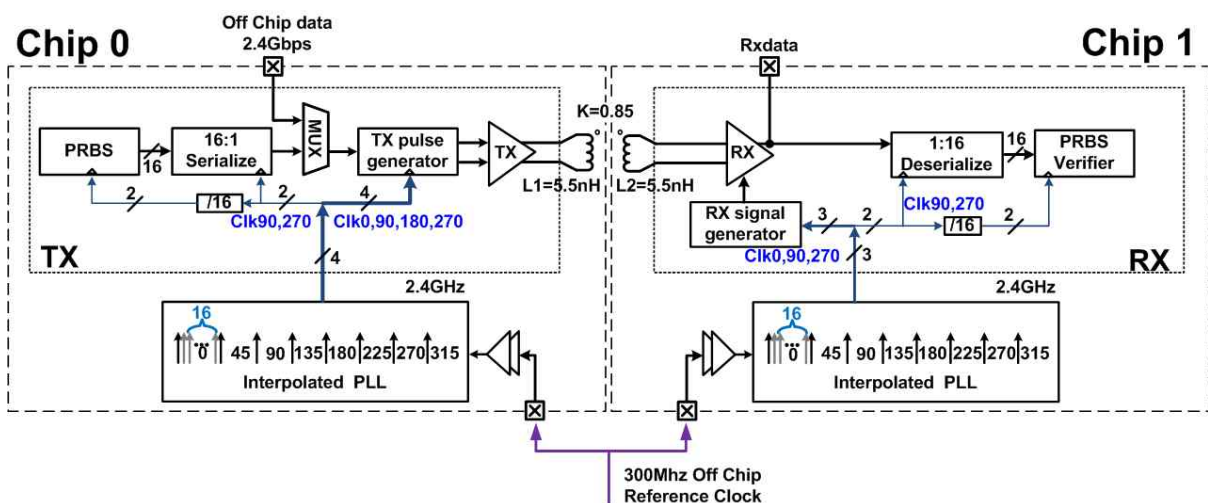


그림 2. 설계된 인덕티브 링크의 블록도  
Fig. 2. Implemented inductive link block diagram.

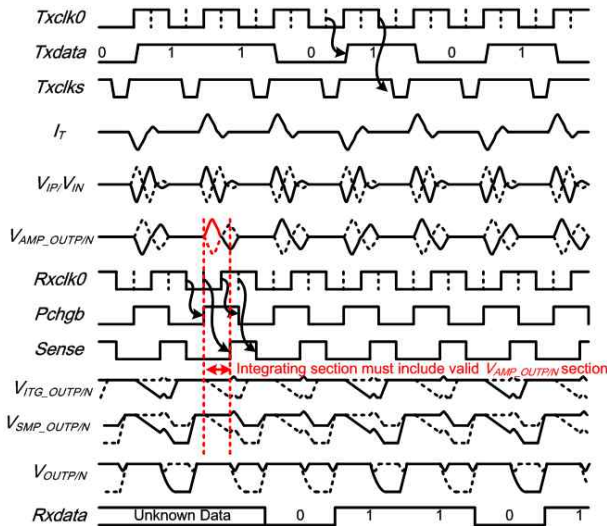


그림 3. 설계된 인덕티브 링크의 신호 흐름  
Fig. 3. Implemented inductive link signal flow.

력에 동기화 시키면 Rxdata가 만들어 진다.

1. 상보적으로 스위칭하는 송신기

그림 4는 그림 2의 Tx 블록 내부 회로도이다. 그림 1 (a)에서 보여준 기존 송신기와 다르게 인덕터의 풀업 (pull-up) 드라이버인 PMOS를 Txclksb 신호로 제어하는 부분이 추가되었다. 이렇게 하면 Txclks/Txclksb이 천이할 때만 IT가 생성되고, 데이터가 천이할 때에는 클럭에 의해 저지되어 불필요한 glitch를 제거할 수 있다. 그림 5 (a) 의 기존 NMOS 스위칭 송신기의 신호를 보면 데이터가 천이할 때 발생한 IT glitch가 VIP/VIN에 전달되고, 수신기의 프리앰프 출력이 IT가 흐르지 않는 구간에서도 이퀄라이징 되지 않는 것을 볼 수 있다. 하지만 그림 5 (b)의 상보적인 스위칭을 하는 송신기는 이 부분이 개선되었다.

상보적으로 스위칭하는 송신기를 적용하면 IT가 흐르지 않는 구간에서는 인덕터 전체가 아무런 전원에도 연결되지 않는 플로팅 상태에 놓이게 된다. 이를 방지하

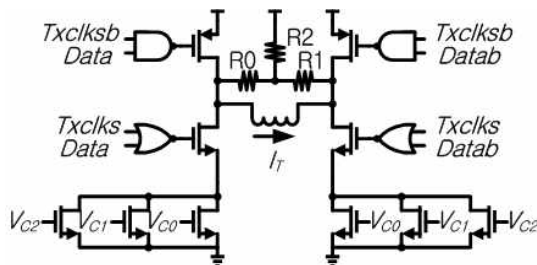


그림 4. 상보적으로 스위칭하는 송신기  
Fig. 4. Complementary switching transmitter.

기 위해 R0, R1, R2 저항을 사용하여 인덕터의 DC 바이어스 전압을 인가해 주었다. R2는 5.28 kΩ의 큰 저항을 달아 신호가 손실되지 않도록 하였다.

한 가지 주목할 만한 사실은 그림 6에서 보듯이 R0,

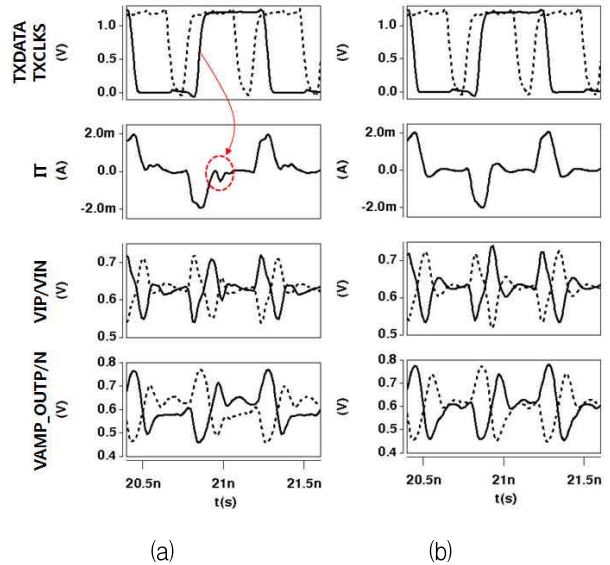


그림 5. 2.4 GHz 클럭 주파수에서 상보적으로 스위칭하는 송신기의 효과 (a) 기존의 NMOS 스위칭 송신기 (b) 상보적으로 스위칭하는 송신기  
Fig. 5. Effect of complementary switching transmitter at 2.4 GHz clock frequency (a) conventional NMOS switching transmitter (b) complementary switching transmitter.

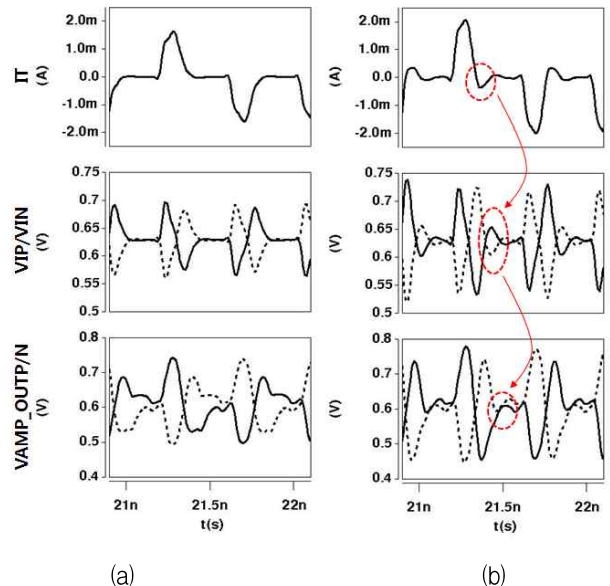


그림 6. R0, R1 값의 변경을 통한 pre-distortion 송신기의 효과 (a) 0.11 kΩ (b) 5.28 kΩ  
Fig. 6. Effect of pre-distortion transmitter by changing R0, R1 value (a) 0.11 kΩ (b) 5.28 kΩ.

R1 저항에 따라  $I_T$  파형이 달라지는데, 그림 6 (a)와 같이  $I_T$  왜곡이 없으면 오히려 수신기의 프리앰프 출력이 빠른 시간 내에 기준 레벨로 회복되지 않고, 그림 6 (b)와 같이  $I_T$  왜곡이 있으면 수신기의 프리앰프 출력이 빠르게 회복되어 고속 동작에 유리하다는 것이다. 안정적인 고속 동작을 위해서는 전송선 링크의 이퀄라이저를 위한 pre-distortion과 동일한 개념을 R0, R1 조절을 통해 적용할 필요가 있다.<sup>[7]</sup>

$V_{Cb}$ ,  $V_{Cl}$ ,  $V_{Cz}$ 는 통신거리에 따라  $I_T$  최대 레벨을 조절할 수 있는 드라이버 옵션이다.  $I_T$  값은 기본 2 mA peak-to-peak으로 설계되었으며, 옵션에 따라 4, 6, 12 mA로 늘릴 수 있다.

## 2. 적분형 수신기

그림 7은 그림 2의 Rx 블록 내부 회로도이다. 전송선 링크의 수신기에서 샘플링 구간을 확보하기 위해 사용한 적분기를 채용하였다.<sup>[8~9]</sup> Rx 블록은 프리앰프, 적분기, 비교기, 클럭 동기화 회로의 4 단계로 구성되었다.

프리앰프는 그림 3의  $V_{AMP\_OUTP/N}$  신호에서 보듯이, 인덕티브 링크를 통과한 작은 신호를 증폭하는 회로이다. 그런데 설계된 회로는 데이터 전송속도 2.4 Gb/s에서 유효 데이터 구간( $V_{AMP\_OUTP/N}$  첫 번째 홀)이 무효 데이터 구간( $V_{AMP\_OUTP/N}$  두 번째 홀)보다 증폭되는 정도가 더 크다. 즉 프리앰프 출력의 유효한 데이터 구간을 포함하기만 하면 어느 구간을 적분하여도 유효한 데이터가 살아남는다. 이러한 현상이 일어나는 이유는 그림 8의 프리앰프의 AC 시뮬레이션 결과에 잘 나타나 있다. 목표 주파수인 2.4 GHz가 프리앰프 전압이득이 감소하고 있는 영역이어서, 고주파 성분이 더 많이 포함된 두 번째 홀 크기가 상대적으로 작아지기 때문이다. 이 현상은 적분형 수신기에는 오히려 도움이 되는 현상이다.

그림 7 (a), (b)에서 보듯이 적분기와 비교기의 빠른 pre-charge를 위해 이퀄라이징 트랜지스터를 추가하였다. 차동 신호를 사용하기 때문에 트랜지스터의 동일한 접합 커패시턴스를 바라보는 상황에서 VDD로 pre-charge하는 경로의 트랜지스터만 증가시키는 것보다 이퀄라이징 경로를 증가시키는 것이 유리하다. 그림 9에서  $V_{OUTP/N}$  신호를 보면 이퀄라이징 경로를 추가함으로써 2.4 GHz에서 0에 가까웠던 pre-charge 마진을 110 ps까지 증가시켰다. 이는 데이터 전송속도를 3 Gb/s까지 증가시킬 수 있음을 의미한다.

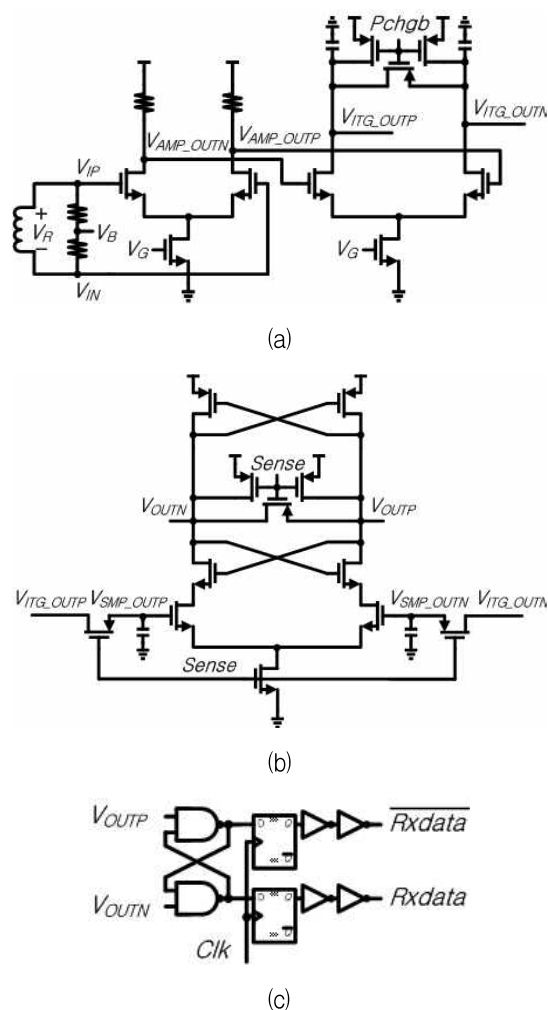


그림 7. 적분형 수신기  
(a) 프리앰프와 적분기 (b) 비교기  
(c) 클럭 동기화 회로

Fig. 7. Integrating receiver.  
(a) pre-amplifier and integrator (b) comparator  
(c) clock synchronizer.

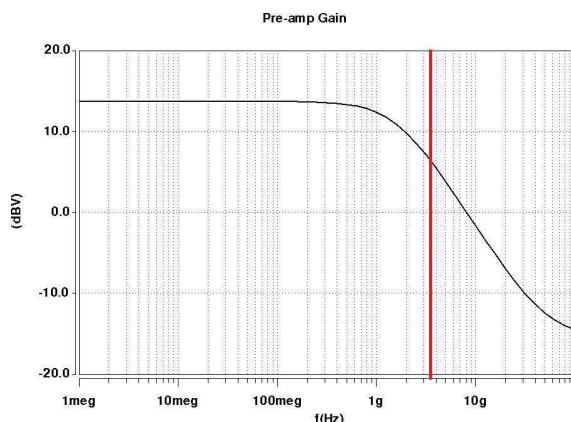


그림 8. 주파수에 따른 프리앰프 Gain  
Fig. 8. Pre-amplifier gain vs frequency.

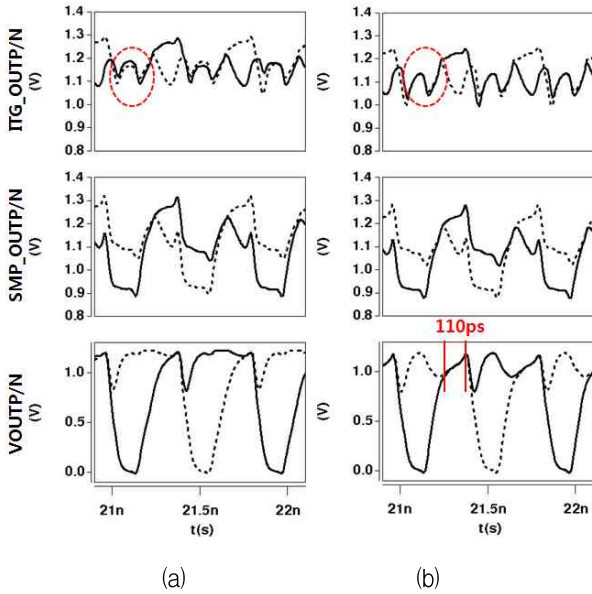


그림 9. 2.4 GHz에서 이퀄라이징 트랜지스터 추가에 따른 효과 (a) 이퀄라이저 미포함 (b) 이퀄라이저 포함

Fig. 9. Effect of equalizing transistor at 2.4 GHz (a) without equalizer (b) with equalizer.

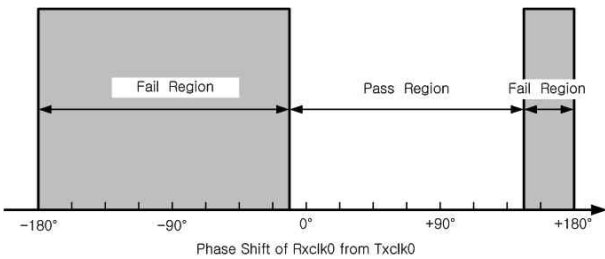


그림 10. 적분형 수신기 샘플링 마진  
Fig. 10. Integrating receiver sampling margin.

또한 비교기가 안정적으로 동작할 수 있는 시간을 확보하기 위해 적분기가 pre-charge 구간에 있을 때도 유효한 데이터가 비교기에 인가되도록 그림7 (b)와 같이 샘플러를 사용하였다. 그리고 샘플러에 사용된 커패시터는 바로 앞단의 적분기와 같이 VDD로 pre-charge 될 수 있도록 Sense 신호와 Pchgb 신호는 low 구간이 겹치도록 설계하였다.

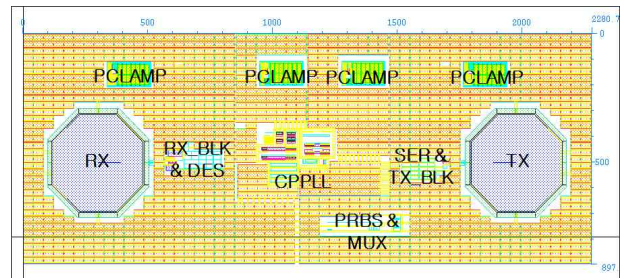
적분형 수신기의 목적인 샘플링 마진은 그림 10과 같이 Rxclk0를 22.5°간격으로 시뮬레이션 한 결과, 클럭 주기가 416 ps인 2.4 GHz에서 7/16구간인 182 ps를 확보하였으며, 이는 기존의 BPM 신호전송방식 인덕티브 링크의 1 GHz에서 100 ps 샘플링 마진보다 오히려 큰 값을 알 수 있다.

#### IV. 시뮬레이션 결과

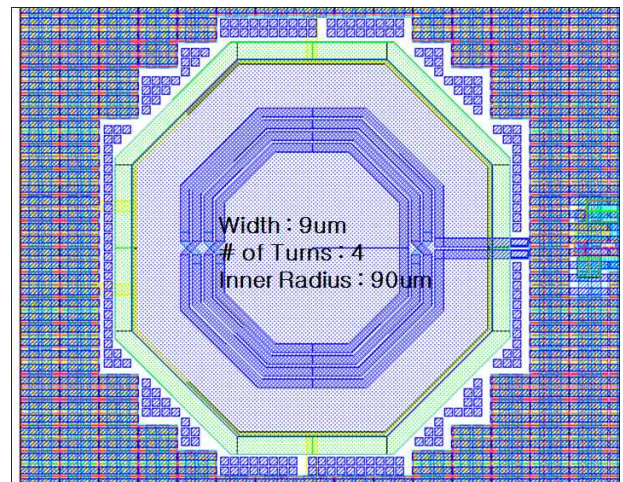
그림 11 (a)는 설계된 전체 인덕티브 링크의 레이아웃이다. 두 개의 칩을 겹쳐서 측정을 해야하기 때문에 사용하지 않는 인덕터에 의한 간섭을 최대한 배제하기 위해 송신기와 수신기에 사용하는 인덕터의 거리를 최대한 멀리 떨어뜨려 놓았다.

그림 11 (b)는 송수신기에 사용한 인덕터의 구조이다. 설계된 칩의 8개의 metal 층 가운데 가장 위쪽에 있는 M8 층을 이용하여 구성되어 있으며, 코일을 연결하기 위한 부분만 M7 층을 사용하였다. 두 인덕터 간의 거리를 35 um로 가정할 때, 3차원 시뮬레이션 결과 자체 인덕턴스  $L = 5.5$  nH, 상호 인덕턴스 결합계수  $k = 0.85$ 로 예측되었다.

그림 12는 설계된 전체 인덕티브 링크의 시뮬레이션 결과이다. VDD = 1.2 V 일 때 클럭 주파수 2.4 GHz에



(a)



(b)

그림 11. 설계된 레이아웃 (a) 전체 링크의 레이아웃 (b) 송수신기에 사용한 인덕터 구조

Fig. 11. Designed layout (a) layout of the entire link (b) inductor structure used in the transmitter and receiver.

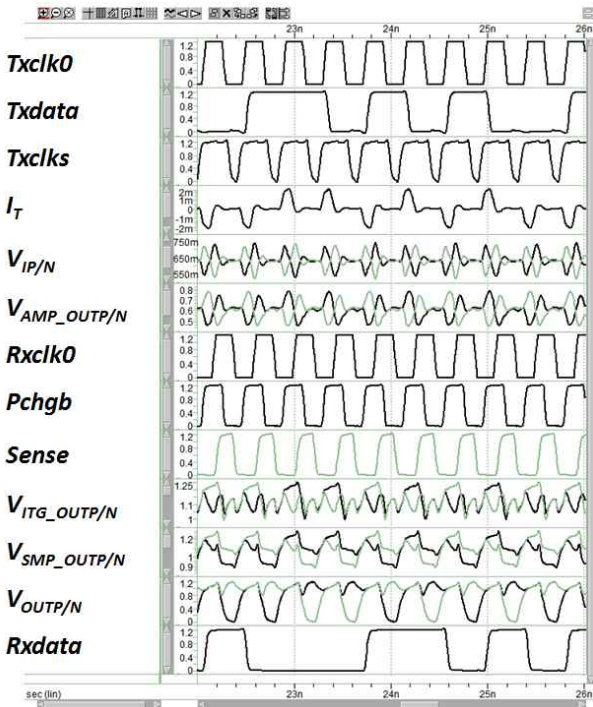


그림 12. 2.4 GHz 클럭 주파수에서 전체 인덕티브 링크의 시뮬레이션 결과

Fig. 12. Entire inductive link simulation result at 2.4 GHz clock frequency.

표 1. 성능 요약

Table 1. Performance summary.

	Ref.[3] Miura 2005	Ref.[6] Miura 2007	This Work
Signaling	NRZ	BPM	BPM
Data Rate	1.25 Gb/s	1 Gb/s	2.4 Gb/s
Communication Distance	60 $\mu$ m	15 $\mu$ m	35 $\mu$ m
Power Dissipation	46 mW @ 3.3V	3 W @ 1.8 V (X1024 ch)	5.99 mW @ 1.2V
Power/BW	36.8 mW/Gb/s	3 mW/Gb/s	2.5 mW/Gb/s
Process	0.35 $\mu$ m	0.18 $\mu$ m	0.13 $\mu$ m
Interconnect	Wireless(Inductive Coupling)		

서 Txdata가 Rxdata까지 잘 전송되는 것을 볼 수 있다.

설계된 인덕티브 링크의 성능은 표 1에 요약되어 있다. 테스트 칩은 0.13  $\mu$ m CMOS 공정을 사용하여 설계되었으며, 1.2 V 동작전압에서 제어신호 생성블럭을 포함하여 송신기는 2.35 mW, 수신기는 3.64 mW의 전력을 소모하였으며, 링크 전체는 5.99 mW 전력소모가 발생하였다. 설계된 데이터 전송속도는 2.4 Gb/s로 표 1에서 보듯이 기존 논문에 비해 크게 개선되었다.

## V. 결론

BPM 신호전송 방식을 사용하는 인덕티브 커플링 링크를 개선하는 방법에 대해 제안하였다. BER를 개선하기 위해 상보적으로 스위칭하는 송신기를 사용하여 데이터 천이할 때 발생하는 glitch를 제거하였으며, 송신기 인덕터의 플로팅 바이어스 방지용 저항값을 조절하여 전송선 링크의 이퀄라이저처럼 수신된 데이터가 최적화되도록 pre-distortion을 유발하였다. 고주파 동작에서 수신기의 샘플링 마진을 확보하기 위해 적분형 수신기를 사용하였고, 적분기와 비교기의 pre-charge 동작 속도를 높이기 위해 이퀄라이징 트랜지스터를 추가하였다.

## 참고 문헌

- [1] H. Ishikuro, N. Miura, and T. Kuroda, "Wideband Inductive-coupling Interface for High-performance Portable System," CICC, pp. 13-20, Sep. 2007.
- [2] D. Mizoguchi, Y. B. Yusof, N. Miura, T. Sakurai, and T. Kuroda, "A 1.2 Gb/s/pin Wireless Superconnect based on Inductive Inter-Chip Signaling (IIS)," IEEE ISSCC, Dig. Tech. Papers, pp. 142-143, Feb. 2004.
- [3] N. Miura, D. Mizoguchi, T. Sakurai, and T. Kuroda, "Analysis and Design of Inductive Coupling and Transceiver Circuit for Inductive Inter-Chip Wireless Superconnect," IEEE Journal of Solid-State Circuits, vol. 40, no. 4, pp. 829-837, April 2005.
- [4] 이장우, 유창식, "인덕티브 커플링 송수신 회로를 위한 신호 전달 기법," 전자공학회논문지, 제48권 SD편, 제7호, 17-22쪽, 2011년 7월
- [5] N. Miura, D. Mizoguchi, M. Inoue, K. Niitsu, Y. Nakagawa, M. Tago, M. Fukaish, T. Sakurai, and T. Kuroda, "A 1 Tb/s 3 W Inductive-Coupling Transceiver for Inter-Chip Clock and Data Link," IEEE ISSCC, Dig. Tech. Papers, pp.424-425, Feb. 2006.
- [6] N. Miura, D. Mizoguchi, M. Inoue, K. Niitsu, Y. Nakagawa, M. Tago, M. Fukaish, T. Sakurai, and T. Kuroda, "A 1 Tb/s 3 W Inductive-Coupling Transceiver for 3D-Stacked Inter-Chip Clock and Data Link," IEEE Journal of Solid-State Circuits, vol.42, no.1, pp.111-122, Jan, 2007.
- [7] 안희선, 박원기, 이성철, 정항근, "LVDS 구동회로

를 이용한 3.125 Gb/s/ch 저전력 CMOS 송수신,”  
전자공학회논문지, 제46권 SD편, 제9호, 7-13쪽,  
2009년 9월

[8] J. L. Zerbe, P. S. Chau, C. W. Werner, T. P. Thrush, H. J. Liaw, B. W. Garlepp, and K. S. Donnelly, “1.6 Gb/s/pin 4-PAM Signaling and Circuits for a Multidrop Bus,” *IEEE Journal of*

*Solid-State Circuits*, vol. 36, no. 5, pp.752 - 760, May 2001.

[9] N. Y. Choi, J. H. Song, J. M. Baek, J. H. Chun, and K. W. Kwon , “A Reliable Integrating Receiver for Inductive Coupling Chip-to-Chip Communication,” *ITC-CSCC*, 2010.

저 자 소 개



김 현 기(학생회원)  
2003년 고려대학교 전기전자전파  
공학부 학사 졸업  
2003년~현재 삼성전자(주)  
DRAM설계팀 책임연구원  
2010년~현재 성균관대학교  
정보통신공학부 석사과정  
<주관심분야 : High-speed serial link, 아날로그/  
디지털 Mixed mode 설계, DRAM Core 설계>



노 준 완(학생회원)  
2011년 성균관대학교 전자전기  
공학부 학사 졸업  
2011년~현재 성균관대학교  
정보통신공학부 석사과정  
<주관심분야 : High-speed serial  
link, 아날로그/디지털 Mixed  
mode 설계, 3D IC>



전 영 현(평생회원)  
1984년 한양대학교 전자공학과  
학사 졸업  
1986년 한국과학기술원(KAIST)  
전기 및 전자공학과 석사  
졸업  
1989년 한국과학기술원(KAIST)  
전기 및 전자공학과 박사  
졸업



권 기 원(정회원)  
2001년 Stanford Univ.  
재료공학과 박사 졸업.  
2001년~2006년 삼성전자(주)  
DRAM개발실 수석연구원  
2007년~현재 성균관대학교  
정보통신공학부 부교수  
<주관심분야 : 메모리IP, 아날로그/디지털 Mixed  
mode 설계>

1990년~1991년 University of Illinois,  
Coordinated Science Lab. 연구원  
2011년 현재 삼성전자(주) 메모리사업부  
Flash 개발실장  
<주관심분야 : 초고속 메모리 설계, 고속 I/O  
Interface 설계>



전 정 훈(정회원)  
2006년 Stanford Univ.  
전기공학과 박사 졸업.  
2006년~2008년 Rambus Inc.  
2008년~현재 성균관대학교  
정보통신공학부 조교수

<주관심분야 : High-speed serial link,  
Mixed-signal 설계, ESD 및 신뢰성 연구>