

논문 2011-48SD-12-11

제어된 임피던스용 다층 PCB 설계 시뮬레이터 구현

(Implementation of Multi-layer PCB Design Simulator for Controlled Impedance)

윤 달 환*, 조 면 균**, 인 치 호***

(Dal Hwan Yoon, Myun Gyun Cho, and Chi Ho Lin)

요 약

초고속 디지털 통신시스템의 성능은 빠른 에지율(edge rate), 클럭속도 및 디지털 정보전송방법 등에 영향을 받는다. 특히 고주파 통신시스템의 잡음원은 다수 전송선에서의 신호 간 동시 스위칭, 전원 공급, 신호 반사와 왜곡 등에 의해 발생하며, 다층(multilayer) PCB를 설계할 경우 신호의 충실성이 더욱 훼손된다. 따라서 시스템 H/W의 신호충실성을 얻기 위해 최적 임피던스 정합을 갖는 PCB 설계가 필요하다. 본 논문에서는 시스템 신호의 충실성을 위하여 다층 PCB 선로의 패턴에 따른 트랙 계산 이론, 설계에 필요한 임피던스 및 특성 자동 분석 시뮬레이터를 개발한다. 특히 다층으로 PCB를 설계할 때 신호선과 접지부분 배치를 사전에 컴퓨터 모의실험을 통하여 최적조건의 임피던스에 맞는 설계가 가능하도록 시뮬레이터를 개발함은 물론 이를 데이터베이스화한다. 그리하여 제안된 시뮬레이션 툴은 PCB 설계 시 소요되는 시간을 단축하고 경제적인 PCB 개발을 가능케 한다.

Abstract

As high speed digital systems continue to use components with faster edge rate and clock speeds, transmission of the digital information, it can bring about many troubles. The increasing requirement for controlled impedance PCBs becomes both a critical success factor and a design challenge to implement a system. Especially, the noise sources in high frequency digital systems include the noise in power supply, ground and packaging, and they destroy the fidelity of signals. Therefore PCB design with impedance matching is needed to improve fidelity of signal in H/W. In this paper, we have developed an impedance control and analysis tool for multi-layer PCB design, and simulates the tracks controlled impedance with the test coupon. So, it can save the design time and support the economical PCB design.

Keywords : Controlled impedance, test coupon, impedance measurement tool, multi-layer PCB

I. 서 론

오늘날 디지털시스템은 다양한 계층의 전파를 사용하고 시스템의 규모에서는 축소 지향형을 피하므로 고

밀도로 집적된 PCB(printed circuit board) 설계가 필수적이다. 따라서 통신 단말기들의 경박·단순화는 그 내부의 PCB를 단층구조에서 다층구조로 진화하게 하고 있다. 이를 위해 더 빠른 천이 시간과 높은 클럭속도를 가진 소자들이 구현되고, 동작 주파수가 수 GHz 범위의 고주파 영역으로 진입함에 따라 신호의 충실성(fidelity)은 시스템의 성능에 중요한 변수로 대두되고 있다^[1].

통신시스템의 성능은 PCB 신호전송라인의 길이, 재질의 손실, 라인형태 및 임피던스 불일치 등에 영향을 받게 된다^[2~3]. 따라서 고속주파수 신호를 갖는 PCB의 신호전송경로를 설계할 때 신호선로를 전송선으로 간주

* 정회원, 세명대학교 전자공학과
(Dept. of Electronic Engineering,
Semyung University)

** 정회원, 세명대학교 정보통신학부
(School of Information & Communication,
Semyung Univ.)

*** 평생회원, 세명대학교 컴퓨터학부
(School of Computer, Semyung University)

접수일자: 2011년9월23일, 수정완료일: 2011년12월2일

함에 따라 신호 파형의 반사와 이웃 선로 간 상호 전자와 간섭으로 인한 누화가 고려되어야 한다. 또한 PCB 기판의 재질이나 유전율, 표피효과 등으로 인한 신호감쇠 요인의 고려도 해석상의 정확성을 기하기 위해 필수적이다.

일반적으로 시스템 개발자들은 목표 시스템 스펙에 맞추어 PCB를 설계하였다. 그러나 H/W를 최종 조립한 후 고주파 안테나와 임피던스 정합과정에서 신호의 왜곡, 반사 및 위상지연 등 많은 잡음원에 대해서는 부가 회로만을 사용하여 해결하려고 노력하였다. 특히 고주파 신호 시스템에서 PCB 패턴자체를 저항, 인덕터 및 커패시터 소자로 사용하고, 다층으로 PCB 회로 패턴을 구축할 때 신호 전송의 충실성을 저해하는 요소들로 인해 시스템의 오율증가와 오동작 문제가 심하게 나타난다^[4~5].

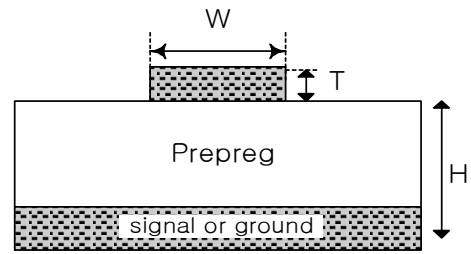
그동안 다층 PCB를 설계할 때 유전율, 전파반사 및 신호트랙추정 등은 전적으로 PCB 설계 엔지니어의 경험과 수동적인 계산에 의거하여 대부분 구현 샘플 또는 시험용 쿠폰(test coupon)이 제작되었다. 따라서 재질, 유전율 및 선로 패턴에 따른 임피던스를 사전에 분석하고, 다양한 패턴의 PCB가 최적의 임피던스를 갖도록 설계할 수 있는 시뮬레이터의 개발이 요구되었다.

본 논문에서는 신호의 충실성을 위하여 PCB 설계 시 필요한 신호선로의 재질, 유전율 및 선로 패턴에 따른 임피던스를 사전에 분석하고 최적의 임피던스를 갖는 PCB를 설계할 수 있도록, 최적 PCB 설계 시뮬레이터를 개발 한다. 따라서 전송선 신호의 충실성을 해치는 요소들에 대한 이론과 유전손실, 선로의 패턴에 따른 트랙계산 이론을 전개하고 검증할 수 있는 시뮬레이터를 제시한다.

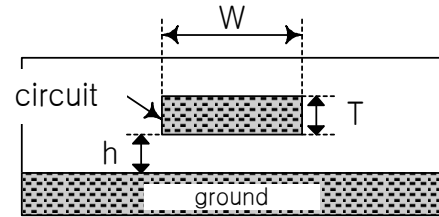
II. 고주파 PCB 설계 이론

고속회로는 제어임피던스를 이용하여 설계된 PCB의 경로 추적이 필요하다. Hart, Wadell은 PCB 임피던스를 추정할 만한 방정식을 계산하고, 신호경로와 기준면(reference plane)사이의 기하학적인 선, 유전체 거리 및 층을 분리하는 유전상수의 함수로 표현가능하다^[6~7].

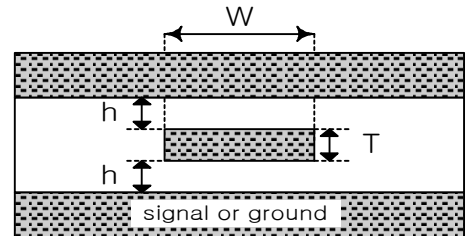
PCB상의 회로들은 도체회로의 모양, 회로 폭(W), 회로두께(T), 절연두께(H), 회로의 형태 및 유전율(ϵ_r) 등의 영향을 받는다. 또한 미소하게 영향을 미치는 요소들로는 회로 상에 가공된 홀(via hole), 패드(pad)와



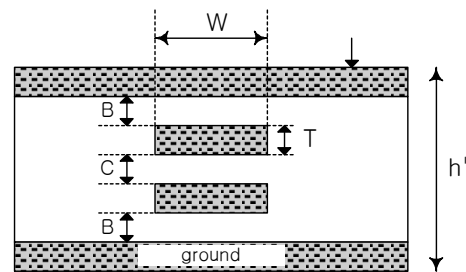
(a) 표면 마이크로스트립 형



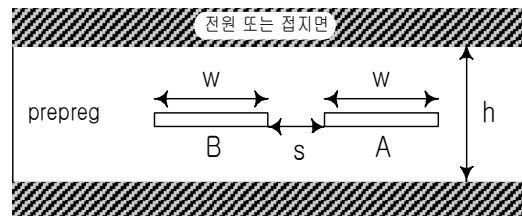
(b) 삽입 마이크로스트립형



(c) 대칭 스트리플라인형



(d) dual stripline 형



(e) 동일면 결합 트랙

그림 1. 제어임피던스용 PCB 형태
Fig. 1. PCB type for controlled impedance.

연결각도, 스크래치(scratch), 층간 편심, 기판의 휨 정도 등이 있다^[8]. PCB 제조업체에서는 회로 폭과 절연두께의 허용공차 범위를 잘 관리해야 한다. 이때 설계자가 의도하는 임피던스(Z)값의 허용공차를 초과하지 않

아야 하며, 반드시 원재료 및 제조 공정의 특성을 인식해야 한다^[9].

Polar사가 제안한 임피던스회로 구성은 여러 가지로 분류하여 사용하고 있다^[10]. 예를 들어 그림 1의 (a) 표면 마이크로스트립(surface microstrip)형은 회로가 PCB의 외부에 위치한 형태로 W는 트랙폭(track width), T는 트랙의 두께(height), H는 프리프레그(prepreg)의 높이이다. (b) 삽입 마이크로스트립형은 접지가 한쪽에만 있고 회로가 PCB내층에 위치한 형태로 h는 트랙과 기준면과의 거리이다. (c) 스트립라인형(stripline)은 회로가 내층에 있고 양측에 접지층 또는 전원층을 형성한다. (d) 이중 스트립라인(dual stripline)형은 두 개의 회로가 내층에서 양쪽 접지층 사이에 위치한 형태로 기준면간 거리가 B와 C로 다르게 위치해 있다. 이들을 다층으로 구축하여 PCB를 설계함으로써 많은 구조로도 응용한다. (e) 이들 5가지 제어임피던스용 PCB 형태 외에도 다양한 형태가 존재한다. IPC-2141^[3]은 또 다른 계산방식을 제공하며, 설계하는 형태에 따라서 주어진 방정식들 사이에 늘 약간의 차이가 존재한다.

그림 1에서 각 형태의 PCB가 갖는 트랙의 각 제어 임피던스 계산식은 각각 식(1) ~ (5)와 같다. 여기서 ϵ_r 은 유전상수이다. 먼저 표면 마이크로스트립형의 임피던스는

$$Z_0 = \frac{87.0}{\sqrt{\epsilon_r + 1.41}} \ln \frac{5.98H}{(0.8W + T)} \quad (1)$$

삽입 마이크로스트립형의 임피던스는

$$Z_0 = \frac{K}{\sqrt{0.805\epsilon_r + 2}} \ln \frac{5.98h}{(0.8W + T)} \quad (2)$$

대칭 스트립라인 형의 임피던스는

$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \frac{4(2h + T)}{2.1(0.8W + T)} \quad (3)$$

듀얼스트립라인 형의 임피던스는

$$Z_0 = 80 \left[\frac{1 - \frac{B}{4(B + C + T)}}{\sqrt{\epsilon_r}} \right] \ln \frac{1.9(2B + T)}{0.8W + T} \quad (4)$$

동일면 결합 트랙형의 임피던스는

$$Z_0 = \frac{\eta_0}{4.0\sqrt{\epsilon_r}} \frac{K(k)}{K(k')} \quad (5)$$

현재 고속 디지털 신호처리용 PCB의 중요한 도전은 전파지연, 전송선 반사, 신호손실 및 높은 접속밀도에 따른 상호연결 등이다. 이 문제를 해결하기 위해서 그림 1처럼 회로폭, 유전상수, 유전율 두께 및 평판두께를 제어하는 것이다. 이는 회로 생산자가 가격대 성능의 비를 고려하여 생산할 때 중요한 임피던스 제어인자가 된다. 더욱이 경박·단소화를 추구하는 과정에서 PCB의 층이 다층(multi-layer)으로 진행됨에 따라 이들 인자의 영향을 어떻게 적절히 제어해 주느냐는 중요한 일이다.

식(1)~(5)의 정확도는 광범위하게 변화하지만, 이 식은 간단하다는 장점과 폭과 두께가 변할 때 $Z_0(\Omega)$ 의 값에 대한 변화를 설명하기가 용이하다는 이점이 있다. Wadell^[7]의 식으로 입증한 예는 일반적인 문제를 설명하지만, 식들이 정확한 경우에 범위는 제한되고 엄격한 파라미터 범위를 갖는다. 이러한 식들은 복잡하지만, 실제로 프로그램 가능한 계산기나 컴퓨터를 이용하여 쉽게 계산될 수 있다. 그러나 그림 1(d)나 (e)처럼 두 개의 결합 트랙이 서로 다른 임피던스로 사용될 때 복잡성은 크게 증가한다.

대칭적으로 두께에 중심을 둔 그림 1(e)의 단일 트랙에 대한 대수방정식(5)의 k 와 k' 에 대한 값은 Cohn^[12]이 보였다. 이때 k 는 완전한 제 1종 elliptic 함수이다. 정확도는 10-12의 elliptic 함수 추정비는 Hilberg^[5]에 의해 주어졌고, Wadell^[7]이 인용하였다. 일정한 두께에 따라 근사치로 수정되었고, 이는 전자기장 방정식에 기초하여 수치계산 결과로 얻어진다.

트랙이 중심에서 offset이 존재할 때, 방정식은 더 복잡해지고, 주어진 정확도에서 타당성 범위는 줄어든다. 어떤 트랙 두께의 표면이나 부가된 microstrip에서 식(5)와 같은 폐로형 방정식은 존재하지 않는다. 따라서 임피던스 계산에 사용한 방정식은 근사치로 대신한다.

트랙두께가 0이 아닐 때, 식(1)~(5)와 유사한 대수식을 얻기 위해 근사화가 만들어져야 한다. 전송시스템^[1]의 Stripline에서 전기(자기) 장이 균일한 substrate와 유전상수 ϵ_r 에서 생기고, 마이크로스트립(Microstrip)에서 전자기장은 공기 및 substrate상에 있다.

모든 경우에 스트립라인(Stripline)의 경우, 이미지의 합은 Sadiku^[13]가 준 결과에 수렴한다. Silvester^[11, 14]는

표면 마이크로스트립에서 이미지법을 발전시켰으나 임베디드 마이크로스트립(embedded microstrip)에서는 확장시키지 못했다. 모든 경우에 이미지들의 합이 수렴되어 수치적으로 얻을 수 있음을 보였다^[15].

III. 임피던스제어를 통한 PCB 설계

그림 1과 같이 다양한 PCB 쿠폰(coupon)을 설계 시에는 제어임피던스 트랙에 쉽게 접근할 수 있도록 제작되어야 한다. 일반적인 시험 쿠폰은 200mm×300mm의 PCB로 시험하고자 하는 주기판과 동일한 트랙구조와 층을 구성한다. 또한 동일한 작업상에서 제조된 것이어야 동일한 임피던스 시험이 될 것이며, 모든 전원 및 접지면이 쿠폰에 포함되고, 상호 연결되어야 유효한 시험 결과를 얻을 수 있다.

작업 판넬에는 두 개의 쿠폰을 삽입하여 시험과 측정을 하는 것이 보다 높은 신뢰를 얻을 수 있다. 실제로 일부 PCB회사에서는 임피던스 제어 시험을 통하지 않고 경험적인 절차와 방법으로 시험 쿠폰을 두 개씩 삽입하여 PCB에 대한 질적인 보장을 확보한다. PCB 제작자는 주로 회로폭과 절연층 간격만을 조정하여 쿠폰을 제작하고, 시험/측정을 반복함으로써 공정의 특성을 파악하고 임피던스를 계산한다. 이때 임피던스 이외의 다른 신뢰도 시험을 거쳐 고객과 제품의 신뢰도를 확보한다.

정확한 제작을 위하여 계산된 값과 측정된 값들을 비교한 결과표를 만들어 자사공정과 이론치 사이의 변동을 파악한다. 그림 1에서 트랙폭(W)과 트랙 두께(h) 값을 변경하여 시험을 반복하고, 설계자의 요구치를 맞추는 공정변수들을 찾아내는 일을 반복하여 설계한다.

표 1은 실험을 통해 임피던스에 변화를 주는 변수와 허용한계를 나타낸다. 이외에도 재료의 유전상수가 필요하며, 공기 중 유전상수는 1.0, 테프론 유리는 2.2, 에폭시와 폴리마이드는 4.7, 알루미늄은 10.0, 실리콘은 11.7이다. 주로 많이 사용하는 FR-4는 4.2이다[2, 10].

표 1. 임피던스 변화율
Table 1. Impedance variation.

	임피던스 변화율(Ω)
회로폭(W) ±1mm	± 3.5
유전체높이(H)±1mm	± 3.0
트랙두께(T)±1mm	± 2.0

표 2. 마이크로스트립의 임피던스 변화율
Table 2. Impedance variation of microstripline.

ϵ_r	W	h	T	정규저항	오차범위		
4.7	0.006	0.0055	0.002	55	±5.5		
	h \ W	0.005	0.006	0.007	0.008	0.009	0.010
	0.004	53.769	57.719	61.031	63.908	66.459	68.191
	0.005	48.900	52.899	56.260	59.171	61.745	63.505
	0.006	44.663	48.742	52.154	55.098	57.696	59.483
	0.007	40.918	45.080	48.543	51.522	54.144	55.958
	0.008	37.551	41.799	45.317	48.331	50.977	52.819
	0.009	34.482	38.823	42.396	45.447	48.119	49.989

표 3. 이중 스트립의 임피던스 변화율
Table 3. Impedance variation of dual stripline.

ϵ_r	W1	W2	T	정규저항	오차범위		
4.7	0.006	0.008	0.0012	55	±5.5		
	h \ W	0.003	0.004	0.005	0.006	0.007	0.008
	0.004	37.169	49.012	57.857	64.920	70.800	75.837
	0.005	32.133	43.975	52.821	59.884	65.763	70.800
	0.006	27.727	39.570	48.415	55.478	61.358	66.395
	0.007	23.813	35.655	44.501	51.563	57.443	62.480
	0.008	20.209	32.133	40.978	48.041	53.921	58.957
	0.009	17.088	28.931	37.776	44.839	50.719	55.755

시뮬레이션을 위해서 재료는 FR-4를 가정하고, 코퍼 1 oz, 유전율은 $\epsilon_r=4.7$ 을 사용할 때, 표 2는 그림 1에서 표면 마이크로스트립라인의 임피던스에 대해, 임피던스 계산식(1)을 이용하여 트랙폭에 대한 임피던스의 변화율을 얻는다. 여기서 W와 h에 대한 계산에서 선택된 값은 ±5.5Ω 오차범위의 55.478 Ω이 최적한 값으로 선택하여 쿠폰을 설계한다.

표 3은 이중 스트립라인에 대한 단일 임피던스 계산식(4)와 트랙폭에서의 임피던스변화이다. 여기서 설계하고자 하는 주문자의 변수들에 대해 계산된 임피던스는 ±5.5 Ω 범위내에서 55.098 Ω으로 계산하고 쿠폰을 설계한다.

기준에는 표 2와 표 3처럼 복잡하고 경험적인 절차를 거쳐 PCB 쿠폰 설계가 주로 이루어졌다. 통신 회로가 복잡하고 다층화된 환경변화에 적응하기 위해서는 정확한 제어임피던스용 시뮬레이터 구현이 필요하게 되었다.

IV. 제어임피던스용 시뮬레이터 구현

고객이 주문한 규격에 맞추어 PCB를 설계하려면 몇 가지 기본 정보가 필요하다. 첫째, 몇 개의 임피던스 회로가 필요한가? 둘째, 몇 층의 PCB 구조에 전체 두께는 얼마를 원하는가? 셋째, 임피던스 회로를 어느 층간에 넣을 것인가? 넷째, 회로의 폭은 얼마로 할 것인가? 이러한 순서로 설계된 PCB는 배열구조 결정, 최적 회로폭의 확정 및 임피던스 측정용 쿠폰을 설계하게 된다^[6]. 초기에는 생산할 수 있는 공정별 능력을 평가한다. 이때 고객이 요구하는 규격을 만족시키기 위해서 PCB 제작 요청자와 제작자간의 데이터 교환이나 오차제정이 필요하다. PCB 원형실행에서는 초기 샘플로 공정별 오차를 토대로 데이터 분석을 하며, 마지막으로 투입된 규격 데이터를 갖고 생산을 한다.

시뮬레이터 개발에서 초기화면은 PCB 쿠폰 관리와 정보보호를 위하여 그림 2처럼 사용자명과 패스워드를 사용하고, 모델 선택과 함께 패턴을 볼 수 있다. ID와 Password를 입력하면, 그림 3처럼 메인화면이 뜨고 사

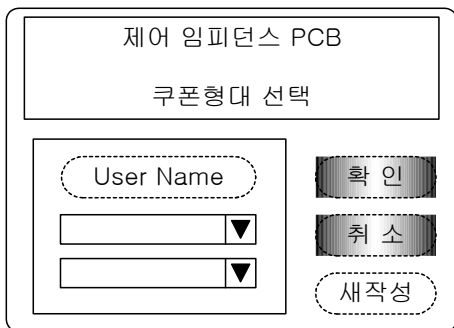


그림 2. 사용자 이름과 패스워드
Fig. 2. User name and password.

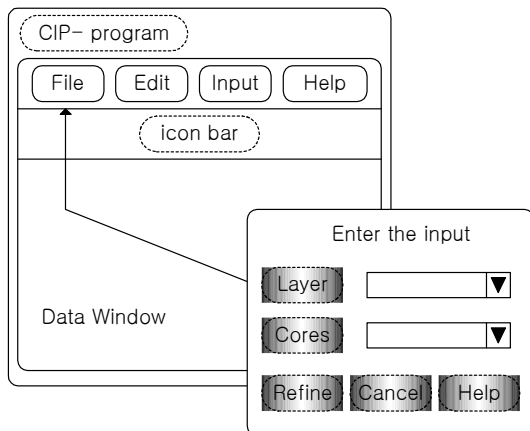


그림 3. 메인 작업화면
Fig. 3. Main working monitor.

용자는 예전 작업을 계속하거나 새로운 작업을 할 수 있다

그림 3에서 파일을 선택하면, PCB의 층수와 신호경로의 개수를 요청하는 아이콘이 그림 4처럼 나타난다. 이는 새로운 파일 구축과 DB에 접근할 수 있는 데이터를 생성토록 해준다. 이외에도 fine, select, cancel 및 help 메뉴 아이콘을 통하여 작업을 추가할 수 있고, refine은 데이터를 재입력하고자 할 때 사용한다.

그림 4에서 화면의 사용자는 각 플랫폼 화면을 클릭하면서 데이터를 입력한다.

기본적인 화면은 계층과 계층의 구조가 어떤 형태인가를 넣는다. 이 화면은 직접 DB와 연동되어 있다. 계층 화면은 앞서 입력한 층수를 바탕으로 저장한 DB 층을 불러낸 것이다.

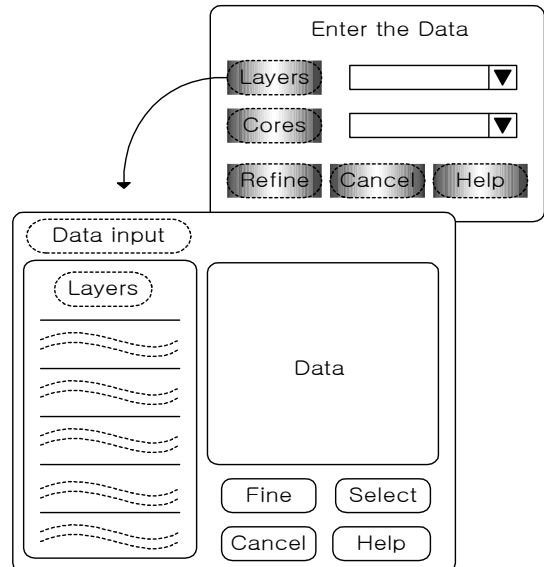


그림 4. 계층과 코어의 데이터 입력
Fig. 4. Input of layer and cores data.

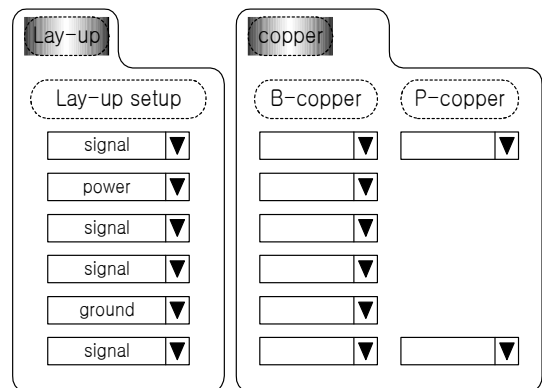


그림 5. 배열 계층과 copper를 선택
Fig. 5. Selection of layer and copper.

그림 5는 그림 4의 데이터 입력부에 해당한다. 입력 데이터는 기본적으로 dB화된 데이터를 불러오는 방식을 취한다.

그림 6은 주어진 파라미터들에 따라 식(1)~(5)를 이용하여 자동적으로 계산한 임피던스값과 오차를 표시해주는 창이다. 이때 오차에 대한 입력은 계산값이 꼭 맞지 않아도 오차범위에 들어오면 마킹이 되도록 범위를 설정해 준다.

그림 7은 다층으로 구성된 쿠폰계층의 프로파일(profile) 예를 나타낸다. 각 프리프레그(Prepreg) 사이에 마이크로스트립 라인, 스트립라인 및 기준선을 어느 곳에 두어야 하는지는 PCB 쿠폰 설계자가 최적한 값이라고 판단되는 형태에 따라 선택할 수 있다. 이때 최적한 패턴의 PCB 선택을 위하여 다양한 시도를 통해 최적한 형태를 선정한다.

그림 8(a)는 최종결과 값을 계산하고 저장하는 창이고, (b)는 최종 결과치를 자동계산하여 최적한 임피던스를 분석할 수 있도록 그래프로 나타내는 창이다.



그림 6. 각 계층의 임피던스와 오차
Fig. 6. Impedance and error of each layer.

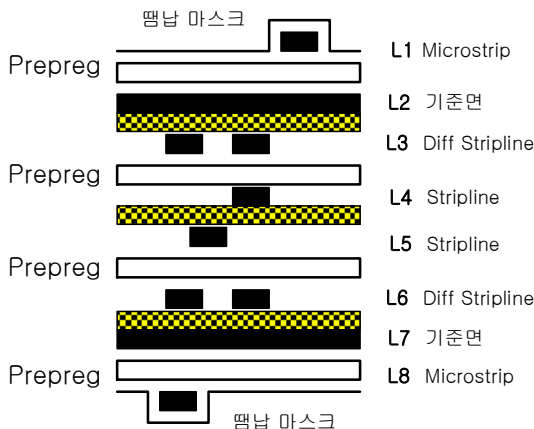
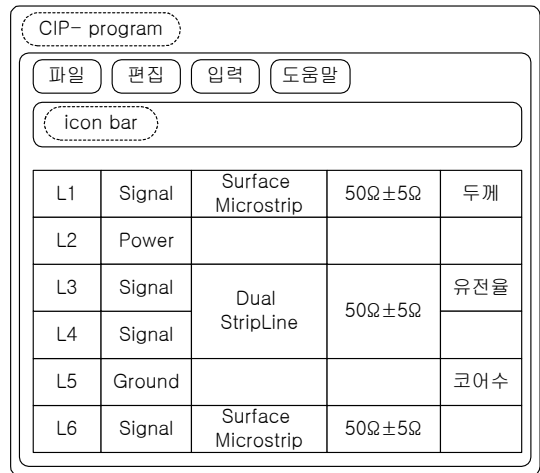


그림 7. 쿠폰 계층의 프로파일
Fig. 7. Profile of coupon layer.

그림 9는 다양한 파라미터 입력과 패턴을 실행하기 위한 실제 소프트웨어 화면을 나타낸다. 화면 좌측은 입력 파라미터들에 대한 데이터, 화면 오른쪽은 스트립라인의 선택형과 각 스트립라인에서의 h, W, T 및 유전율을 입력하도록 제시한다.



(a) 최종 시뮬레이션 결과 표시창

L1	0.0175	0.0175	0.0175	0.5 oz
	0.17	0.12	0.12	1080 × 2
L2	0.0350	0.0350	0.0350	1.0 oz
	0.2	0.2	0.3	Core
L3	0.0350	0.0350	0.0350	1.0 oz
	0.17	0.29	0.17	1080 + 2116
L4	0.0350	0.0350	0.0350	1.0 oz
	0.2	0.2	0.2	Core
L5	0.0350	0.0350	0.0350	1.0 oz
	0.17	0.17	0.17	1080 + 2116
L6	0.0350	0.0350	0.0350	1.0 oz
	0.2	0.2	0.2	Core
L7	0.0350	0.0350	0.0350	1.0 oz
	0.17	0.29	0.17	1080 + 2116
L8	0.0350	0.0350	0.0350	1.0 oz
	0.2	0.2	0.3	Core

(b) 계산된 최종결과와 dB 사례

그림 8. 최종결과 저장
Fig. 8. Saving of final results.

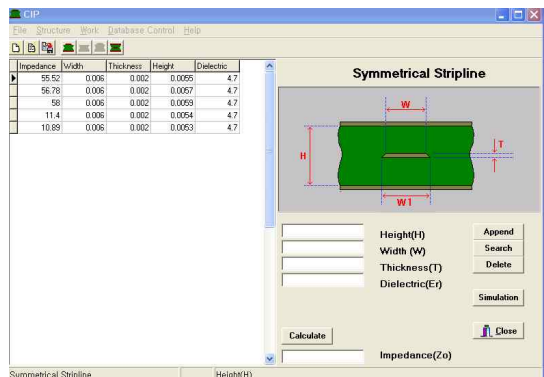


그림 9. 배열 모니터
Fig. 9. Display monitor.

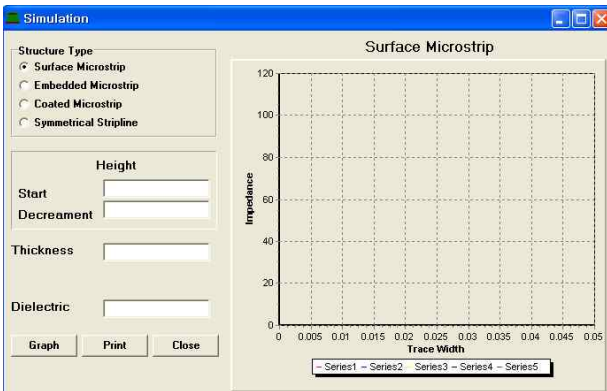
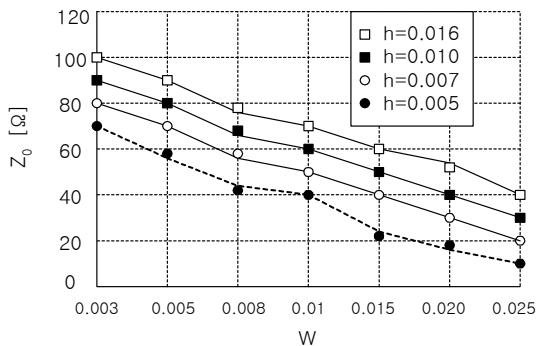
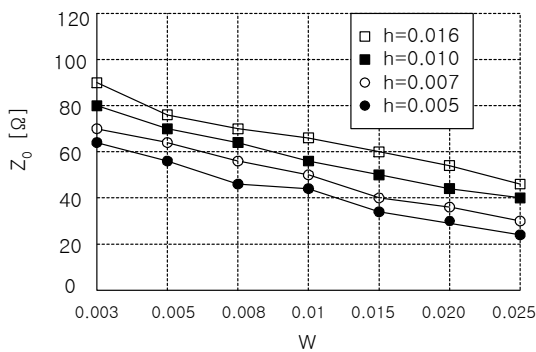


그림 10. 그래프 디스플레이 화면
Fig. 10. Graphic display monitor.



(a) 마이크로스트립라인의 임피던스 변화



(b) 임베디드 마이크로스트립라인의 임피던스

그림 11. 마이크로스트립라인과 임베디드 마이크로스트립라인의 임피던스 변화
Fig. 11. Impedance variation of microstripline and embedded microstripline type.

그림 10은 그림 9에서 주어진 구조형태, h , W , T 및 유전율(ϵ_r)에 따라 W 에 대한 임피던스 변화를 그래프로 볼 수 있는 화면을 나타낸다. 이때 그래프를 선택하면 여러 개의 h 에 대한 특성을 동시에 비교할 수 있다.

그림 11은 재질은 FR-4를 가정하고, 코퍼 1 oz, 유전율은 $\epsilon_r=4.7$ 을 사용할 때, 표 2에서 주어진 h 에 따라 표면 마이크로스트립라인과 임베디드 마이크로스트립형

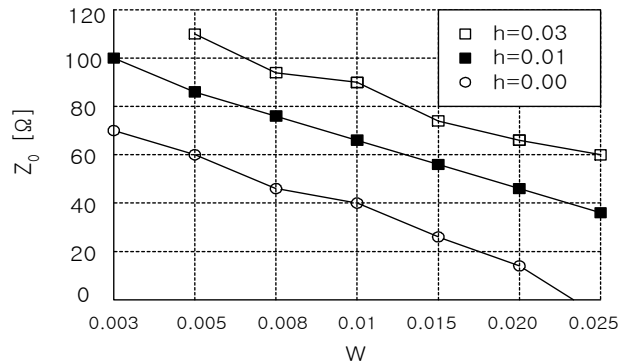


그림 12. 이중 마이크로스트립라인의 임피던스
Fig. 12. Impedance variation of dual microstripline.

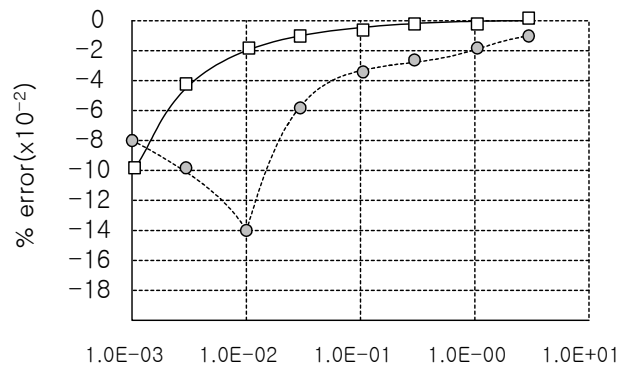


그림 13. W/h 비에 대한 %에러 변화
Fig. 13. % error variation to W/h .

의 트랙 폭(W)에 대한 임피던스의 변화율을 나타낸다.

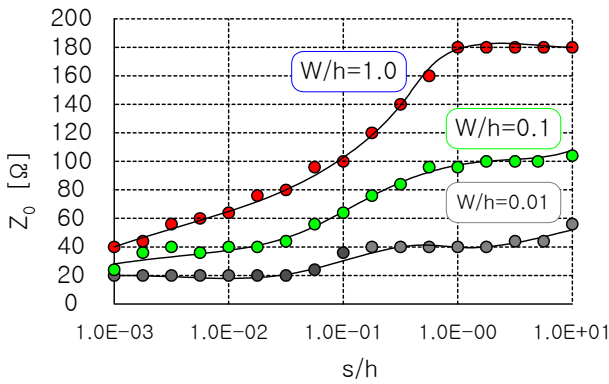
그림 12는 표 3에서 주어진 조건에 따라 이중 마이크로스트립라인(dual micro-stringline)에서의 트랙폭에 대한 임피던스변화를 나타낸다.

그림 13은 스트립라인형에서 W/h 비율에 대한 % error를 나타낸다. 이때 코너에서 두 개의 곡선이 서로 다른 작은 성분으로 보여진다.

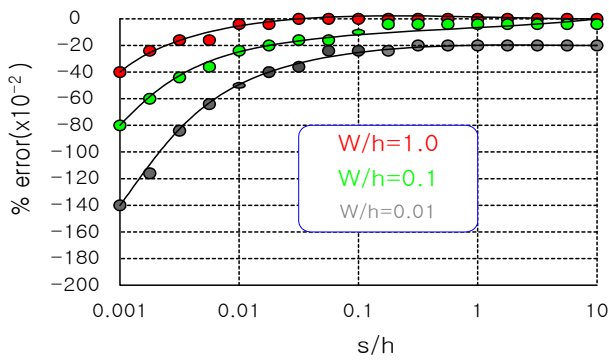
그림 14(a)는 W/h 가 1.0, 0.1 및 0.01로 변할 때, s/h 에 대한 임피던스 변화율, (b)는 % error 변화율을 나타낸다.

그림 14(a)의 $s/h = 1.0E-00$ 를 전후로 임피던스 변화가 크게 일어남을 알 수 있고, (b)에서는 $s/h = 0.01$ 을 전후로 에러의 변화가 안정권에 들어감을 볼 수 있다.

고객의 최적한 PCB 쿠폰설계를 위하여 h , W , T 및 ϵ_r 등 다양한 조건에 따라 최적한 임피던스를 선택하였고, 그에 따른 다층 PCB를 설계할 수 있는 시뮬레이터를 개발함으로써 자동으로 임피던스 특성을 분석할 수 있음을 보였다. PCB생산 공정에서 임피던스 측정에는 고객이 제작하고자하는 시스템의 특성, 상품의 용도 파악, 요구사항 등이 필수적인 정보이며, 임피던스 값과



(a) W/h와 s/h에 대한 임피던스 변화율



(b) %에러 변화율

그림 14. W/h비에 대한 임피던스 및 %에러 변화
Fig. 14. Impedance and % error variation to W/h.

허용오차, 층수/회로폭/층간 절연간격, 사양의 주의사항을 준수하면서 PCB를 최종 생산한다.

V. 결 론

기준에 EMC나 기타 잡음으로부터 통신시스템의 신호충실성을 보장하려 많은 노력이 있었다. 이는 회로의 집속도, 신호처리속도의 증가 등으로부터 효율적인 PCB를 설계함으로써 달성 가능하다. 특히 고주파의 PCB를 설계할 경우, 신호의 오율은 임피던스 영향이 절대적으로 중요하다. 그러므로 임피던스의 영향을 분석할 수 있는 시뮬레이터 툴을 개발함으로써 다층화 되고 고도화되고 있는 PCB 설계 및 분석에 용이하게 대처하는 방법을 제안하였다.

특히 고객의 최적한 PCB 쿠폰설계를 위하여 h, W, T 및 ε_r 등 다양한 조건에 따라 최적한 임피던스를 선택하는 알고리즘을 보였고, 그에 따른 다층 PCB를 설계할 수 있는 시뮬레이터를 개발함으로써 자동으로 임피던스 특성을 분석할 수 있었다. 이는 현장에서 경험

이나 수동적인 임피던스 계산 방법으로 소요되는 많은 절차를 생략하게 함으로써 시간절약은 물론 PCB설계능률을 높일 수 있었고, 특히 다양한 회로모델을 통하여 모든 정보가 단계별 및 다층 시뮬레이션에 이용될 수 있도록 설계함으로써 시뮬레이터의 확장성을 보장하였다. 또한 제안하는 툴을 통해, PCB의 신호충실성을 기할 수 있을 뿐 아니라 전체 PCB 설계 시간을 절약할 수 있는 경제적인 효과도 얻을 수 있다.

참 고 문 헌

- [1] F. Y. Chang “Transient Analysis of Lossless Coupled Transmission Lines in Nonhomogeneous Dielectnc Medium,” IEEE Trans. on Microwave Tech., pp. 616-626, Sep., 1970.
- [2] “Calculation of Controllrd Impedance, 2D Field Solving in the SI6000 and CITS25,” Polar inc.Application Notes
- [3] “Design and Technology Knowhow of PCB Pattern”, Information Institute of Science and Technology, STII910757
- [4] H. W. Johnson and Martin Graham, “High-speed Digital Design : A Handbook of Black Magic,” Prentice-Hall, 1993.
- [5] M. I. Montrose, “EMC and the Printed Circuit Board,” IEEE Inc., pp. 175-182, 1996.
- [6] Hart, Bryan, “Digital Signal Transmission,” Pub Chapman and Hall 1988.
- [7] Wadell B. C. Transmission Line Design Handbook, Artech House Publishers, 1991.
- [8] Werner John, “Design of Printed Circuit Boards as a Part of an EMC-adequate System Development,” IEICE Trans. on Comm. vol. E80-Bm No. 11, Nov. 1997.
- [9] Harrington, Roger F, “Field Computationby Moment Methods,” Pub : MacMillan, 1968
- [10] CITS25, “Differential Controlled Impedance Calaulator,” Polar Instruments Ltd, <http://www.polars.co.uk>, 1998.
- [11] Silveter P. P, “Microwave Properties of Microstrip Transmission Lines,” IEE Proc. of vol. 115, No. 1, pp 43-48, Jan. 1969.
- [12] Cohn, Mike, “Succeeding with Agile : Software Development Using Scrum,” Addison-Welsey, July 2009.
- [13] Sadiku, Matthew No. “Numerical Tech. in Electromagnetics,” Pub : CRC Press, 1992.
- [14] Silvester P. P & Ferrari R. L, “Finite Element for Electrical Engineers,” Cambridge Univ. Press

1983.

[15] Brebbia, C. A. "The Boundary Element Method for Engineers," Pentech Press, 1997.

[16] Dal Hwan Y., "Impedance Calculation Method for PCB Tracks Signal Fidelity", Patent No. 2011-01-189-000274, 2011. 01

— 저 자 소 개 —



윤 달 환(정회원)
 1987년~1993년 육군사관학교
 교수
 2001년~2003년 세명대학교
 산업기술연구소장
 2005년~2009년 (주)하이원
 대표이사

1984년 한양대학교 전자공학과 학사 졸업.
 1986년 한양대학교 전자공학과 석사 졸업.
 1994년 한양대학교 전자공학과 박사 졸업.
 <주관심분야 : 통신, 신호처리, 전력전자>



조 먼 균(정회원)
 1994년 한양대학교 전자통신
 공학과 학사 졸업
 1996년 한양대학교 전자통신
 공학과 석사 졸업.
 1996년~2008년 삼성전자 통신
 연구소 시스템개발팀
 책임연구원

2006년 연세대학교 전기전자공학과 박사 졸업.
 2008년~세명대학교 정보통신학부 조교수.
 <주관심분야 : 이동통신, 신호처리, 스마트그리드>

인 치 호(평생회원)
 대한전자공학회 논문지
 제 46 권 SD편 제1호 참조
 현재 세명대학교 컴퓨터학부 교수