논문 2011-48SD-11-1

InAlAs/InGaAs/GaAs MHEMT 소자의 항복 특성에 관한 연구

(A Study on the Breakdown in MHEMTs with InAlAs/InGaAs Heterostructure Grown on the GaAs substrate)

손 명 식*

(Myung-Sik Son)

요 약

트랜지스터의 최대 출력 성능을 제한하는 요소 중 가장 중요한 하나가 항복 전압이다. GaAs 기판 위에 점진적으로 성장된 메타몰픽(Metamorphic) InAlAs/InGaAs HEMTs(MHEMT)는 InP 기판 위에 성정한 HEMT에 비해 비용 측면에서 특히 장점을 가지고 있다. 그러나 GaAs 나 InP 기반의 HEMT 소자들은 모두 우수한 마이크로파 및 밀리미터파 주파수 특성 및 이에 따른 저잡음 특성에 비해 낮은 항복전압으로 인해 파워 소자로서는 중간출력 정도의 소자로서만 사용 가능하다. 이러한 HEMT 소자의 항복 전압을 개선하기 위하여 본 논문에서는 InAlAs/$In_xGa_{1-x}As$/GaAs MHEMT 소자들의 항복 특성을 시뮬레이션하고 분석하였다. 2차원 소자 시뮬레이터의 hydrodynamic 전송 모델을 사용하여 $In_{0.52}Al_{0.48}As/In_{0.53}Ga_{0.47}As$ 이종접합 구조를 갖는 제작된 0.1-㎛ Γ-gate MHEMT 소자에 대하여 파라미터 보정 작업을 수행한 후 항복 특성에 영향을 주는 요소들을 분석하였다. 깊은 준위 트랩 효과를 고려한 충돌 이온화 및 게이트 전계를 분석하였고, 인듐(In) 몰 성분 변화에 따른 $In_xGa_{1-x}As$ 채널에서의 항복 특성 예측을 위한 충돌 이온화 계수를 경험적으로 제안 적용하였다.

Abstract

One of the most important parameters that limit maximum output power of transistor is breakdown. InAlAs/InGaAs/GaAs Metamorphic HEMTs (MHEMTs) have some advantages, especially for cost, compared with InP-based ones. However, GaAs-based MHEMTs and InP-based HEMTs are limited by lower breakdown voltage for output power even though they have good microwave and millimeter-wave frequency performance with lower minimum noise figure. In this paper, InAlAs/$In_xGa_{1-x}As$/GaAs MHEMTs are simulated and analyzed for breakdown. The parameters affecting breakdown are investigated in the fabricated 0.1-㎛ Γ-gate MHEMT device having the modulation-doped $In_{0.52}Al_{0.48}As/In_{0.53}Ga_{0.47}As$ heterostructure on the GaAs wafer using the hydrodynamic transport model of a 2D commercial device simulator. The impact ionization and gate field effect in the fabricated device including deep-level traps are analyzed for breakdown. In addition, Indium mole-fraction-dependent impact ionization rates are proposed empirically for $In_{0.52}Al_{0.48}As/In_xGa_{1-x}As$/GaAs MHEMTs.

Keywords: HEMT, Metamorphic HEMT(MHEMT), Breakdown, Output power, Impact ionization, Device simulation

Ⅰ. 서 론

수백 GHz에 이르는 밀리미터파 주파수 대역은 현재의 무선통신 및 미래의 광대역 무선 통신의 매체가 되는 소중한 주파수 자원이다. 차세대 밀리미터파 통신

* 정회원, 순천대학교 전자공학과
(Sunchon National University)
접수일자: 2011년6월13일, 수정완료일: 2011년11월16일

분야 및 이동 통신 분야에서 기술 선진국과의 기술력 격차를 줄이고 도약을 이루기 위해서는 다양한 통신 시스템의 핵심 소자개발이 필수적이다.

이러한 주파수 대역용 InP 기반 HEMT 소자는 우수한 주파수 특성을 보여 주고 있지만 몇 가지 문제점을 가지고 있다. 이 소자의 가장 큰 문제로 아직은 비용이 GaAs 기반 소자에 비해 비싸며, 4인치 이상의 에피웨이퍼 생산이 어렵고, 제작시 깨지기 쉬워 취급하기 어렵다는 문제점을 안고 있다. 이에 대한 대안으로 InP 에피구조를 GaAs기판 위에 성장시킨 MHEMT (Metamorphic HEMT)에 대한 연구들이 많이 시도되고 진행되어 왔으며 위에서 언급한 InP 기반 MIMIC제작시의 단점을 극복할 수 있는 뛰어난 주파수 특성을 갖는 HEMT 소자로 자리 매김하고 있다.

InP 기판 및 GaAs 기판에 성장시켜 제작하는HEMT 소자들은 최소 잡음 특성이 우수한 마이크로파 및 밀리미터파 주파수 특성에 비해 출력 면에서 항복 전압이 매우 낮다는 공통점을 가지고 있다. 이를 극복하기 위해 항복 전압에 대한 연구 실험 논문들이 많이 보고되었고, 그에 따른 제안 연구들이 보고되어 왔다.

하지만 이러한 연구 실험 논문들의 단점은 항복 특성에 영향을 주는 상호 관련 요인들의 관련성을 정확하게 파악하는 데는 한계가 있는 것이 사실이고, 이를 극복하기 위한 대안 연구가 소자 시뮬레이션을 통한 소자 분석이다.

소자 시뮬레이션의 신뢰성을 확보하고 이를 통해 실제 소자의 항복 특성을 분석한다면 상호 관련성을 좀 더 면밀히 파악할 수 있고 이를 통해 소자의 항복 특성을 개선할 수 있는 소자 구조를 제안 설계할 수 있을 것이다.

본 논문에서는 제작된 0.1㎛ Γ-게이트 MHEMT 소자 특성[1]에 대해 ISE사의 DESSIS소자 시뮬레이터의 2차원 hydrodynamic 전송 모델[2]을 이용해 시뮬레이션을 수행하였고, 항복 특성에 영향을 주는 요인들에 대한 파라미터 변화 및 구조에 따른 결과들을 비교하여 보이고 이를 통해 그 영향 정도를 분석 상술하였다. 또한 인듐(In) 몰분율에 따른 충돌 이온화(impact ionization) 계수에 대한 선형 보간 값을 제안 적용하여 시뮬레이션을 수행하고, 발표된 항복 전압 경향[3]과 비교 분석하였다.

Ⅱ. Hydrodynamic HEMT 소자 시뮬레이션

1. Hydrodynamic HEMT 소자 시뮬레이션

참고문헌[1]에서의 에피구조를 갖는 0.1㎛ Γ-게이트 MHEMT 소자는 이중 델타 도핑된 에피구조 및 항복 전압을 높이기 위해 소스 측으로 치우쳐진 Γ-게이트 구조이다. 소스-드레인 간격은 2㎛이며 게이트는 Γ-게이트 구조를 가지고 있다. 게이트는 Ti/Au 금속 증착된 쇼트키 접합을 이루며, 게이트 장벽층은 15nm의 $In_{0.52}Al_{0.48}As$ 층이 사용되었다. 소오스 및 드레인 오믹 접합(AuGe/Ni/Au)을 위해 캡(cap)층은 $6\times10^{18}/cm^3$의 농도로 n형 도핑되었다. 게이트 폭 70㎛ 인 핑거 수 2개를 갖는 소자 레이아웃 구조를 가지고 있다[1].

계산의 효율성과 정확성을 고려하여 ISE사의 소자 시뮬레이터 DESSIS의 hydrodynamic 전송 모델을 사용하여 HEMT소자 시뮬레이션을 수행하였고, 제작된 소자에 대해 시뮬레이션 파라미터 보정 작업을 수행하였다. HEMT 소자 시뮬레이션을 위해 고려된 기본적이고 중요한 모델들을 아래에 정리하여 나타내었다.

- ○ Hydrodynamic 전송 모델
- ○ 고전계 이동도 감소 모델
- ○ Si_3N_4 보호층/InAlAs 장벽층 계면의 표면 거칠기로 인한 이동도 감소 모델
- ○ 오믹 접합시 AuGe 확산 도핑 모델
- ○ 쇼트키 게이트 및 이종접합 경계면에서의 터널링 현상 및 열전자 방출 효과
- ○ SRH(Shockley-Read Hall), Auger 및 Radiative (Direct) 재결합 모델
- ○ Si_3N_4 보호층/InAlAs 장벽층 계면의 표면 SRH 재결합 모델

위 기본적인 모델들 이외에 게이트 싱크(sink) 및 Si_3N_4/InAlAs 계면에 형성되는 깊은 준위 억셉터 트랩, 400nm InAlAs 버퍼층 및 메타몰픽 버퍼층의 도너 트랩을 포함하여 시뮬레이션을 수행하였다. 제작된 소자에 대한 시뮬레이션 파라미터 보정 작업에 대한 자세한 사항은 참고문헌[1]을 참조하시기 바라며, 본 논문에서는 시뮬레이션 결과의 타당성을 확보하기 위하여 시뮬레이션 파라미터 보정 결과를 아래 분석을 다루는 장에서 보이고, 이전 논문[1]에서 설정되었던 파라미터와 다른 부분들만을 모아서 표 1 및 표 2에 정리하여 나타내었다.

표 1. 시뮬레이션 파라미터
Table 1. Simulation parameters.

Schottky Barrier Height(V)		0.585			
$In_xGa_{1-x}As$	Mole Fraction	x=0		x=1	
		e	h	e	h
	Constant Mobility, μ_{max}	3936.21	250.0	14830.15	402.83
	Saturation Velocity, v_{sat}	1.2341e+7	1.0e+6	4.0e+7	4.8e+6
$In_xAl_{1-x}As$	Mole Fraction	x=0		x=1	
		e	h	e	h
	Constant Mobility, μ	294.0	75.0	7855.54	100.0
	Saturation Velocity, v_{sat}	8.5e+6	1.0e+5	2.233e+7	5.0e+6
Delta Doping(cm^3)		Top		Bottom	
		2.25e+19		2.6e+18	
Si_3N_4/ InAlAs Interface	Traps Type	Acceptor			
	Density(cm^2)	3.00e+12			
InAlAs Buffer Layer	Traps Type	Acceptor		Donor	
	Density(cm^3)	2.0e+13		6.0e+16	
Meta-morphic Buffer Layer	Traps Type	Top Area		Bottom Area	
		Acceptor	Donor	Acceptor	Donor
	Density(cm^3)	8.0e+16	6.0e+16	2.e+17	6.0e+16

표 2. 충돌 이온화 모델 파라미터
Table 2. The parameters of Impact ionization model.

$In_xGa_{1-x}As$	Mole Fraction	x=0		x=1	
	Carrier	e	h	e	h
	a	8.6e+5	2.3e+5	5.5e+5	3.0e+4
	b	1.0e+6	4.5e+6	8.115e+5	6.4e+5
	λ_n	0.25			
	λ_p	0.80			
$In_xAl_{1-x}As$	Mole Fraction	x=0		x=1	
	Carrier	e	h	e	h
	a	8.6e+6	2.3e+7	3.0e+4	3.0e+4
	b	3.5e+6	4.5e+6	6.4e+5	6.4e+5
	λ_n	1.00			
	λ_p	1.00			

2. 항복 특성을 위한 충돌 이온화 모델 파라미터

Hydrodynamic 시뮬레이션에서 애벌런치(avalanche) 생성에 의한 전류 증가를 통해 항복 특성을 분석하기 위해 DESSIS 시뮬레이터의 충돌 이온화 모델 중 van Overstraeten-de Man 모델[2]을 사용하였으며 충돌 이온화 계수를 정리하여 표 2에 나타내었다.

애벌런치 생성에 의한 전류 증가를 표현하기 위한 애벌런지 생성률 $G^{\|}$는 아래 식 (1)로 표현되며, 여기서 a_n은 전자의 충돌이온화 계수, a_p는 정공의 충돌이온화 계수이며, n은 전자의 농도, p는 정공의 농도, v_n 및 v_p는 각각 전자 및 정공의 표동 속도를 나타낸다.

$$G^{\|} = \alpha_n n v_n + \alpha_p p v_p \tag{1}$$

충돌 이온화 계수 α은 구동 전계력 F에 의해 식 (2)와 같이 표현된다.

$$\alpha(F) = \gamma a e^{-\frac{\gamma b}{F}} \tag{2}$$

여기서, $\gamma = \dfrac{\tanh\left(\frac{h\omega_{op}}{2kT_0}\right)}{\tanh\left(\frac{h\omega_{op}}{2kT}\right)}$이다. a 및 b는 보정 계수이며, $h\omega_{op}$는 광학 포논 에너지, T는 기판 온도, T_0=300K를 나타낸다.

Hydrodynamic 전송 모델에서 캐리어 온도를 유효 구동 전계로 바꾸어서 구동 전계력을 구하게 되는데, 이는 식 (3)으로 표현된다.

$$\alpha_n = \alpha_n(F) = \alpha_n\left(E_n^{\text{eff}}\right) \tag{3}$$

여기서, E_n^{Eff}는 전자의 유효 전계력이며 아래 식 (4)로 표현된다. T_n은 전자 캐리어 온도, T_L은 격자 온도, τ_{en}은 전자의 충돌 에너지 완화 시간이다.

$$n\mu_n\left(E_n^{\text{eff}}\right)^2 = n\frac{3k_B}{2q}\frac{T_n - T_L}{\lambda_n \tau_{en}} \tag{4}$$

식 (4)에서 다른 열 싱크를 고려하여 몬테카를로 시뮬레이션과의 차이점을 보정한 관련식은 식 (5)로 표현된다.

$$nV_{sat,n}E_n^{\text{eff}} = n\frac{3k_B}{2q}\frac{T_n - T_L}{\lambda_n \tau_{en}} + \frac{\Upsilon_n}{q}(E_g + \delta_n k_B T_n)\alpha_n n v_{sat,n} \tag{5}$$

여기서, $V_{sat,n}$ 및 $v_{sat,n}$은 같은 파라미터이며, 포화 표동 속도를 나타낸다. 식 (5)에서 γ_n=0으로 두면 식 (4)와 같다.

본 논문에서의 시뮬레이션에서는 γ_n=0으로 설정하여 다른 열 싱크 모델를 고려하지 않았으며 식 (5)를 사용하여 충돌 이온화 계수 α_n을 결정하도록 하였다. 위 관련식에서 사용되는 파라미터 값들을 물질에 따라 설정

하였으며 아래 표 2에 각 물질에 따라 결정된 충돌 이온화 모델 파라미터들을 정리하여 나타내었다.

위 관련 식에서 알 수 있듯이 이종접합 전계효과 트랜지스터에서 애벌런치 항복은 이동도 μ 및 전자 캐리어의 농도 n, 표동 포화 속도 $v_{sat,n}$ 및 충돌 에너지 완화 시간 τ, 캐리어 온도 T_n와 격자 온도 T_L와의 차이에 따라 유효 전계의 크기가 결정되며 이에 따라 충돌 이온화 생성 전류가 결정된다. 이러한 애벌런치 생성 전류는 전류가 흐르는 소자 영역의 자기과열(self heating) 과정을 통해서 기판의 온도를 상승시켜 멜트다운 시키는 과정으로 이해할 수 있다. 기판 온도가 상승하더라도 열전도도가 좋은 물질 및 소자 구조라면 빠르게 자체 열을 해소시켜 멜트다운을 늦출 수 있으므로 이것은 소자 레이아웃 구조 및 에피층들과 기판 구조에 사용된 각 물질의 열전도도 특성에 따라 결정되어 지는 것으로 이해할 수 있다. HEMT 소자 구조에서 전류를 증가시키는 요인과 충돌이온화 유효 전계를 증가시키는 요인의 중첩이 On-상태 및 Off-상태의 항복 특성을 결정짓는 요인이라고 정리할 수 있다.

Ⅲ. 항복 특성 시뮬레이션 결과 및 분석

시뮬레이션의 신뢰성을 보이기 위하여 제작된 MHEMT 소자에 대해 파라미터 보정 시뮬레이션을 수행하여 그림 1에서 보는 바와 같이 비교적 잘 일치하는 결과를 얻었으며, 표 2의 충돌 이온화 파라미터를 사용하였다. 충돌이온화 애벌런치 생성 전류가 나타나기 시작한 점들을 V_{gs} 변화에 따라 빨간 실선으로 이어서 나타내었다. V_{gs}=0V일때 V_{ds}=2.5V에서부터 충돌이온화 생성 전류가 나타남을 알 수 있으며, V_{gs}=-0.75V에서는 V_{ds}=1.1V에서부터, V_{gs}=-2.0V에서는 V_{ds}=3.0V 충돌이온화 생성전류가 나타났다. 표 1 및 표 2에서 나타낸 각 에피층 물질들의 파라미터를 사용하여 MHEMT 소자의 리세스 구조 및 채널에서의 인듐 몰 성분 변화에 따른 항복 특성을 분석하였다.

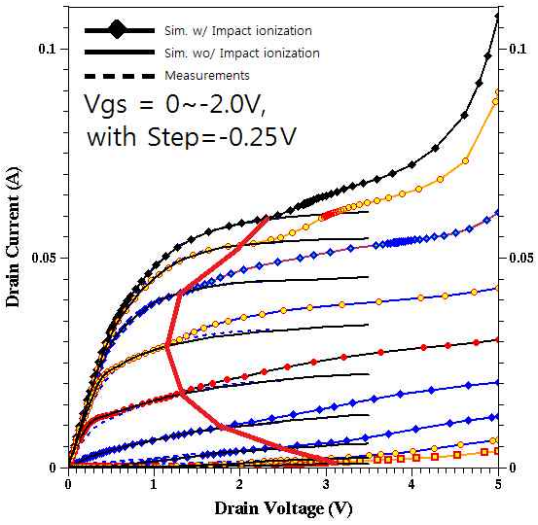


그림 1. 충돌 이온화 시뮬레이션 결과 비교
Fig. 1. Comparative simulations with and without the impact ionization.

1. Γ-게이트 헤드 전계 효과

Γ-게이트 헤드 높이는 0.1㎛이고 게이트 저항을 줄이기 위하여 게이트 헤드 길이를 0.75㎛로 크게 가져갔는데 그림 1과 비교해서 보면 이 게이트 헤드는 게이트 역전압이 증가할수록 Si_3N_4/InAlAs 계면의 억셉터형 음전하에 더해져 InAlAs 장벽층 표면의 공핍 영역을 확대시켜 항복전압을 낮추는 역할을 함을 그림 2에 나타내었다. 게이트 헤드 부분을 없애고 게이트 풋 부분만을 두고 시뮬레이션 한 그림 2의 결과는 전류가 증가[4]하였는데 이는 Si_3N_4/InAlAs 계면의 억셉터형 트랩에 의해 생성되는 음전하량에서 게이트 헤드 전계력에 의한 음전하량을 뺀 결과로 게이트 헤드 아래 InAlAs 표면에 나타나는 공핍 영역이 줄면서 채널층의 전위 변화로 전류가 증가[4]하였다고 분석할 수 있다. 전류가 증가하더라도 애벌런치 생성 전류는 더 높은 드레인 전압에서 나타나고 있는데 이는 전류가 증가하더라도 충돌이온화 유효 전계력이 낮아진 결과로 해석된다.

따라서 항복전압 특성을 개선하기 위해서는 넓은 리

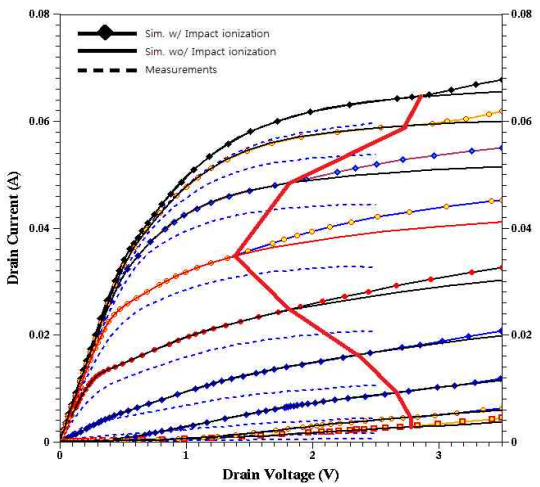


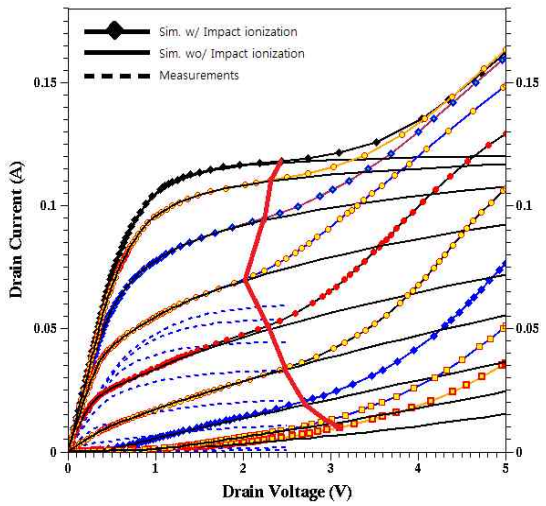
그림 2. Γ-게이트 헤드 전계 효과
Fig. 2. Effect of the Γ-gate head field.

세스 구조(소오스-드레인 간 InGaAs 캡층을 모두 제거한 구조)에서 게이트 풋과 게이트 헤드 간 높이를 더 높여 게이트 헤드 전계 영향을 낮추어야 한다. 또는 이것에 더해 Y-게이트 구조가 항복 전압을 더 높일 수 있을 것으로 판단된다.

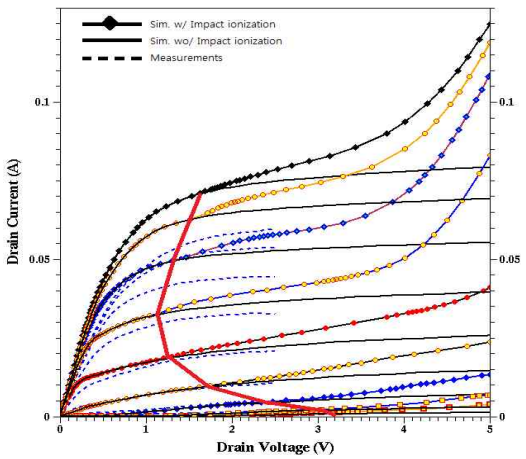
2. 게이트 리세스 구조 효과

그림 3(a)에서는 게이트 풋 이외의 소스-드레인 간 InGaAs 캡층을 제거한 좁게 리세스한 구조에 따른 항복 특성을 나타내었다. 소스-드레인 간격은 2㎛이었다.

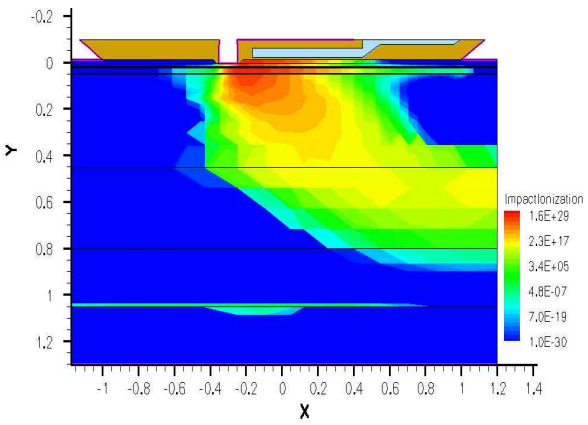
좁게 리세스된 구조에서는 다수 캐리어인 전자의 이동 통로가 채널층 및 InGaAs 캡층이 되어 On 전류가 넓게 리세스된 그림 1의 결과 보다 높게 나타났으며 전류의 증가로 충돌 이온화 생성 전류가 나타나는 빨간선도 낮은 드레인 전압에서 나타나고 있음을 알 수 있다. 충돌이온화 애벌런치 생성 전류의 증가 경향도 넓게 리세스된 구조에서 보다 빠르게 증가하고 있음을 알 수 있다. 이는 넓게 리세스된 구조에서는 충돌이온화 애벌런치 생성 전류가 증가하는 초기에 InAlAs 표면이나 버퍼 쪽으로 생성 전류가 공급되면서 충돌이온화에 의한 킹크 현상[5]이 일어나는 것으로 보이며 그 이후에는 빠르게 충돌이온화 생성 전류가 증가되어 애벌런치 항복에 이르는 것으로 해석된다. 좁게 리세스된 구조에서는 넓게 리세스된 구조에서의 초기 킹크 현상 없이 빠르게 생성 충돌이온화 생성 전류가 나타나고 있다. 그림 3(b)는 그림 3(a) 구조에서 V_{gs}=-0.75, V_{ds}=5.0V에서의 충돌이온화에 의한 2차원 생성 전류 농도 분포를 나타내었다. 게이트 바로 밑 드레인 쪽으로 InGaAs 캡



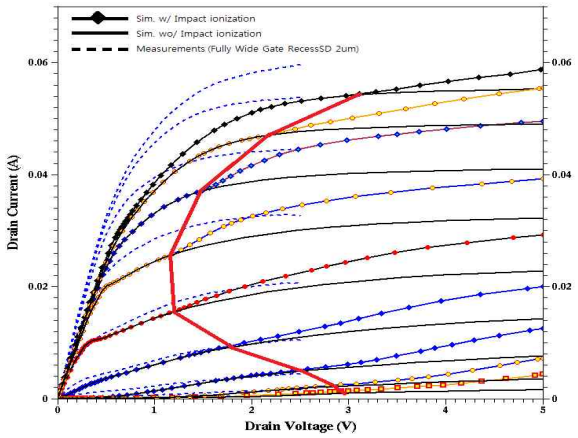
(a) Fully-Narrow recess (S-D 2㎛)



(c) Half-Wide recess (S-D 2㎛)



(b) Avalanche Generation ($\alpha_n + \alpha_p$)



(d) Fully-wide recess (S-D 3㎛)

그림 3. 게이트 리세스 구조 효과
Fig. 3. Effect of gate-recessed structures.

층 및 채널층에서 최대 애벌런치 생성 전류가 나타남을 2차원적으로 보여 주고 있다.

그림 3(c)는 소오스-드레인 간격 2㎛일 때 소스측 및 드레인 측 InGaAs 캡층 길이의 반을 정확히 리세스시켰을 때의 구조에서 시뮬레이션한 결과이다. 전류도 넓게 리세스한 구조에 비해 증가하고 애벌런치 충돌이온화 생성 전류도 더 낮은 V_{ds} 전압으로 이동하는 경향을 잘 보여주고 있다. 그림 3(d)는 소스-드레인 간격을 3㎛로 늘여 시뮬레이션한 결과이다. 애벌런치 충돌이온화 생성 전류가 상당히 감소하였음을 알 수 있으며, 게이트-드레인간 간격이 멀어짐으로써 충돌이온화 유효 전계가 감소하여 나타난 현상이다. 따라서 소오스-드레인 간격을 넓게 가져가는 것이 항복 특성을 개선함을 보여주고 있다.

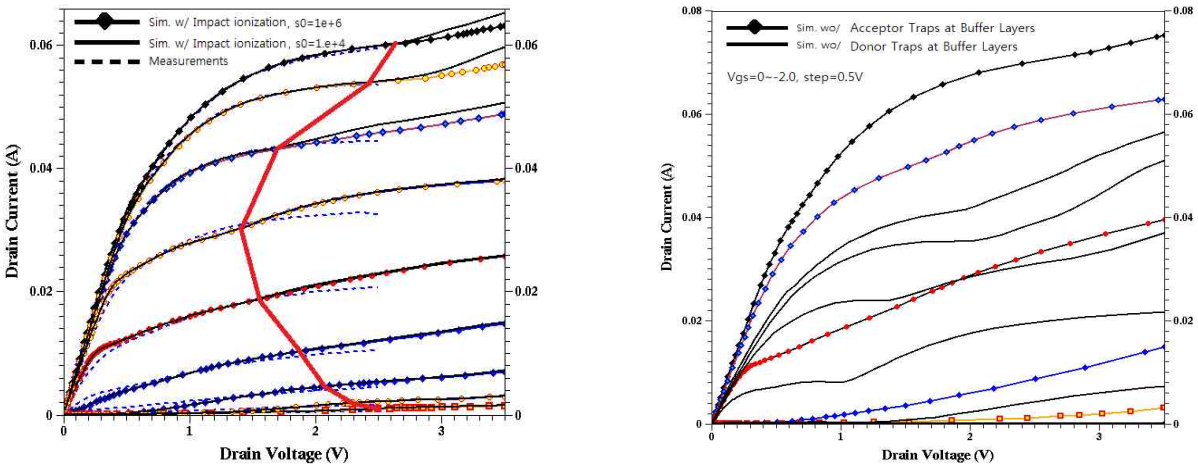
3. 깊은 준위 트랩 효과

그림 4(a)에서는 Si_3N_4/InAlAs 장벽층 계면 사이의 표면 SRH 파라미터 값인 표면 결합 속도 s0의 값을 1e+6[cm/sec]으로 변경하였을 때의 결과를 비교하여 나타내었으며, 이때 비교한 두 경우 모두 충돌이온화 파라미터 λ_n은 0.275로 설정되었다. 본 논문의 모든 결과는 s0=1.e+4으로 시뮬레이션하였다. s0 값을 1e+6으로 변경하였을 때 충돌이온화 애벌런치 생성 전류가 줄어듦을 알 수 있는데 이는 충돌이온화에 의해 공급된 전자가 Si_3N_4/InAlAs 계면에 공급되어 억셉터형 트랩에 포획됨으로써 채널층을 더 공핍시킴으로써 전류가 감소한 현상[4]으로 해석된다.

그림 4(b)에서는 표 1에서 나타낸 400nm의 긴 InAlAs 버퍼층 및 1.0㎛의 계단-성장된 $In_xAl_{1-x}As$(x=0~0.5) 메타몰픽 버퍼층에서 억셉터형 트랩을 없애고 시뮬레이션한 경우와 도너형 트랩을 없애고 시뮬레이션한 결과를 비교하여 나타낸 결과 그림이다. 충돌이온화 파라미터 λ_n=0.275이다. 버퍼의 도너형 트랩은 정공을 포획하여 버퍼층 전체를 양전하를 띈 공간 전하로 만들고 이는 채널층 전위를 변화시켜 채널의 에너지 밴드를 페르미 에너지 준위 쪽으로 휘게 함으로 전류가 증가되는 현상[1][5]을 보이게 된다. 버퍼층들의 억셉터형 트랩들은 전자를 포획하여 음전하를 띈 공간 전하로 만들고 위 논의와 마찬가지로 채널 전위 변화로 채널층의 에너지 밴드는 페르미 에너지 준위보다 높아지는 쪽, 즉 멀어지므로 전류가 감소하게 되는 현상[1, 5]을 보이게 된다.

4. 게이트 장벽 높이 효과

그림 5에서는 게이트 장벽 높이를 0.8V로 높였을때의 항복 특성을 0.585V였을 때와 비교하여 나타내었다. 쇼트키 장벽 높이가 0.8V로 높아지면 채널을 통과하는 전류가 감소하게 되어 전체적으로 애벌런치 생성 전류가 줄어듦을 확인할 수 있었다. 하지만, V_{gs}=0V일 때는 전류 레벨은 줄었지만 대략 4V 이상에서 빠르게 애벌런치가 나타나고 있음을 알 수 있다. V_{gs}=-2.0일 때를



(a) (b)

그림 4. 깊은 준위 트랩 효과; (a) Si_3N_4/InAlAs 계면 SRH 효과 결과 비교, (b) 버퍼 트랩 결과 비교

Fig. 4. Effect of deep-level Traps; (a) Comparative results of interface SRH effect between Si_3N_4 and InAlAs, (b) Comparative results of Buffer-traps effects.

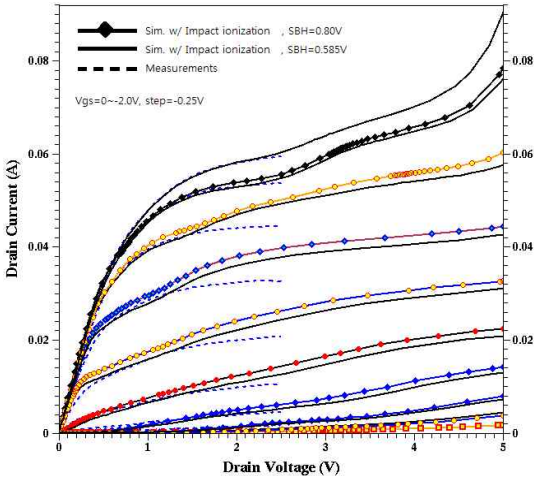


그림 5. 쇼트키 장벽 높이 0.585와 0.8V 일때의 결과 비교

Fig. 5. Comparative results of Schottky barrier heights at 0.585 and 0.8V.

보면 쇼트키 장벽 0.585V일 때보다 전류 레벨이 줄어 Off 항복 특성은 개선되었음을 알 수 있다.

5. $In_xGa_{1-x}As$(x=0.2, 0.53, 0.65) 채널 효과

표 3에 인듐 x=0.2, 0.53, 0.65 일때의 시뮬레이션 결과들인 $g_{m,max}$, V_T, BV_{on}, BV_{off} 계산 값들을 정리하였다. 인듐 몰성분 x가 증가하면서 전류가 증가하면서 동시에 g_m도 개선되고 있음을 알 수 있다. V_{gs}=0V에서의 BV_{on} 전압은 애벌런치 생성 전류가 나타나기 시작하는 첫 V_{ds} 전압을 기준으로 정하였다. V_{gs}=-2V에서의 BV_{off} 전압은 시뮬레이션에서 너무 낮은 전류라 의미 있는 애벌런치 항복전압을 정할 수 없었다. 한 가지 특이할 점은 g_m 특성은 나쁘나 그림 6에서 보는 바와 같이 인듐 몰성분 x=0.2일 때 전류 레벨이 2/3 수준으로 줄었지만 V_{ds} 전압이 5V까지 커다란 애벌런치 생성 전류가 나타나지 않는 것으로 보아 BV_{on} 전압은 x=0.2일때 좋은 특성[3]을 나타냄을 확인하였다.

표 3. $In_xGa_{1-x}As$ 채널 층에서 x=0.2, 0.53, 0.65 일때의 결과 비교

Table 3. Comparative results of x=0.2, 0.53 and 0.65 in $In_xGa_{1-x}As$ channel layer.

$In_xGa_{1-x}As$	x=0.53	x=0.65	x=0.2
$g_{m,max}$ (mS/mm)	362.95	389.17	226.1
V_T (V)	-1.308	-1.386	-0.858
BV_{on} (V) at V_{gs}=0V	≃2.5	≃2.0V	≥5.0V
BV_{off} (V) at V_{gs}=-2.0V	≥5.0	≥5.0	≥5.0V

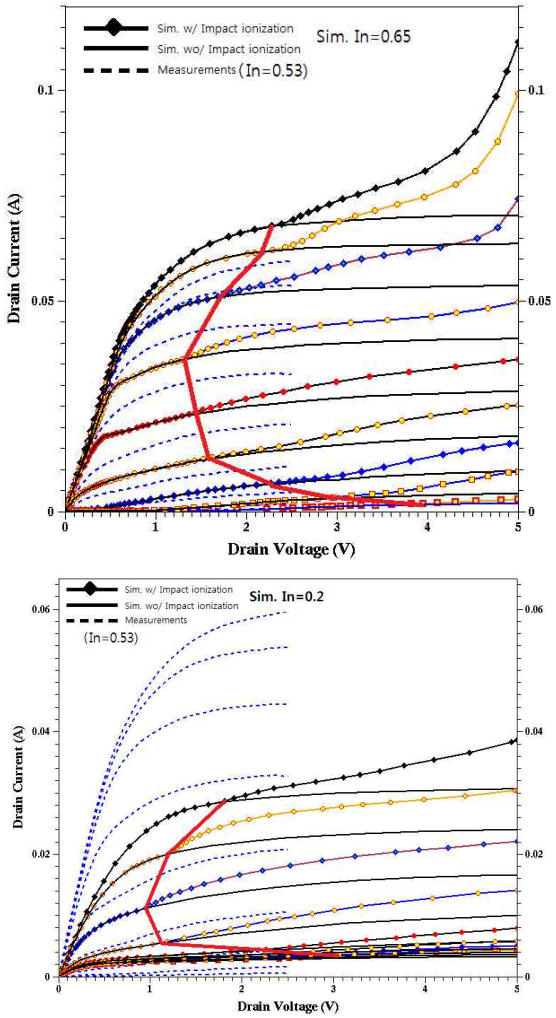


그림 6. 23-nm $In_xGa_{1-x}As$ 채널에서 x=0.2 , 0.65 결과 비교

Fig. 6. Comparative results of x=0.2 and 0.65 in 23-nm $In_xGa_{1-x}As$ channel layer.

Ⅳ. 결 론

InAlAs/$In_xGa_{1-x}As$/GaAs MHEMT 소자의 충돌이온화에 따른 애벌런치 전류 생성을 시뮬레이션하여 항복 특성을 분석하였다. Γ-게이트 및 리세스 구조에 따른 항복 특성, 깊은 준위 트랩 및 쇼트키 장벽 높이, InGaAs 채널층의 In 몰성분 변화에 따른 항복 특성을 시뮬레이션하고 분석하였다.

항복 특성 분석을 통해 게이트 아래 표면에 Γ-게이트 전계 영향을 줄이기 위하여 게이트 헤드 높이를 높게 하거나 Y-게이트 구조로 가는 것이 항복 전압 특성을 개선할 수 있음을 보였다. 또한, InAlAs 표면이나 Si_3N_4 보호 층/InAlAs 장벽층 계면에서의 전자 포획 억

셉터형 트랩에 의해 충돌이온화 유효 전계가 증가하여 항복 전압이 더 낮아짐도 보였다. 게이트 장벽 높이가 개선되어 높아지더라도 On-상태 항복 전압 특성 보다는 Off-상태 전압 특성이 더 개선됨을 보였다. 또한, InGaAs 채널 층의 인듐 몰성분이 증가함에 따라 이동도가 커져 전류가 증가되며, 이를 통해 더 빠른 항복 전류가 생성됨을 보였다. InGaAs 채널을 통해 항복 특성을 개선하기 위해서는 $In_{0.2}Ga_{0.8}As$ 채널층이 하나의 대안이 될 수 있음을 보였다.

향후 이러한 결과를 토대로 항복 특성 개선을 위한 에피구조 및 소자 레이아웃 구조에 대한 최적화 연구를 진행할 예정이다.

참 고 문 헌

[1] "GaAs 기반 $In_{0.52}Al_{0.48}As/In_{0.53}Ga_{0.47}As$ 이종접합 구조를 갖는 MHEMT 소자의 DC 특성에 대한 calibration 연구", *반도체디스플레이기술학회지*, 10권, 1호, pp.63-73, 2011년 3월

[2] ISE-DESSIS manual, pp. 12-288, Ver. 9.5

[3] C.S. Whelan, P.F. Marsh, W.E. Hoke, R.A. McTaggart, C.P. McCarroll, T.E. Kazior,"GaAs metamorphic HEMT (MHEMT): an attractive alternative to InP HEMTs for high performance low noise and power applications," *Proceedings of 2000 International Conference on Indium Phosphide and Related Materials*, pp.337-340, May 14-18, 2000.

[4] T. Suemitsu, T. Enoki, N. Sano, M. Tomizawa, Y. Ishii, "An Analysis of the Kink Phenomena in InAlAs/InGaAs HEMT's Using Two-Dimensional Device Simulation," *IEEE Trans. Electron Devices*, vol. 45, no. 12, pp.2390-2399, Dec. 1998.

[5] Mark H. Somerville, Alexander Ernst, and Jesus A. del Alamo, "A Physical Model for the Kink Effect in InAlAs/InGaAs HEMT's," *IEEE Tansactions on Electron Devices*, vol. 47, no. 5, pp. 922-929, May 2000.

저 자 소 개

손 명 식(정회원)

1992년 중앙대학교 전자공학과 공학사

1995년 중앙대학교 전자공학과 공학석사 (반도체 공학)

1999년 중앙대학교 전자공학과 공학박사 (반도체 공학)

1999년 4월~2001년 3월 세명대학교 전자공학과 /컴퓨터응용과학과 강의교수

2001년 4월~2005년 1월 동국대학교 밀리미터파 신기술연구센터 연구교수

2005년 2월~현재 순천대학교 전자공학과 교수