

## 3차원 실장용 TSV 고속 Cu 충전 및 Non-PR 범핑

홍성철 · 김원중 · 정재필<sup>†</sup>  
서울시립대학교 신소재공학과

### High-Speed Cu Filling into TSV and Non-PR Bumping for 3D Chip Packaging

Sung Chul Hong, Wonjoong Kim and Jae Pil Jung<sup>†</sup>

Dept. of Mater. Sci. and Eng., University of Seoul, Seoul 130-743, Korea  
(2011년 12월 14일 접수: 2011년 12월 21일 수정: 2011년 12월 22일 게재확정)

**초 록:** TSV(through-silicon-via)를 이용한 3차원 Si 칩 패키징 공정 중 전기 도금을 이용한 비아 홀 내 Cu 고속 충전과 범핑 공정 단순화에 관하여 연구하였다. DRIE(deep reactive ion etching)법을 이용하여 TSV를 제조하였으며, 비아 홀 내벽에 SiO<sub>2</sub>, Ti 및 Au 기능 박막층을 형성하였다. 전도성 금속 충전에서는 비아 홀 내 Cu 충전율을 향상시키기 위하여 PPR(periodic-pulse-reverse) 전류 파형을 인가하였으며, 범프 형성 공정에서는 리소그래피(lithography) 공정을 사용하지 않는 non-PR 범핑법으로 Sn-3.5Ag 범프를 형성하였다. 전기 도금 후, 충전된 비아의 단면 및 범프의 외형을 FE-SEM(field emission scanning electron microscopy)으로 관찰하였다. 그 결과, Cu 충전에서는 -9.66 mA/cm<sup>2</sup>의 전류밀도에서 60분간의 도금으로 비아 입구의 도금층 과성장예 의한 결함이 발생하였고, -7.71 mA/cm<sup>2</sup>에서는 비아의 중간 부분에서의 도금층 과성장예 의한 결함이 발생하였다. 또한 결함이 생성된 Cu 충전물 위에 전기 도금을 이용하여 범프를 형성한 결과, 범프의 모양이 불규칙하고, 균일도가 감소함을 나타내었다.

**Abstract:** High-speed Cu filling into a through-silicon-via (TSV) and simplification of bumping process by electroplating for three dimensional stacking of Si dice were investigated. The TSV was prepared on a Si wafer by deep reactive ion etching, and SiO<sub>2</sub>, Ti and Au layers were coated as functional layers on the via wall. In order to increase the filling rate of Cu into the via, a periodic-pulse-reverse wave current was applied to the Si chip during electroplating. In the bumping process, Sn-3.5Ag bumping was performed on the Cu plugs without lithography process. After electroplating, the cross sections of the vias and appearance of the bumps were observed by using a field emission scanning electron microscope. As a result, voids in the Cu-plugs were produced by via blocking around via opening and at the middle of the via when the vias were plated for 60 min at -9.66 mA/cm<sup>2</sup> and -7.71 mA/cm<sup>2</sup>, respectively. The Cu plug with a void or a defect led to the production of imperfect Sn-Ag bump which was formed on the Cu-plug.

**Keywords:** electroplating, Cu filling, non-PR bumping, defect, scanning electron microscopy

## 1. 서 론

전자 패키징 분야에서 실리콘 웨이퍼에 관통홀을 형성하여 전기적 통로로 사용하는 TSV(through-silicon-via)를 이용한 3차원 패키징 방법<sup>1-2)</sup>은 고성능, 고밀도 실장을 위한 가장 우수한 방법 중의 하나이다. TSV에 전도성 금속을 충전하는 방법 중 Cu 전기 도금법은 공정 비용이 비교적 저렴하고, 양산이 용이하여 널리 사용되고 있다.<sup>3-4)</sup> 그러나, 대부분의 Cu 전기 도금 충전 방법이 장시간의 충전(약 15시간 정도)을 요하는 경우가 많고<sup>5)</sup>, 결함 발생률도 높기 때문에 비아 홀 충전 공정이 TSV를 이용한 공정 비용의 약 41% 정도를 차지하는 것으로 알려져 있다.<sup>6)</sup>

또한 전기 도금을 이용한 웨이퍼 상의 미세 범프 형성은 원가절감 효과와 대량 생산이 가능하며, 전류 인가에

따라 범프의 사이즈 조절이 쉬운 장점이 있다. 그러나, 도금법에 의한 범핑(bumping)은 일반적으로 리소그래피(lithography) 공정을 포함하고 있다. 리소그래피 공정은 PR coating, film masking, UV lightening, patterning, PR stripping 등 여러 공정을 포함하고 있어서 시간 및 비용의 소모가 크다.<sup>7-8)</sup> 또한 2~3원계 합금 범프의 형성은 금속간의 표준 전극 전위(standard electrode potential)의 차이 때문에 정확한 조성을 얻는데 어려움이 있다. 이에 따라 비아 홀의 충전 시간 단축 및 합금 범프 형성에 관한 연구들이 많이 진행되고 있다.<sup>9-10)</sup>

저자들은 이전 연구를 통하여 비아 홀 내 Cu의 고속 충전에 관하여 보고하였다. PPR(periodic pulse reverse) 전류 파형<sup>11)</sup>과 경사형 비아(tapered via)<sup>12)</sup>를 이용한 충전을 통하여 60분 동안의 전기 도금으로 평균 충전율 80%와

<sup>†</sup>Corresponding author  
E-mail: jujung@uos.ac.kr

92%를 각각 나타내었다. 또한 전류 밀도를 조절하여 충전하는 3-step PPR<sup>13)</sup>에 관한 연구를 통하여 80분간의 충전으로 평균 95.5%의 높은 충전율을 나타내었다. 이들 연구에서의 60~80분의 충전 시간은 기존의 충전 시간<sup>5)</sup>에 비하여 충전 시간이 대폭 감소한 것이며, 고속 충전임에도 불구하고 결함이나 박리 없는 양호한 충전 결과를 나타내었다.

또한 PR mould 없이 전기도금에 의하여 범프를 형성하는 연구<sup>8, 14-15)</sup>를 진행한 바 있다. 이 기술은 리소그래피에 관한 공정 없이 전기 도금법으로 범프를 웨이퍼 위에 직접 형성함으로써 생산 원가 절감 및 생산성 향상을 기대할 수 있는 방법이다. 본 연구에서는 3차원 실장 기술의 주요 공정 중 전기 도금에 의한 Cu 고속 충전과 non-PR 범프 공정, 이와 관련된 결함 발생에 관하여 조사하였다.

### 2. 실험방법

TSV 제조용 기관으로서, 두께 525 μm, 직경 100 mm, 결정방향 <100>인 p-형의 실리콘웨이퍼를 사용하였다. 웨이퍼 표면에 TSV 형성을 위해 포토 레지스트 패턴 후 DRIE(deep reactive ion etching) 법을 사용하여 깊이 60 μm, 직경 30 μm, 피치 200 μm의 TSV를 형성하였다. 100 mm 웨이퍼 상에 모두 240개의 칩 패턴을 형성하였으며, 1개의 칩 당 192개의 TSV를 제조하였다. 비아 홀 내벽에 SiO<sub>2</sub>, Ti 및 Au 기능 박막층을 형성 후 전기도금법을 이용하여 비아 홀 내 Cu를 충전하였다.

Cu가 충전된 TSV 상에 전기 도금(electroplating)을 이용하여 범프(bump)를 형성하기 위하여, Cu가 충전된 웨이퍼를 관통홀 윗면과 아랫면의 Cu가 노출될 때까지 CMP(chemical mechanical polishing)를 실시하여, 60 μm 두께의 non-PR 범핑용 시편을 제작하였다. 제작된 시편을

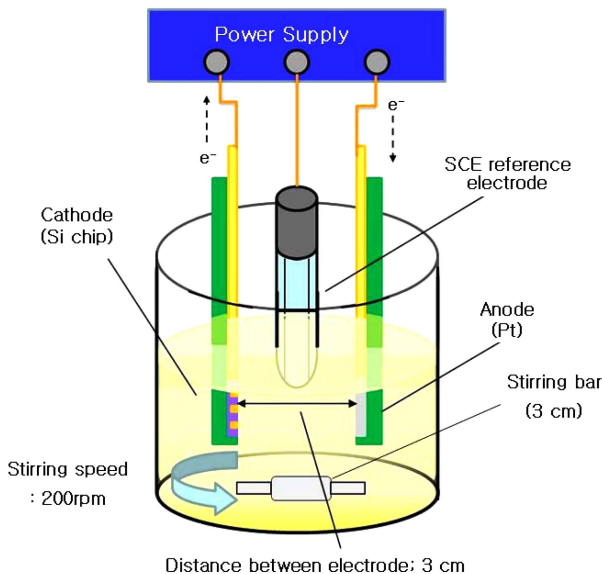


Fig. 1. Schematic illustration of an electroplating unit.

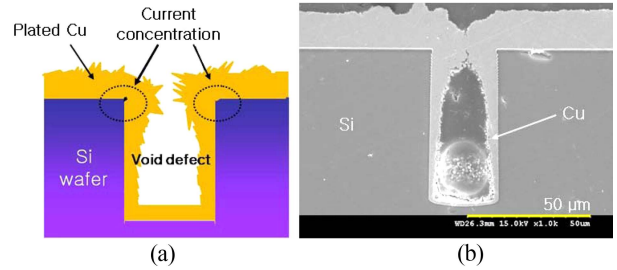


Fig. 2. Defect creation by overgrowth of Cu around via opening.

범프 형성용 음극(cathode)으로, Pt sheet (10×10×0.3 mm)를 양극(anode)으로 사용하여 전기도금을 실시하였다.

TSV의 Cu 충전용 도금액은 CuSO<sub>4</sub> 103.08 g/L, H<sub>2</sub>SO<sub>4</sub> 32 mL/L 및 소량의 첨가제로 구성되어있으며, Sn-Ag bump를 형성하기 위한 도금액으로는 SnSO<sub>4</sub> 42.8 g/L, H<sub>2</sub>SO<sub>4</sub> 26.8 mL/L, Ag<sub>2</sub>SO<sub>4</sub> 0.08 g와 첨가제를 넣어 제조하였다. 도금액은 길이 3 cm의 자석 교반 막대를 사용하여 200 rpm으로 교반하였다. 도금액의 온도는 실온(21~25°C), 전극간의 거리는 3 cm로 유지하였다. Cu가 충전된 단면 관찰 및 범프의 외관을 관찰하기 위해, 주사전자현미경(FE-SEM, field emission scanning electron microscopy)을 사용하였다.

### 3. 결과 및 고찰

#### 3.1 전기 도금에 의한 비아 홀 내 Cu 충전

전기 도금을 이용한 TSV 내 Cu 충전시 일반적으로 보이드(void) 결함은 비아 모서리의 전류 밀도 집중으로 인하여 도금층이 과성장하게 되고, 도금층이 서로 맞닿게 되어 입구를 막게 됨으로써 형성된다. Fig. 2(a)는 보이드 결함이 형성되는 상황을 그림으로 나타낸 것이며, Fig. 2(b)는 전류 밀도 -9.66 mA/cm<sup>2</sup>의 PPR 전류 파형을 이용하여 60분간 충전한 이후의 비아 단면으로 도금층 과성장장에 의하여 결함이 생성된 것을 보인 것이다. 비아의 입구 막힘으로 인하여 비아의 Cu 평균 충전율은 78.01%를 나타내었다.

그러나 비아 입구의 전류 집중에 의한 보이드 결함 생성이 아닌 다른 원인에 의해서 보이드가 생성되기도 한다. Fig. 3은 평균 전류 밀도 -7.71 mA/cm<sup>2</sup>의 PPR 전류 파형을 이용한 Cu 충전에서 도금 시간 20분에서 60분까지의 비아 단면 사진으로, 비아 입구의 모서리 부분의 도금층 과성장장에 의한 보이드 생성이 아닌 비아 중간 부분에서의 도금층 과성장장에 의한 보이드 발생을 보인 것이다. 도금 시간이 경과함에 따라 비아 입구에서의 도금은 억제된 반면, 중간 부분에서의 도금층은 계속 성장하여 비아 하단부에 보이드 결함(void)이 생성되었으며, 60분간의 도금으로 비아 내 Cu 평균 충전율은 88.34%를 나타내었다.

이처럼 비아 중간 부분에서 전착 금속 과성장장의 원인으로서는 도금된 금속의 전기저항 변화와 관련이 있다. 일

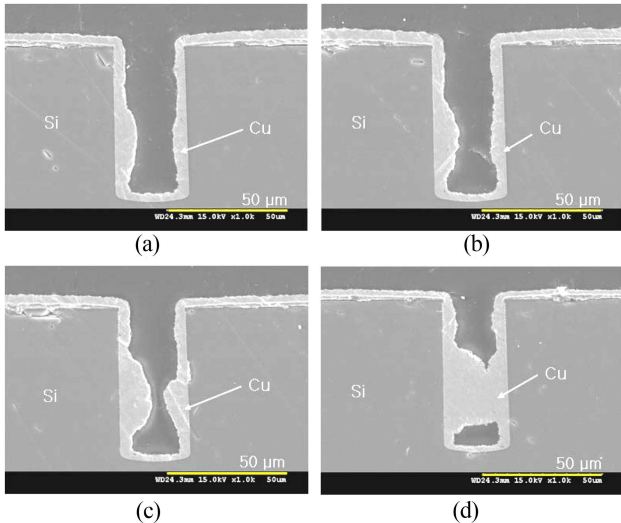


Fig. 3. Void creation by over-growth of electro-deposited Cu at the middle point of via.

반적으로 전기저항은 식 (1)에서 보는 바와 같이 저항체의 길이(L, length)에 비례하고, 두께(t, thickness)와 폭(W, width)에 반비례하게 된다.<sup>16)</sup>

$$R = \frac{\rho L}{i W} \tag{1}$$

비아 홀 내부에 기능 박막층이 균일하게 형성되지 않았을 경우, 즉 시드층의 두께가 불균일 할 경우<sup>17)</sup>, 혹은 도금액의 일시적 농도 불균형으로 인하여 비아 중간 부분에 두꺼운 도금층이 형성되기도 한다. 이 경우, 식 (1)에서 보듯이 도금층의 두께와 전기저항은 반비례하기 때문에 도금층이 두껍게 형성된 부분의 전기 저항값이 다른 부분에 비하여 낮아지기 된다. 이 경우 옴의 법칙 (Ohm's law,  $V=IR$ )으로부터 전류와 전기저항은 반비례하기 때문에, 전기저항이 낮은 부분에 전류의 집중이 일어나게 된다. 따라서 계속적인 도금층의 성장이 발생하여 서로 맞닿게 되고, 결함이 발생하게 된다.

위와 같이 도금층의 두께에 따른 전기저항 변화를 이용하여 결함 없이 비아를 충전하기 위해서는 도금 초기에 비아 하단부의 도금층을 두껍게 형성할 필요가 있다. 저자들은 이전 연구<sup>13)</sup>를 통하여 전류밀도를 저전류에서 고전류로 단계적으로 조절함으로써 상향식 충전(bottom-up filling)이 일어나도록 하는 3-step PPR 충전 방법에 관하여 보고한 바 있다(Fig. 4 참조). 이 방법은 PPR 전류 파형을 저전류, 중전류, 고전류 밀도의 3단계로 나누어 순차적으로 도금하는 방법이다. Fig. 4는 3-step PPR 전류 파형을 이용한 충전에서 1단계(Fig. 4(a))와 2단계(Fig. 4(b))에서의 비아 단면으로 비아 입구의 전착금속(Cu) 과 성장이나 막힘 없이 바닥부부터 도금층이 성장하여 윗부분으로 상향식 충전이 일어나고 있음을 확인할 수 있다. 3-step PPR 충전에서  $-1.24/-3.22/-9.89 \text{ mA/cm}^2$ 의 단계적

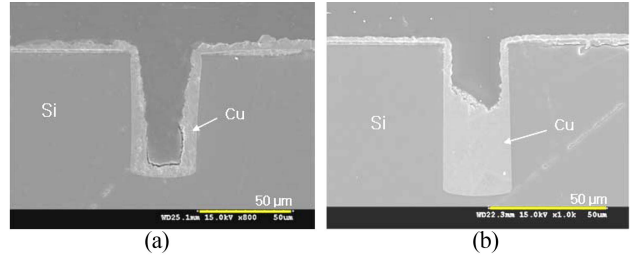


Fig. 4. Bottom-up filling into TSV by 3-step PPR current waveform.<sup>13)</sup>

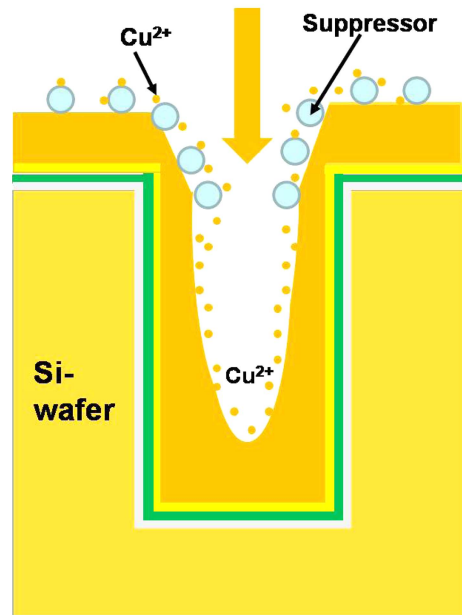


Fig. 5. Schematic illustration of bottom-up filling of Cu by chemical control.

전류 밀도 인가로 80분 동안 충전하여 100%의 충전율을 나타내었으며, 평균 충전율은 95.5%를 나타내었다.<sup>13)</sup>

한편, 기존의 상향식 충전<sup>18-21)</sup>은 PEG(polyethylene glycol)와 억제제(suppressor) 역할을 하는 할로겐화물 이온(halide ion)을 포함하는 화합물, 가속제(accelerator) 역할을 하는 황함유 유기화합물(sulfur-containing organic compounds)을 이용하는 방법을 사용하였다. Fig. 5에서 보듯이 억제제를 이용하여 비아 입구에서의 도금을 억제하고, 동시에 바닥 부분에서의 도금을 활성화시켜 상향식 충전을 하는 방법이다. 그러나 이러한 도금속도 억제제 및 가속제 첨가 연구에서는 최적의 조합을 찾는 데 어려움이 있으며, 비아의 입구 직경이 증가할수록 bottom-up 비율이 감소 경향<sup>19)</sup>을 나타내기 때문에 비아의 입구 직경이 작은 트렌치(trench)에 적용하는 것이 대부분이었다. 여기서 bottom-up 비율이란 비아 바닥의 도금층의 두께(Tb)와 비아 표면의 도금층의 두께(Ts)의 비율을 말한다. 그러나 3-step PPR에 의한 상향식 충전은 비아 직경이 30 μm인 비아에서도 bottom-up 비율이 높게 나타났다.<sup>22)</sup>

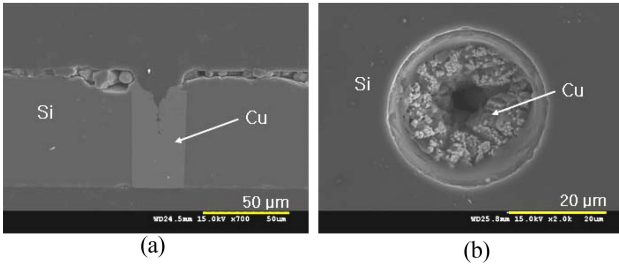


Fig. 6. Defects in a Cu-plug; (a) cross section and (b) top view.

### 3.2 Cu 충전과 범프 형성과의 관계

비아 홀의 크기 및 Cu의 양호한 충전은 3차원 적층을 위한 범프 형성 과정에 큰 영향을 미친다.<sup>23)</sup> Fig. 6은 Cu 충전과정에서 결함이 발생한 실리콘 웨이퍼의 FE-SEM 사진으로, 범프 형성을 위한 제조를 위하여 CMP 한 이후의 단면(Fig. 6(a))과 윗면(Fig. 6(b))을 보인 것이다. Fig. 6에서 보듯이 비아의 윗 부분에 충전이 잘 이루어지지 않고, 결함이 생성되어 있음을 확인할 수 있다. 리소그래피 공정을 생략한 non-PR 범핑 공정<sup>8, 14)</sup>의 경우, 충전된 Cu는 범프 형성을 위한 전류의 이동 통로로 작용하게 된다. 그런데 만약 Cu 충전이 제대로 잘 안되어 있을 경우에는 TSV를 통한 전류 이동이 불균일하게 발생하고, 결과적으로 범프의 모양이 나사머리(rivet head) 모양이 아닌 찌그러진 형태의 범프를 형성하게 되며, 범프 크기의 균일성(uniformity)도 낮아지게 된다.

Fig. 7은 결함이 생성된 TSV 위에 non-PR 범핑법을 통해  $-55 \text{ mA/cm}^2$ 에서 20분간 형성된 Sn-3.5 wt% Ag 범프의 외관 사진을 보인 것이다. Fig. 7에서 보듯이 범프의 크기가 매우 불균일하게 형성되었으며, 형성된 범프의 모양 역시 구형이 아닌 찌그러진 모양임을 명확하게 알 수 있다. 위와 같은 결함을 가진 실리콘 칩을 이용하여 적층하였을 경우, 불균일한 범프 크기로 인하여 상하의 칩 간에 접합이 이루어지지 않는 불량을 발생시킬 수 있다.

Fig. 8은 3-step PPR 전류 파형을 이용하여 100% 충전된 비아의 단면(Fig 9(a))과 non-PR 범핑에 의해  $-55 \text{ mA/cm}^2$ 에서 20분간 형성한 균일한 Sn-3.5 wt% Ag 범프의 외

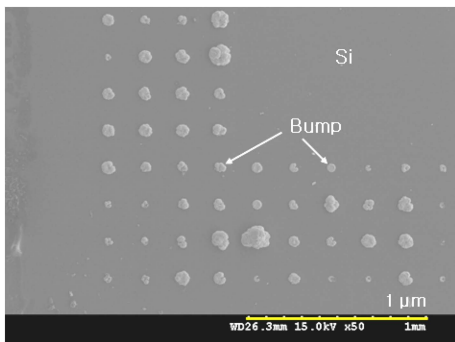


Fig. 7. Non-uniform bumps caused by defected Cu-plugs.

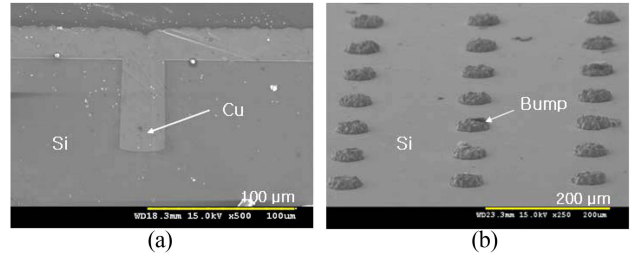


Fig. 8. SEM images indicating (a) cross section of sound Cu filling and (b) appearance of uniform bumps.

관(Fig. 8(b))을 보인 것이다. Fig. 8(a)에서 보듯이 전기 도금에 의하여 비아 내부에 결함 생성 없이 잘 충전되어 있음을 볼 수 있다. 또한 형성된 범프 모양(Fig. 8(b))도 나사머리 모양을 하고 있으며, 범프의 크기도 균일하게 나타나고 있음을 확인할 수 있다. 이에 관한 보다 상세한 내용은 저자들의 다른 보고<sup>13)</sup>를 참고하기 바란다.

3차원 실장을 위한 TSV 공정에서 공정 비용의 감소 및 공정 시간 단축에 관한 많은 연구가 이루어지고 있다. 그러나 공정 비용 및 공정 시간의 단축과 더불어 결함 발생률의 감소가 동반되어야 함은 자명한 사실이다. TSV를 이용한 3차원 적층 기술은 비아 홀에 충전된 Cu 및 범프를 통하여 신호의 전달이 일어나기 때문에 건전한 Cu 충전 및 균일한 범프의 형성은 제품의 신뢰성에 직접적으로 연관된다. 본 연구를 통하여 PPR 전류 파형과 3-step PPR을 이용한 Cu 고속 충전과 non-PR 범핑시 발생할 수 있는 결함에 대해 살펴보았다. 그러나, 최적 조건하에서는 Cu 충전의 경우 평균 충전율은 약 90% 이상을 보였으며<sup>11-13)</sup>, non-PR 범핑의 경우 칩 수준이기는 하지만 uniformity도 약 95% 정도로 우수한 상태를 나타내었다.<sup>24)</sup> 이러한 고속 충전 기술과 non-PR 범핑을 통하여, 공정 시간 및 공정 단축을 통하여 제조 가격의 감소와 생산성 향상에 기여할 수 있을 것으로 기대된다.

## 4. 결 론

전기도금을 이용하여 3차원 적층용 TSV 고속 Cu 충전 및 리소그래피 공정을 생략한 non-PR 범핑 공정에서 발생할 수 있는 결함과 건전한 Cu 충전 및 범핑 공정에 대해 살펴보았다. 연구결과, 전기 도금을 이용한 비아 내 Cu 충전시 전류 집중에 따른 전착금속 과성장기에 의하여 발생하는 결함을 확인할 수 있었다. Cu-plug 중의 주된 결함은 보이드로써, 비아 입구에 Cu가 우선 전착되어 비아가 막히는 경우와, 비아 중간 부분이 막혀서 보이드가 발생하는 경우가 관찰되었다. 전자의 경우,  $-9.66 \text{ mA/cm}^2$ 에서 60분, 후자의 경우  $-7.71 \text{ mA/cm}^2$ 에서 60분간 도금한 것이다. 비아 내 Cu 충전이 불완전 할 경우 범프의 모양 및 균일도가 떨어지게 된다. 반면, 최적의 전해도금 조건에서는 양호한 Cu filling 및 범핑 공정이 단시간에 가

능하였다.

## 감사의 글

본 연구는 서울 R&BD program(JP100096 및 No. 10890)에 의하여 수행되었으며, 이에 감사 드립니다.

## 참고문헌

1. Y. K. Tsui and S. W. Ricky, "Design and Fabrication of a Flip-chip-on-chip 3-D Packaging Structure with a Through Silicon via for Underfill Dispensing", *IEEE Trans. Adv. Pack.*, 28, 413 (2004).
2. M. Karnezos, "3D Packaging: Where All Technologies Come Together", *Proc. 29th International Electronics Manufacturing Technology Symposium, San Jose, 64, IEEE/CPMT/SEMI (2004).*
3. C. Y. Yin, M. O. Alam, Y. C. Chan, C. Bailey and H. Lu, "The Effect of Reflow Process on the Contact Resistance and Reliability of Anisotropic Conductive Film Interconnection for Flip Chip on Flex Applications", *Microelectron. Reliabil.*, 43, 625 (2003).
4. L. J. Ladani, "Numerical Analysis of Thermo-mechanical Reliability of Through Silicon Vias (TSVs) and Solder Interconnects in 3-dimensional Integrated Circuits", *Microelectron. Eng.*, 87, 208 (2010).
5. C. Lee, S. Tsuru, Y. Kanda, S. Ikeda and M. Matsumura, "Formation of 100  $\mu\text{m}$  Deep Vertical Pores in Si Wafers by Wet Etching and Cu Electrodeposition", *J. Electrochem. Soc.*, 156, D543 (2009).
6. Y. Zhang, T. Richardson, S. Chung, C. Wang, B. Kim and C. Rietmann, "Fast Copper Plating Process for TSV Fill", *Proc. International Microsystems, Packaging, Assembly Conference (IMPACT), Taipei, 219, IEEE CPMT (2007).*
7. S. W. Jung, J. P. Jung, and Y. N. Zhou, "Characteristics of Sn-Cu Solder Bump Formed by Electroplating for Flip Chip", *IEEE Trans. Electron. Packag. Manufact.*, 29(1), 10 (2006).
8. S. J. Hong, J. H. Jun, J. P. Jung, M. Mayer and Y. N. Zhou, "Sn Bumping without Photoresist Mould and Si Dice Stacking for 3-D Packaging", *IEEE Trans. Electron. Packag. Manufact.*, 33(4), 912 (2010).
9. ADVANCED PACKAGING : 3D IC & TSV Interconnects - Business Update (2010) report from <http://www.i-micronics.com/reports/3D-IC-TSV-Interconnects-Business-Update-2010-report/109/>
10. T. Luoh, C. T. Su, T. H. Yang, K. C. Chen and C. Y. Lu, "Advanced Tungsten Plug Process for beyond Nanometer Technology", *Microelectron. Eng.*, 85(8), 1739(2008).
11. I. R. Kim, J. K. Park, Y. C. Chu and J. P. Jung, "High Speed Cu Filling Into TSV by Pulsed Current for 3 Dimensional Chip(in Kor.)", *Kor. J. Met. Mater.*, 48(7), 667 (2010).
12. I. R. Kim, S. C. Hong and J. P. Jung, "High Speed Cu Filling into Tapered TSV for 3-dimensional Si Chip Stacking(in Kor)", *Kor. J. Met. Mater.*, 49(5), 388 (2011).
13. S. C. Hong, W. G. Lee, W. J. Kim, J. H. Kim and J. P. Jung, "Reduction of Defects in TSV filled with Cu by High-Speed 3-Step PPR for 3D Si Chip Stacking", *Microelectron. Reliabil.*, 51, 2228 (2011).
14. J. H. Jun, I. R. Kim, M. Mayer, Y. N. Zhou, S. B. Jung and J. P. Jung, "A New Non-PRM Bumping Process by Electroplating on Si Die for Three Dimensional Packaging", *Mater. Trans.*, 51(10), 1887 (2010).
15. S. J. Hong, S. C. Hong, W. J. Kim and J. P. Jung, "Copper Filling to TSV (Through-Si-Via) and Simplification of Bumping Process", *J. Microelectron. Packag. Soc.*, 17(3), 79 (2010).
16. Wikipedia, Wikipedia Foundation. Inc. Jan.(2011) from [http://en.wikipedia.org/wiki/Sheet\\_resistance](http://en.wikipedia.org/wiki/Sheet_resistance)
17. S. Y. Lee and J. H. Lee, "Copper Via Filling Using Organic Additives and Wave Current Electroplating", *J. Microelectron. Packag. Soc.*, 14(3), 37 (2007).
18. Z. Wang, O. Yaegashi, H. Sakaue, T. Takahagi and S. Shingubara, "Bottom-up Fill for Submicrometer Copper Via Holes of ULSIs by Electroless Plating", *J. Electrochem. Soc.*, 151(12), C781 (2004).
19. S. Shingubara, Z. Wang, O. Yaegashi, R. Obata, H. Sakaue and T. Takahagi, "Bottom-up Fill of Copper in Deep Submicrometer Holes by Electroless Plating", *Electrochemical and Solid-State Letters*, 7(6), C78 (2004).
20. S. L. Ko, J. Y. Lin, Y. Y. Wang and C. C. Wan, "Effect of the Molecular Weight of Polyethylene Glycol as Single Additive in Copper Deposition for Interconnect Metallization", *Thin Solid Films*, 516, 5046 (2008).
21. W. P. Dow, M. Y. Yen, W. B. Lin and S. W. Ho, "Influence of Molecular Weight of Polyethylene Glycol on Microvia Filling by Copper Electroplating", *J. Electrochem. Soc.*, 152(11), C769 (2005).
22. S. C. Hong, D. H. Jung, J. P. Jung and W. J. Kim, "Effective Cu Filling Method to TSV for 3-Dimensional Si Chip Stacking(in Kor.)", *J. Kor. Inst. Met. & Mater*, In Press.
23. S. J. Kim, C. W. Joo, S. S. Park, G. H. Baek, S. G. Lee and M. G. Song, "Via-size Dependence of Solder Bump Formation(in Kor.)", *J. Microelectron. Packag. Soc.*, 8(1), 33 (2001).
24. J. H. Jun, W. G. Lee, J. P. Jung and Y. N. Zhou, "Characteristics of Electroplated Sn Bumps Fabricated without a PR Mould on a Si Chip for 3D Packaging", *Microelectron. Eng.*, In Press.