

논문 2011-48SD-4-6

2세대 AiPi+ 용 DLL 기반 저전력 클럭-데이터 복원 회로의 설계

(A Design of DLL-based Low-Power CDR for 2nd-Generation AiPi+ Application)

박 준 성*, 박 형 구*, 김 성 근*, 부 영 건*, 이 강 윤**

(Joon-Sung Park, Hyung Gu Park, Seong Geun Kim, Young Gun Pu, and Kang-Yoon Lee)

요 약

본 논문에서는 패널 내부 인터페이스의 하나인 2세대 AiPi+의 클럭-데이터 복원 회로(Clock & Data Recovery)를 제안하였다. 제안하는 클럭-데이터 복원 회로의 속도는 기존 AiPi+ 보다 빠른 1.25 Gbps 로 향상되었으며 다중 위상 클럭을 생성하기 위하여 Delay-Locked Loop(DLL)를 사용하였다. 본 논문에서는 패널 내부 인터페이스의 저전력, 작은 면적의 이슈를 만족하는 클럭-데이터 복원 회로를 설계하였다. 매우 간단한 방법으로 자동적으로 Harmonic-locking 문제를 해결할 수 있는 주파수 검출기 구조를 제안하여 기존 주파수 검출기(Frequency Detector)의 복잡도, 전류 소모, 그리고 외부 인가에 따른 문제를 개선하였으며, 전압 제어 지연 라인(Voltage Controlled Delay Line) 에서 상승/하강 시간 차이에 따른 에지의 사라짐 현상을 막기 위해서 펄스 폭의 최대치를 제한하는 펄스 폭 오류 보정 방법을 사용하였다. 제안하는 클럭-데이터 복원 회로는 CMOS 0.18 μm 공정으로 제작되었으며 면적은 $660 \mu\text{m} \times 250 \mu\text{m}$ 이고, 공급 전압은 1.8 V이다. Peak-to-Peak 지터는 15 ps , 입력 버퍼, 이퀄라이저, 병렬화기를 제외한 클럭-데이터 복원 회로의 소모 전력은 5.94 mW 이다.

Abstract

In this paper, we presents a CDR circuit for 2nd-generation AiPi+, one of the Intra-panel Interface. The speed of the proposed clock and data recovery is increased to 1.25 Gbps compared with that of AiPi+. The DLL-based CDR architecture is used to generate the multi-phase clocks. We propose the simple scheme for frequency detector (FD) to mitigate the harmonic-locking and reduce the complexity. In addition, the duty cycle corrector that limits the maximum pulse width is used to avoid the problem of missing clock edges due to the mismatch between rising and falling time of VCDL's delay cells. The proposed CDR is implemented in 0.18 μm technology with the supply voltage of 1.8 V. The active die area is $660 \mu\text{m} \times 250 \mu\text{m}$, and supply voltage is 1.8 V. Peak-to-Peak jitter is less than 15 ps and the power consumption of the CDR except input buffer, equalizer, and de-serializer is 5.94 mW.

Keywords : CDR, DLL, Frequency Detector, Harmonic Lock, Low-Power, AiPi+, Intra-panel interface

I. 서 론

최근의 디스플레이 시장은 매우 급속도로 발전하고 있다. 사용자들은 고화질, 고품질의 화면을 선호함에 따라 패널 인터페이스 기술에 일정한 시간 내에 더 많은 양의 데이터 전송 기술 개발이 필요하게 되었다. 게다가 디스플레이의 크기와 해상도의 증가에 따라 높은 비

* 학생회원, ** 평생회원-교신저자,
건국대학교 전자정보통신공학부
(Department of Electronic Engineering, Konkuk University)

※ 본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)의 일환으로 수행하였음 [10030573, Photonic CMOS 기반의 Intelligent Silicon Bead 기술개발].
접수일자: 2010년11월10일, 수정완료일: 2011년3월29일

트-전송률의 디스플레이가 연구되고 있다.^[1]

이러한 발전 동향에 따라 패널 내부 인터페이스 역시 더 많은 데이터를 고속으로 전송하여야 하며 수신부 또한 이러한 고속의 데이터를 처리할 수 있어야 한다. 또한 고속의 데이터를 오류 없이 복원하기 위하여 높은 해상도를 가져야 할 필요성이 있다. 따라서 기존의 다중-드롭 방식에서의 속도 제한을 극복하기 위하여 점대점 방식이 제안되었고 별도의 클럭 라인 없이 데이터와 클럭을 같이 전송하는 클럭 임베디드 개념을 적용하고 있다. 최근에는 패널 내부 인터페이스에서도 본격적인 클럭-데이터 복원 회로 개념을 도입하고 전송속도를 Gbps 대역까지 상향시킨 인터페이스가 제안되었다.^[2]

그림 1은 DLL를 이용한 이중-루프 클럭-데이터 복원 회로의 일반적인 형태이다. 이 형태는 수신 데이터의 주파수에 해당하는 클럭을 생성하기 위해서 루프 2에서 주파수와 위상을 검출하고, 링 타입의 전압 제어 발진기를 사용하여 다중 위상을 생성하도록 한다. 이렇게 생성된 주파수를 루프 1에서 위상 검출기를 통해 원하는 위상으로 맞추어 준다. 하지만, 그림 1의 경우 이중 루프를 사용함으로써, 면적 및 전류 소모가 큰 문제가 있으므로 DLL 기반으로 클럭-데이터를 복원하고자 하는 연구가 진행되어 왔다.^[3]

일반적인 DLL는 Harmonic Locking 문제로 넓은 동작 주파수 대역을 갖지 못한다. 따라서 [4~7]과 같은 다양한 종류의 harmonic locking을 막기 위한 방법이 고안되었다. 이중 루프를 가지는 DLL 방식을 사용한 방법의 경우, 다중의 전압 제어 지연 라인을 사용하여 지연시간 범위를 제한하는 방법을 제안하였고^[4], 아날로그 DLL 방식을 사용한 방식의 경우 복제 지연 라인을 사용하여 기존 DLL의 좁은 동작 주파수 범위 문제를 해결하였다.^[5]

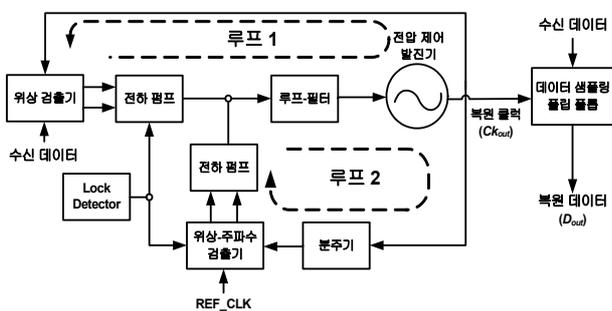


그림 1. 일반적인 이중-루프 클럭-데이터 복원 회로의 블록도
Fig. 1. Block Diagram of Conventional dual-loop CDR.

본 논문에서는 패널 내부 전송 기술 중에서 공백 구간 동안 클럭 정보를 포함하는 AiPi + 용 클럭-데이터 복원 회로를 설계하였다. 또한 패널 내부 인터페이스의 특성 상 작은 면적과 적은 전력 소모를 가지도록 설계되었다. 본 논문에서는 DLL를 이용한 클럭-데이터 복원 회로를 사용함으로써 낮은 지터와 전력 소모를 가지도록 설계하였으며, 간단하면서도 자동 보정이 가능한 구조의 Anti-Harmonic Locking Loop 를 구현하였다. 또한 패널 내부 인터페이스의 특성 상 작은 면적과 적은 전력 소모를 가지도록 설계되었다.

본 논문의 구성은 다음과 같다. II장에서 2세대 AiPi+의 신호 특성과 DLL 기반 클럭-데이터 복원 회로의 각 블록의 설계 방법과 적용된 아이디어에 대하여 논한다. III장에서는 설계된 클럭-데이터 복원 회로의 모의실험 결과를 제시하고, IV장에서 본 논문의 전체적인 내용을 정리하였다.

II. 본 론

1. 2세대 AiPi+ 의 클럭-임베디드 특성

기존 AiPi 에서는 클럭 정보를 데이터와 함께 보내기 위하여 다중 전압 준위 신호처리(Multi-level signaling) 기술을 사용하였으나 신호의 천이 시에 지터에 민감하고, 수신 단에서 에지 검출 및 등화 (Equalizing)가 어렵다는 단점이 있었다. 따라서 AiPi + 에서는 공백 구간에 클럭 정보를 포함하는 방식을 사용하게 되었다. 그림 2 에서와 같이 공백 구간 동안 일정한 주기 신호를 보내어 수신 측에서 클럭 정보를 복원할 수 있도록 한다. 이 때 복원된 클럭은 실제 데이터의 입력 구간동안 사용되어 원래의 데이터를 복원하게 된다. 이러한

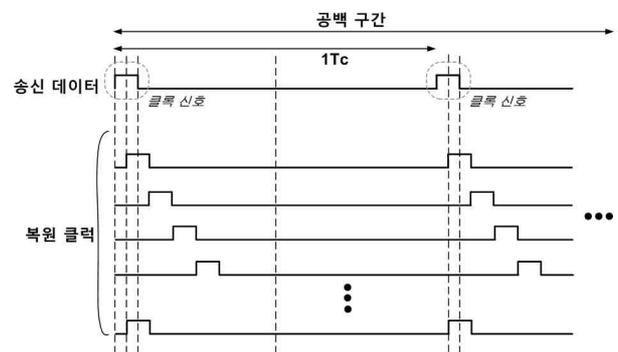


그림 2. 클럭-임베디드 특성을 가진 AiPi+ 의 공백 구간
Fig. 2. Blank period of Clock embedded AiPi+ signal.

지연 셀의 수에 따라 결정된다. 다중 위상 클럭의 위상 차이를 일정하게 유지하기 위하여 DLL을 사용하게 되는데, 이것의 목적은 1 Tc 동안에 의도된 수의 클럭 에지가 생성되도록 하는 것이다. 이 때 발생하는 가장 큰 오류가 Harmonic lock 이며 2 배 또는 그 이상의 배수의 주파수를 가지게 되는 경우이다.

또한, 본 논문에서는 데이터 에지와 동기화 되는 eclk<15:0> 신호와 데이터 샘플링을 위해 각 데이터 샘플의 중간에서 상승 에지를 가지는 cclk<15:0> 출력하도록 전압 제어 지연 라인을 구성하여 클럭-데이터 복원 회로를 구현할 수 있도록 하였다. eclk<15:0> 을 이용하여 기준 클럭 생성기에 의해 생성된 기준 클럭과 동기화 시키는 과정을 통해 클럭 복원 기능을 수행하고, cclk<15:0> 을 이용하여 데이터를 샘플링 함으로써 데이터 복원 기능을 수행하게 된다.

3. 구성 블록

가. 주파수 검출기(Frequency Detector)

그림 4 에서 제안하는 주파수 검출기는 모든 지연된 클럭의 위치를 판단하여 클럭의 Harmonic Locking 여부를 검출하도록 한다. 기존의 위상 선택기나 외부 시작 신호를 사용하는 방법과 달리 자동 보정이 가능하다는 장점을 가진다. 다중 위상 정보를 이용해서 주파수를 검출하고, Harmonic Locking을 방지한다는 점에서 참고문헌 [9] 와 본 논문에서 제안하는 주파수 검출기는 개념적으로 유사하다고 할 수 있다.

하지만, 참고문헌 [9]의 Lock Detect 회로에서는 9개의 위상을 모두 받아들여 디지털 게이트를 이용하여 위상을 검출하였지만, 본 논문에서는 4개의 위상만을 입

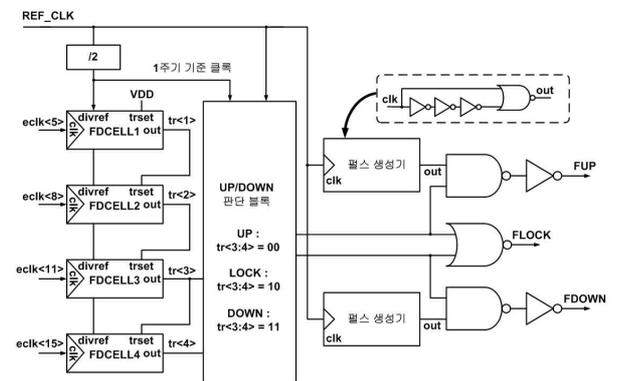


그림 4. 제안하는 주파수 검출기의 블록도
Fig. 4. Block diagram of proposed Frequency Detector.

력으로 받아들이고, FDCELL을 이용하여 EDGE 정보를 추출하여, 클럭의 EDGE 수를 카운팅하여 주파수를 검출하도록 설계하였다는 점에서 차별성이 있다.

그림 4에서 볼 수 있는 바와 같이 주파수 검출기 회로는 eclk 신호의 상승 에지에서의 위치를 감지해 주는 FDCELL과 UP/DOWN 판단 블록, 펄스 생성부 및 1 주기 기준 클럭을 만들어 주는 2 분주기로 구성되어 있다.

FDCELL은 그림 5와 같이 구성되어 있으며, REF_CLK를 2 분주하여 만들어진 1 주기 기준 클럭이 “1”인 구간에서 동작하도록 설계되어 있다. UP/DOWN 판단 블록은 카운터로 구성되어 있으며, eclk<5>, eclk<8>, eclk<11>, eclk<15> 의 상승에지 개수를 판

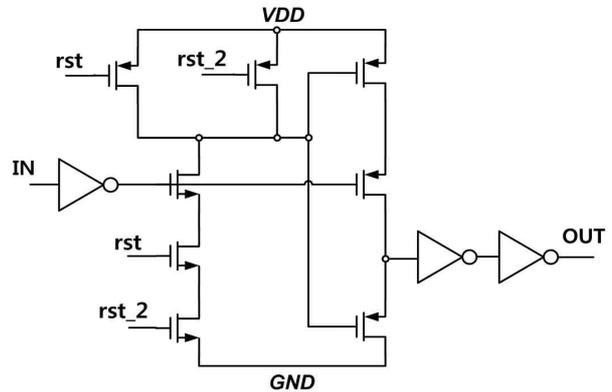


그림 5. FDCELL 의 회로도
Fig. 5. Schematic of FDCELL.

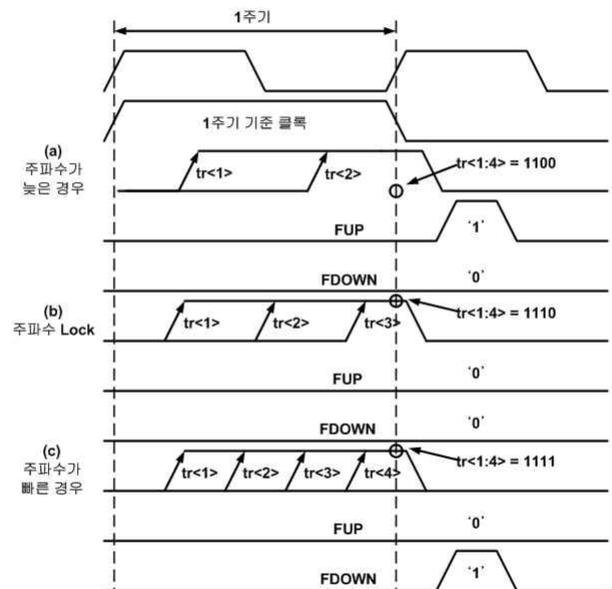


그림 6. 제안하는 주파수 검출기의 타이밍도
Fig. 6. Timing diagram of proposed Frequency Detector.

단하여 UP/DOWN 신호를 생성한다. 이 신호를 펄스 생성부에서 일정 펄스폭을 가지는 FUP/ FDOWN 신호로 변경하여 일정 타이밍에서만 출력 되도록 한다.

그림 6은 4개의 다중 위상 클록을 가지는 경우의 주파수 검출기의 타이밍도이다. 그림 6-(a)와 같이 주파수가 늦을 경우 FDCELL에서 생성된 $tr<1:4>$ 의 상승 에지는 1 주기 기준 클록이 "1" 인 구간에 2 개가 들어가므로 $tr<1:4>= 1100$ 의 값을 가지고, UP/DOWN 판단 블록은 UP 신호를 출력하게 된다. 반대로, 그림 6-(c)와 같이 주파수가 빠른 경우 $tr<1:4>$ 의 상승 에지는 1 주기 기준 클록에 모두 들어가기 때문에 $tr<1:4>=1111$ 의 값을 가지고, UP/DOWN 판단 블록은 DOWN 신호를 출력한다.

주파수가 Lock이 되는 경우는 그림 6-(b)에 나타나 있다. 이 때 $tr<1>$, $tr<2>$, $tr<3>$ 의 상승 에지는 1 주기 기준 클록이 "1" 인 구간에 들어가지지만, $tr<4>$ 의 상승 에지는 들어가지 않으므로, $tr<1:4>=1110$ 의 값을 가지게 되고 이 때 UP/DOWN 판단 블록은 LOCK 신호를 "1" 로 출력하게 된다.

나. 전압 제어 지연 라인(Voltage-Controlled Delay Line)

앞서 설명한 바와 같이 1 Tc 내에 14 비트를 보내고, 주파수 검출용으로 2개의 위상을 추가해서 16개의 위상이 필요하게 된다. 전압 제어 지연 라인은 그림 7 과 같이 동일한 16 개의 지연 셀로 구성되어 있는데 데이터의 상승 에지에 맞추어지게 되는 eclk 와 데이터 주기의 중앙에 위치하는 cclk 를 출력하게 된다. 전압 제어

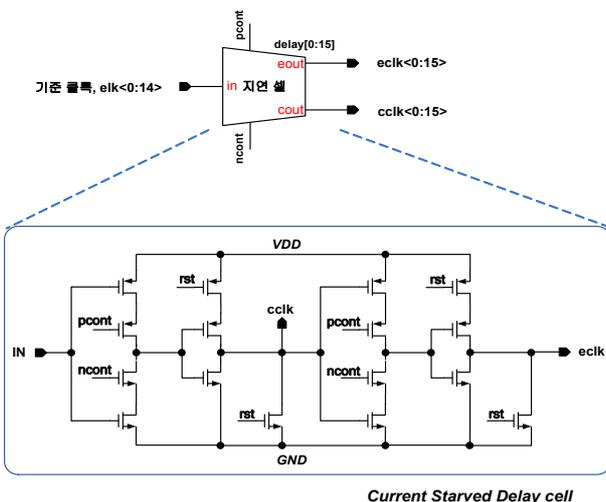


그림 7. 전압 제어 지연 라인의 지연 셀
Fig. 7. Delay Cell of Voltage-Controlled Delay Line.

지연 라인의 지연 셀은 current starved type 을 사용하였으며, eclk과 cclk, 그리고 다음에 이어지는 eclk 는 모두 동일한 지연 시간을 가지게 된다. 다중 위상을 생성하기 위해 지연 셀을 연결할 경우, 상승 시간과 하강 시간이 동일하지 않기 때문에 펄스 폭이 늘어나는 경우가 생길 수 있다. 이러한 차이가 누적되어 늘어난 펄스 폭이 1 UI 이상이 되면 에지가 사라지게 되는 현상이 발생하고 원하는 샘플링 에지를 얻지 못하게 된다. 따라서 이것을 막지 않게 되면 클록-데이터 복원 회로는 정상적으로 데이터 샘플링을 수행할 수 없게 되고 복원된 데이터는 의도하지 않은 오류를 가지게 된다. 이 현상을 막기 위하여 펄스 폭 오류 보정 부분을 추가해서 0.5 UI 이상이 될 경우 강제로 리셋 시키도록 하여 펄스폭의 최대치를 제한할 수 있도록 하였고, 0.5 UI 이하의 펄스폭에 대해서는 보정을 하지 않도록 설계하였다. 이러한 방법을 사용함으로써 DLL의 다중 위상 출력은 모두 정상적인 에지를 가지게 되고 결과적으로 정상적인 데이터 샘플링을 수행할 수 있도록 설계하였다.

DLL의 구현은 전압 제어 지연 라인(Voltage Controlled Delay Line)을 이용하는 방법이 일반적으로 사용되어진다. Φ_{N-1} 위상을 가지는 출력이 1 개의 지연 셀을 지난 경우의 출력 위상을 Φ_N 이라고 가정하면, DLL의 다중 위상 출력의 위상 특성은 식 (1) 과 같다.

$$\Phi_N - \Phi_{N-1} = \frac{360^\circ}{N} \tag{1}$$

다. 기준 클록 생성기(Reference Clock Generator)

DLL(Delay-Locked Loop)에서 위상-주파수 검출기에 입력되는 신호는 주기 신호이어야 하며 따라서 입력되는 Data_in (Clock embedded Data) 로부터 주기적인 클록을 추출해내야 한다. 기준 클록 생성기의 동작은 앞에서 설명한 내용과 같이 두 가지 상태에서 동작하게 되는데, 첫 번째로 공백 기간 동안 주기적인 클록이 데이터로 인가되는 상태와 두 번째로 실제 데이터가 인가되는 상태의 동작으로 나눌 수 있다.

그림 8-(a)에서 edge 신호는 에지 검출기를 통해 주기적인 클록의 상승과 하강 에지를 모두 추출한 신호이며, 리셋 생성기에서 생성 되는 CLK_IN 신호의 경우 주기적인 클록의 지연을 두고 상승 에지 성분만 추출한 신호이다. 그림 8-(b)에서 공백 기간 동안 dll_lock 신호는 1의 값을 가지게 되는데, 이 때 생성된 edge 신호

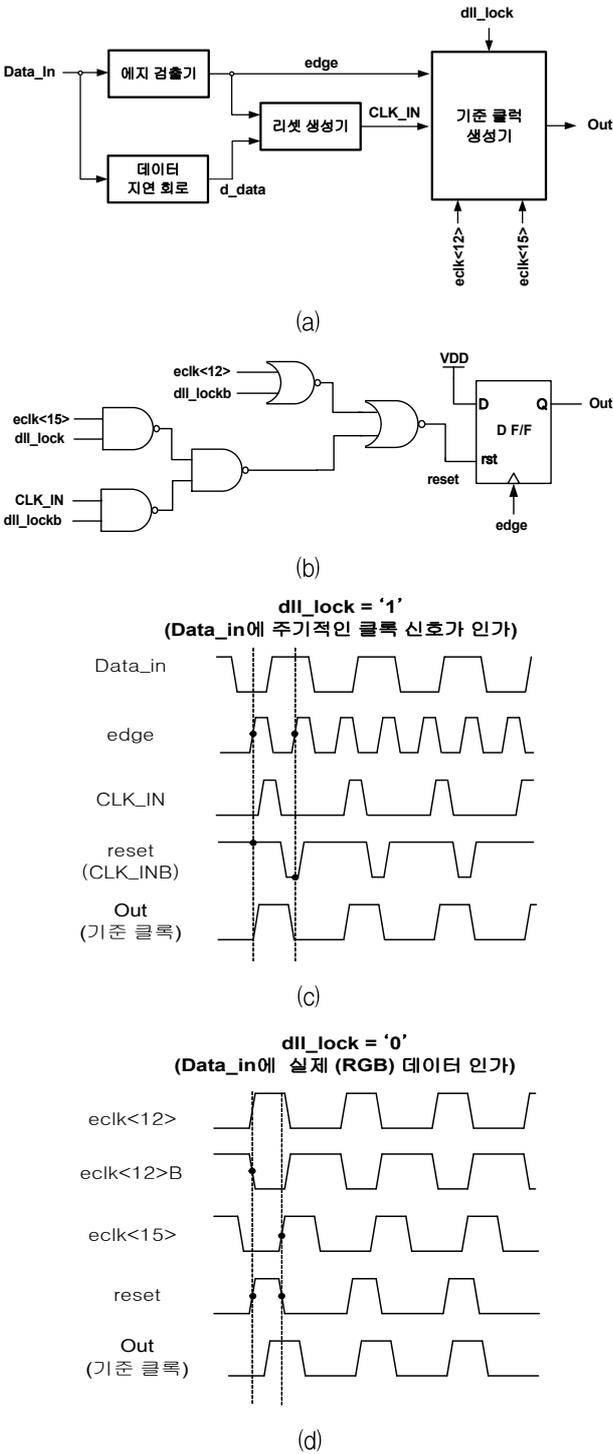


그림 8. (a) 기준 클럭 생성 기법의 개념 (b) 기준 클럭 생성기의 회로도 (c) $dll_lock = '1'$ 일 경우 기준 클럭 생성기의 타이밍도 (d) $dll_lock = '0'$ 일 경우 기준 클럭 생성기의 타이밍도

Fig. 8. (a) Concept of reference clock generation scheme (b) block diagram of reference clock generator (c) timing diagram of reference clock generator when $dll_lock = '1'$ (d) timing diagram of reference clock when $dll_lock = '0'$.

와 CLK_IN 신호의 경우 각각 D 플립-플롭의 Clock 및 Reset 신호로 인가되어 최종적으로 그림 8-(c)와 같은 타이밍으로 기준 클럭이 생성되게 되며, 이 기준 클럭은 전압 제어 지연 라인에 인가되어 지연된 클럭을 만들어 낸다.

실제 데이터가 인가되는 상태에서 dll_lock 신호는 '0'의 값을 가지게 되고, dll_lock 신호가 '1'일 때 생성된 지연 클럭 중 $eclk<12>$ 와 $eclk<15>$ 를 받아 그림 8-(c)와 같이 계속적으로 기준 클럭을 만들어 내게 된다.

이 때, 공백 구간 동안은 입력 데이터 자체가 주기적인 클럭이기 때문에 이것을 그대로 받아들일게 되고, 공백 구간이 아닌 실제 데이터 입력 구간에는 기준 클럭 생성기에 의해 주기적인 클럭을 생성하게 된다. 실제 데이터 입력 구간 동안에는 비주기 신호가 들어오기 때문이며 이때 기준 클럭 생성기는 그림 8-(d)와 같은 타이밍 특성을 가진다. 클럭 생성기를 간단하게 구성함으로써 입력 데이터의 에지와 $eclk<12>$ 와 $eclk<15>$ 를 이용하여 클럭 정보를 생성하게 된다. 기존에 사용하던 구조를 단순화하여 통과해야할 디지털 로직 게이트의 수를 줄임으로써 게이트 지연시간을 줄이고 결과적으로 이전 구조에 비하여 줄어든 게이트 지연시간과 플립-플롭 지연 시간의 합이 기준 클럭 생성기의 지연 시간이 된다. 또한 클럭 펄스의 폭을 고정시키는 데에 사용된 래치를 플립-플롭으로 바꾸어 에지 검출기 출력 펄스 크기 변화에 둔감하도록 설계하였다.

$eclk<12>$ 의 하강 에지의 경우 $eclk<15>$ 보다 늦도록 설계하였으며, dll_lock 신호는 실제 데이터 구간 동안 입력되어 기준 클럭 생성기를 동작시키고, 디지털 처리부에 의해 생성되어 진다.

라. 전하 펌프(Charge Pump)

그림 9는 제안하는 전하 펌프의 개념도이다. 복제 전하 펌프(Replica Charge Pump)를 이용하여 주 전하 펌프에서와 동일한 전류 부정합을 가지도록 한다. 복제 전하 펌프에서 오차 전류만큼 전류 복제(Current Mirror) 기법을 이용하여 주 전하 펌프에 돌려주어 결과적으로 전류 부정합을 최소화시킨다.

I_{SOURCE} 와 I_{SINK} 를 비교하여 작은 쪽에 오차 전류만큼 전류 복제에 의해 돌려주게 되는데, 이때 비교는 감지 커패시터의 충·방전량 차이에 따른 전압 변화를 비교기를 이용하여 수행한다. 이 방법은 전압-전류 변환기를 이용하는 방법에 비하여 작은 감지 커패시터를 사용

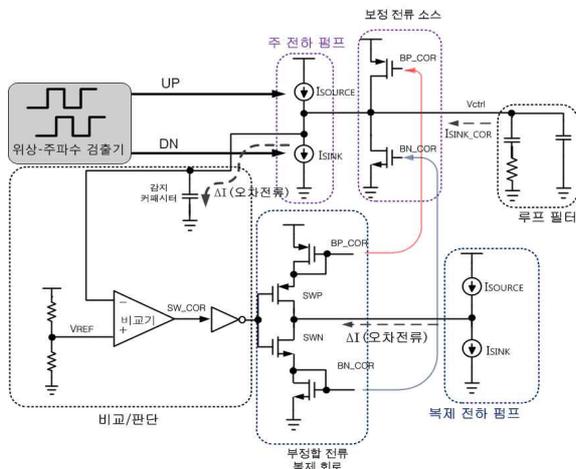


그림 9. 전하 펌프의 블록도
Fig. 9. Block Diagram of Charge Pump.

할 수 있다는 장점이 있다.^[10]

그림 9에서 비교기의 출력(SW_COR)에 따라 SWP와 SWN을 ON/OFF 한다. 예를 들어, ISOURCE가 ISINK 보다 크다면 감지 커패시터는 식 (2)와 같이 ISOURCE와 ISINK의 차이인 ΔI 만큼의 전류를 충전시키게 된다.

$$\Delta I = I_{SOURCE} - I_{SINK} \quad (2)$$

전하가 충전됨에 따라서 감지 커패시터 양극의 전압은 상승하게 된다. VREF 전압과 비교하여 감지 커패시터의 전압이 올라가면 비교기는 출력 신호를 '0' 상태로 보내게 된다. 따라서, 부정합 전류 복제 (Mismatch Current Mirror) 의 SWN은 ON, SWP는 OFF가 되어 MN1으로 ΔI 만큼 전류가 흐르게 된다. 이 전류는 MN1와 MN2의 게이트가 연결된 전류 복제 기법을 이용하여 루프 필터에서 방전되는 전류를 ISINK_COR라 하였을 때 식 (3)과 같이 정의될 수 있다.

$$I_{SINK_COR} = I_{SINK} + \Delta I \quad (3)$$

따라서 보정되어 방전되는 전류 (ISINK_COR)는 결과적으로 ISOURCE와 동일한 값을 가지게 된다.

참고 논문 [10]에서는 커패시터의 양극의 전압 값에 따라 부 캐환 전류의 양이 달라지는데 반해, 본 논문에서는 단지 크고 작음을 비교하는 기능을 하기 때문에 작은 커패시터로도 충분히 원하는 동작을 수행할 수 있다. 이것은 면적을 줄이는데 큰 기여를 한다.

또한 오차 전류를 그대로 복제하여 돌려주기 때문에 디지털 보정 방법에 비하여 높은 정확도를 가지게 된다.^[11]

마. 위상-주파수 검출기(Phase-Frequency Detector)
위상-주파수 검출기(Phase-Frequency Detector)는 기준 클럭 생성기로부터 생성된 기준 클럭과 동일한 위상을 가져야하는 전압 제어 지연라인의 eclk<13>을 비교하여 전하 펌프로 PUP/PDN 신호를 내보내 주는 회로이다.

위상-주파수 검출기는 입력된 두 신호의 상승 에지를 비교하여 위상차만큼 PUP/PDN 신호를 출력하는 기능을 가지고 있다. 사용된 3 상태 위상-주파수 검출기는 그림 10과 같이 입력 주파수와 출력 주파수의 위상을 비교하여 그 차이를 전류 펌프에 전달함으로써 그에 상응하는 전류가 전하 펌프에서 출력되게 한다.^[15]

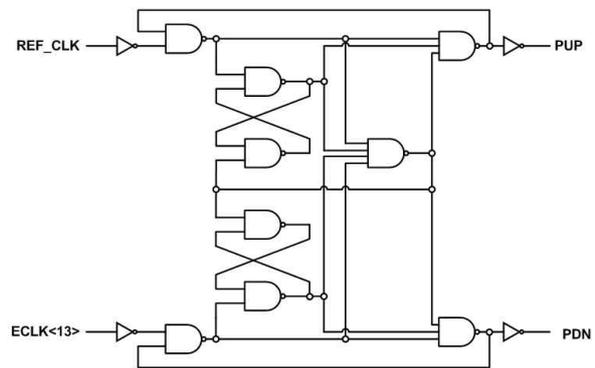


그림 10. 일반적인 위상-주파수 검출기의 블록도
Fig. 10. Block Diagram of Conventional Phase-Frequency Detector.

III. 실험 결과

본 논문에서 제안하는 회로는 0.18 μm CMOS 공정으로 제작 되었으며, 1 POLY, 4 Metal 과 높은 단위 면적당 저항을 가지는 POLY 저항을 사용하였다.

그림 11은 제안하는 2세대 AiPi+용 클럭-데이터 복원 회로의 레이아웃이다. 면적은 600 μm x 250 μm 이며, 패

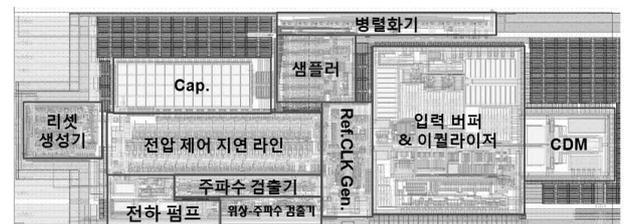


그림 11. 칩 레이아웃
Fig. 11. Chip Layout.

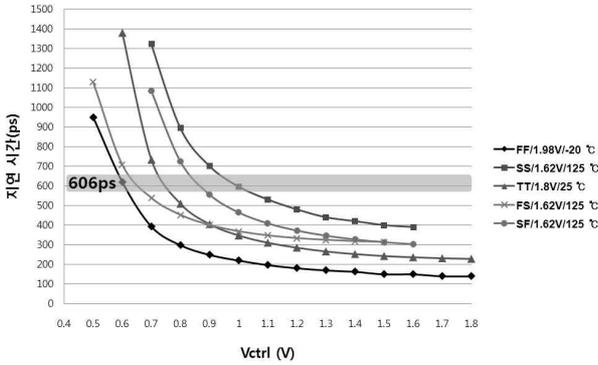
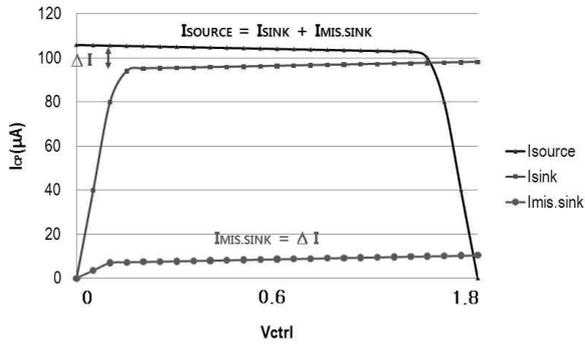
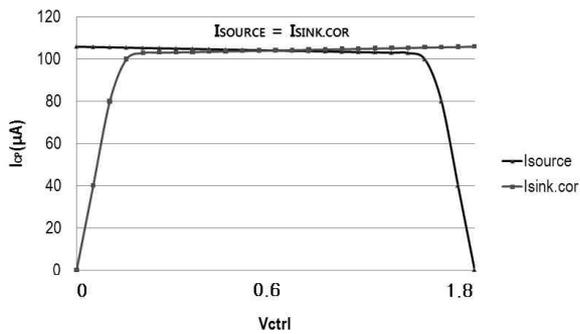


그림 12. 전압 제어 지연 라인의 모의실험 결과
Fig. 12. Simulation Result of Voltage Controlled Delay Line.



(a) 전류 부정합 보정 전

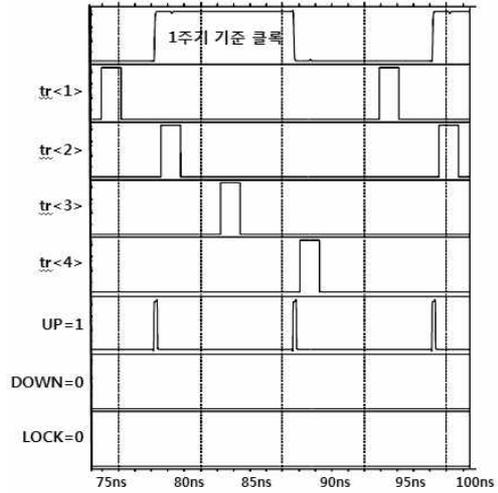


(b) 전류 부정합 보정 후

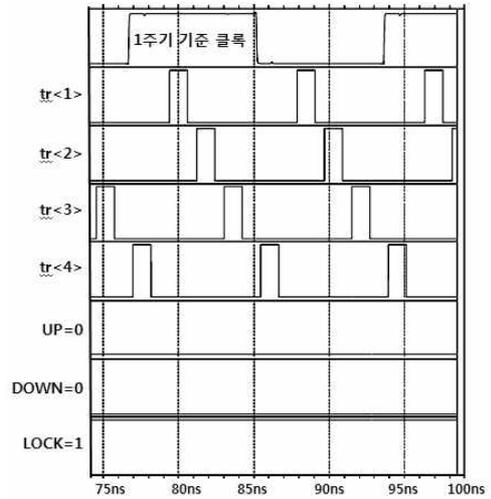
그림 13. 전하 펌프의 모의실험 결과
Fig. 13. Charge Pump Simulation Result.

널 내부 인터페이스의 특성상 면적에 대한 이슈가 매우 중요하기 때문에 작은 면적에 집적하는 것에 초점을 두었다.

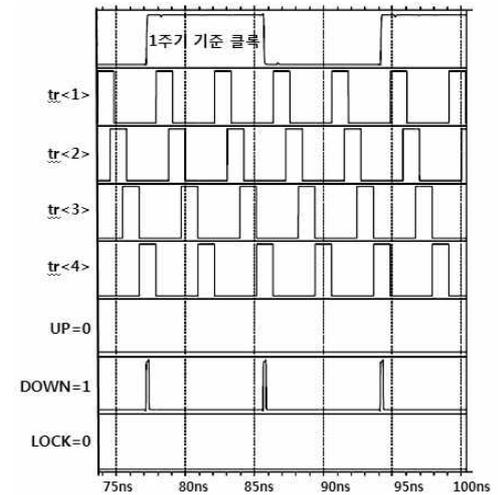
그림 12는 전압제어 지연 라인의 제어 전압에 따른 지연 시간에 대한 모의실험 결과이다. 1.25 Gbps를 지원하기 위하여 각 지연 셀은 606 ps의 지연 시간을 가질 수 있도록 해야 한다. 또한 공정, 공급 전압, 온도 변화에서도 원하는 지연 시간을 가지도록 설계되었으며 SS/FF/FS/SF/TT의 공정 변화, 1.62 V~1.98 V의 공급 전압,



(a) 주파수가 느린 경우



(b) 주파수 Lock



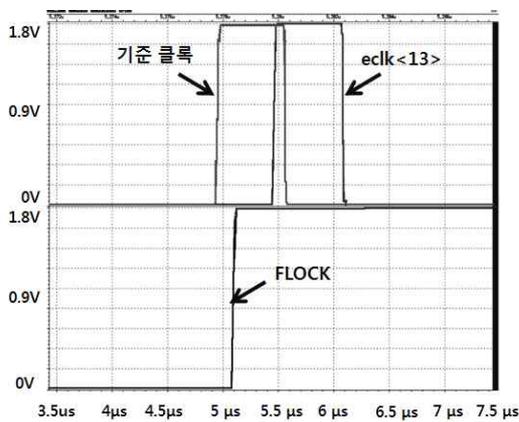
(c) 주파수가 빠른 경우

그림 14. 주파수 검출기의 모의실험 결과
Fig. 14. Frequency Detector Simulation Result.

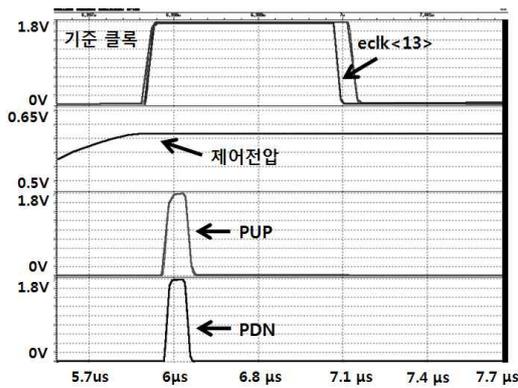
-20°C ~ 125°C의 온도 변화에서도 튜닝 가능한 지연시간 범위 내에 606 ps가 포함되도록 설계되었다.

그림 13은 제안하는 전하 펌프의 제어 전압의 변화에 따른 전류 정합 특성 모의실험 결과이다. 그림 13-(a)와 같이 ISINK가 ISOURCE 보다 작아졌다는 가정 하에 모의실험 결과, 그림 13-(b)와 같이 ISOURCE - ISINK 만큼의 전류가 복제되어 보정되는 것을 확인하였다.

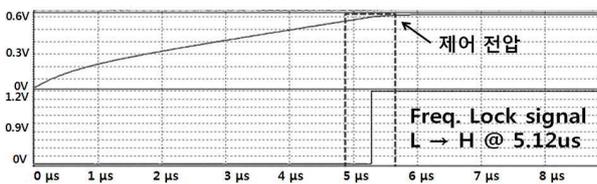
공급전압은 1.8 V, 온도는 25°C, TT로 가정하여 모의 실험 결과, 0.2 V 에서 1.6 V 사이에서 전류 부정합은 1% 미만이다. 이러한 특성은 공정, 공급전압 (1.62 V~1.98 V), 온도(-20°C~85°C)를 변화시켜 모의 실험한 결과에서도



(a) FLOCK Loking 결과 파형



(b) 제어전압 Locking 결과 파형



(c) FLOCK, 제어전압의 Locking 결과 파형

그림 15. DLL의 Locking 시간 모의 실험 결과
Fig. 15. Simulation Result of DLL Locking Time.

동일한 결과를 보여주었다.

그림 14는 설계한 주파수 검출기의 모의실험 결과이다. 그림 14-(a)는 주파수가 느릴 경우의 결과로 $tr<1:4>$ 의 값 중 2 개의 상승 에지만 1 주기 기준 클록에 포함되기 때문에 UP 신호가 출력된다. 그림 14-(b)는 주파수가 Lock 이 되었을 때의 결과로 $tr<1>$, $tr<2>$, $tr<3>$ 의 상승 에지가 1 주기 기준 클록에 포함되고 $tr<4>$ 의 상승 에지는 포함되지 않아, Lock 신호가 '1'이 나오게 된다. 그림 14-(c)는 주파수가 빠른 경우의 결과로 $tr<1:4>$ 의 상승 에지가 모두 1 주기 기준 클록에 포함되기 때문에 DOWN 신호가 출력되는 것을 확인할 수 있다.

그림 15-(a)는 DLL의 주파수 Locking 시간에 대한 모의실험 결과이다. 앞서 설명한 바와 같이 클록 임베디드 신호는 공백 구간 동안 클록 정보를 보낸다. 이 때 일정한 Training sequence를 통해 주파수 정보를 보내는데, 이것을 이용해 주파수가 Lock 되면 FLOCK 신호가 '1'이 되며, 이 때 부터 그림 15-(b)와 같이 위상-주파수 검출기가 동작하고 지연된 클록과 기준 클록 사이의 위상차를 비교하여 최종적으로 Lock 이 이루어진다. DLL Locking 시간의 경우 주파수 Locking 시간과 위상-주파수 검출기 Locking 시간을 합한 시간으로 그림 15-(c)와 같이 전압 제어 지연 라인의 제어 전압이 일정해지는 5.84 μs가 클록-데이터 복원 회로 전체가 Lock 되는 시점이 된다. 간단한 방법으로 Harmonic locking 을 막는 주파수 검출기를 사용함으로써 DLL이 Locking 하는 시간을 최소화 시켜 클록-데이터 복원 회로 전체에서 데이터 손실을 최소화 시킬 수 있다.

그림 16은 복원된 데이터의 Eye Diagram에 대한 모의 실험 결과이다. 복원된 클록은 1.8 V의 공급 전압 기준으로 중간 전압인 0.9 V에서 약 15 ps의 Peak-to-Peak 지터를 가지는 것을 모의실험을 통해 확인하였다.

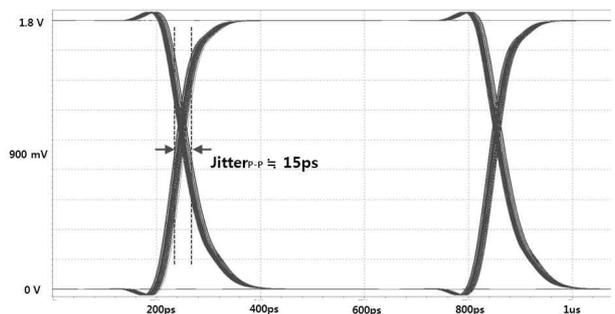


그림 16. 복원된 데이터의 모의 실험 결과
Fig. 16. Simulation Result of Recovered Data.

표 1. 이전 논문과의 성능 비교

Table 1. Performance Comparison Result with Prior Works.

Ref.	[1]	[5]	[7]	본 논문
공정	0.25 μm	0.15 μm	0.25 μm	0.18 μm
동작주파수	30-200MHz	156.26MHz	32-320MHz	68-128MHz
지터 (Peak to Peak)	14.3ps (@200MHz) (측정 결과)	30ps (측정 결과)	15ps (@200MHz) (측정 결과)	15ps (@128MHz) (모의실험 결과)
전력 소모	30 mW	32 mW	15 mW	5.94 mW
면적	1.1 x 0.6 mm^2	0.12 mm^2	0.82 mm^2	0.3 x 0.22 mm^2

표 1은 이전 논문들과 본 논문에서 제안하는 회로를 비교한 결과이다. 이퀄라이저와 병렬화기를 포함한 DLL 기반의 클럭-데이터 복원 회로는 0.18 μm CMOS 공정으로 제작되었으며 면적은 660 μm x 250 μm , 공급 전압은 1.8V 이다. Peak-to-Peak 지터는 15 ps, 입력 버퍼, 이퀄라이저, 병렬화기를 제외한 클럭-데이터 복원 회로의 소모 전력은 5.94 mW 이다.

표 1에서 보여주는 것과 같이 5.94 mW의 작은 전류 소모와 300 μm x 220 μm 의 작은 면적은 이전 논문에 비하여 우수하다는 것을 알 수 있다. 이것은 회로의 복잡성을 최소화 시키면서 원하는 성능을 가질 수 있도록 하였기 때문이다. 또한, DLL을 사용함으로써 이중-루프를 사용하는 구조에 비해서, 적은 면적과 전류 소모로 다중 위상 클럭을 생성할 수 있었기 때문이다. 표 1의 결과는 비교 논문들의 성능 적용 범위를 고려하여 입력 버퍼, 이퀄라이저, 병렬화기(De-serializer)를 제외한 클럭-데이터 복원 회로만의 값이다. 지터 면에서는 약 15 ps 로 기존 논문들과 거의 동일한 성능을 보이지만, 전류 소모와 면적 면에서는 월등히 우수하다는 것을 알 수 있다.

IV. 결 론

본 논문에서는 DLL을 기반으로 하는 2세대 AiPi+ 용 클럭-데이터 복원 회로를 제안하였다. 제안하는 클럭-데이터 복원 회로는 간단한 방법으로 Harmonic locking 을 방지하는 주파수 검출기를 사용하였으며 낮은 전류 소모와 작은 면적을 차지하도록 설계되어 패널 내부 인터페이스에서 적합하도록 하였다. 또한 부정합 감지 복제 전하 펌프를 이용한 자동 전류 보상 전하 펌프를 사용함으로써 DLL의 지터 성능을 향상시켰다. 적은 전력과 면적을 차지해야 하는 패널 내부 인터페이스

의 특성을 만족하면서 기존의 AiPi+ 보다 높은 1.25 Gbps 의 속도를 지원하는 2세대 AiPi+ 용 클럭-데이터 복원 회로를 제안하였다.

본 논문에서 제안한 클럭-데이터 복원 회로는 0.18 μm CMOS 공정으로 집적되었으며, 공급 전압은 1.8 V 이고 동작 주파수 영역은 68 MHz-128 MHz 이다. 다중 위상 클럭을 구현하기 위하여 DLL을 사용 하였으며, 동작 주파수 128 MHz 에서 Peak-to-Peak 지터는 약 15 ps 이며 lock time 은 5.84 μs 이내이다. 전류 소모는 5.94 mW, 입력 버퍼, 이퀄라이저, 병렬화기를 제외한 면적은 0.3 x 0.22 mm^2 이다. 패널 내부 인터페이스에 사용하기 위하여 매우 작은 면적과 전력 소모를 가지도록 설계 되었다.

Acknowledgement

본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)의 일환으로 수행하였음 [10030573, Photonic CMOS 기반의 Intelligent Silicon Bead 기술개발].

참 고 문 헌

- [1] Hyongsik Nam, Kwan Young Oh, Seon Ki Kim, Nam Deog Kim, Sang Soo Kim, "A cost-effective 60Hz FHD LCD Using 800Mbps AiPi Technology," KIDS J. Information 디스플레이, vol. 10, no. 1, pp. 37-44, Mar. 2009.
- [2] Yamguchi. K., Hori. Y., Nakajima. K., Suzuki. K., Mizuno. M., Hayama. H., "A 2.0Gb/s clock-embedded interface for full-HD 10b 120Hz LCD drivers with 1/5-rate noise-tolerant phase and frequency recovery," IEEE ISSCC Dig. Tech. Papers, pp. 192 - 193, Feb. 2009.
- [3] Coban A.L., Koroglu M.H, Ahmed K.A, "A 2.5-3.125-Gb/s quad transceiver with second-order analog DLL-based CDRs," IEEE J. Solid-State Circuits, vol. 40, no. 9, pp. 1940-1947, Sep. 2005.
- [4] Y. J. Jung, S. W. Lee, D. Shim, W. Kim, and S. I. Cho, "A dual-loop delay-locked loop using multiple voltage-controlled delay lines," IEEE J. Solid-State Circuits, vol. 36, no. 5, pp. 784 - 791, May 2001.
- [5] Y. Moon, J. Choi, K. Lee, D. K. Jeong, and M. K. Kim, "An all-analog multiphase delay-locked loop using a replica delay line for wide-range operation and low-jitter performance," IEEE J. Solid-State

- Circuits, vol. 35, no. 3, pp. 377 - 384, Mar. 2000.
- [6] C. C. Chung and C. Y. Lee, "A new DLL-based approach for all-digital multiphase clock generation," *IEEE J. Solid-State Circuits*, vol. 39, no. 3, pp. 469 - 475, Mar. 2004.
- [7] H. H. Chang, J. W. Lin, C. Y. Yang, and S. I. Liu, "A wide-range delay locked loop with a fixed latency of one clock cycle," *IEEE J. Solid-State Circuits*, vol. 37, no. 8, pp. 1021 - 1027, Aug. 2002.
- [8] K. Minami et al., "A 1 GHz portable digital delay-locked loop with infinite phase capture ranges," *IEEE ISSCC Dig. Tech. Papers*, pp. 350 - 351, Feb. 2000.
- [9] D. J. Foley and M. P. Flynn, "CMOS DLL-Based Clock Synthesizer and Temperature-Compensated Tunable Oscillator," *IEEE Journal On Solid-State Circuits*, vol. 36, no. 3, March 2001.
- [10] Gierkink, S.L.J.; "Low-Spur, Low-Phase-Noise Clock Multiplier Based on a Combination of PLL and Recirculating DLL With Dual-Pulse Ring Oscillator and Self-Correcting Charge Pump" ; *Solid-State Circuits, IEEE Journal of Volume 43, Issue 12*, pp. 2967 - 2976, Dec. 2008.
- [11] Hyungki Huh; Yido Koo; Kang-Yoon Lee; Yeonkyeong Ok; Sungho Lee; Daehyun Kwon; Jeongwoo Lee; Joonbae Park; Kyeongho Lee; Deog-Kyoon Jeong; Kim, W.; "Comparison frequency doubling and Charge Pump matching techniques for dual-band $\Delta\Sigma$ fractional-N frequency synthesizer" ; *Solid-State Circuits, IEEE Journal of Volume 40, Issue 11*, Pp. 2228 - 2236, Nov. 2005
- [12] Eunseok Song, Seung-Wook Lee, Jeong-Woo Lee, Joonbae Park, Soo-Ik Chae,, "A Reset-Free Anti-Harmonic Delay-Locked Loop Using a Cycle Period Detector," *IEEE J. Solid-State Circuits*, vol. 39, no 11, pp. 2055-2061, Oct. 2004.
- [13] R Woogeun Rhee, Ainspan, H., Rylov, S., Rylyakov, A., Beakes, M., Friedman, D.; Gowda, S., Soyuer, M, "A 10-Gb/s CMOS clock and data recovery circuit using a secondary delay-locked loop," *Custom Integrated Circuits Conference, 2003. Proceedings of the IEEE 2003*, pp. 81 - 84, 2003.
- [14] Kuo-Hsing Cheng, Yu-Lung Lo, "A Fast-Lock Wide-Range Delay-Locked Loop Using Frequency-Range Selector for Multiphase Clock Generator", *IEEE Trans. Circuits And Syst. II*, vol. 54, no. 7, pp. 561-565, Jul. 2007.
- [15] A. Young, J. K. Greason, and K. L.Wong, "A PLL clock generator with 5 to 110 MHz of lock range for microprocessors," *IEEE J. Solid-State Circuits*, vol. SC-27, pp. 1599 - -1607, Nov. 1992.

— 저 자 소 개 —



박 준 성(학생회원)
2010년 건국대학교 전자정보통신
공학과 석사 졸업.
2010년~현재 건국대학교 전자
정보통신공학과 박사과정.
<주관심분야 : 무선 충전 시스템,
Sigma-Delta ADC>



박 형 구(학생회원)
2010년 건국대학교 전자공학과
학사 졸업.
2010년~현재 건국대학교 전자
정보통신공학과 석사과정.
<주관심분야 : Power Amplifier,
Digital Filter>



김 성 근(학생회원)
2009년 건국대학교 전자공학과
학사 졸업.
2009년~현재 건국대학교 전자
정보통신공학과 석사과정.
<주관심분야 : RF / 아날로그 집
적회로 설계>



부 영 건(학생회원)
2008년 건국대학교 전자정보통신
공학과 석사 졸업.
2008년~현재 건국대학교 전자
정보통신공학과 박사과정.
<주관심분야 : RF Transceiver,
Frequency Synthesizers>



이 강 윤(평생회원)-교신저자
2003년 서울대학교 전기공학부
박사 졸업.
2000년~2005년 (주)지씨티리씨치
책임연구원.
2005년~현재 건국대학교
전자공학부 부교수.

<주관심분야 : RF · 아날로그 집적회로설계, 아날
로그/디지털 Mixed Mode 설계>