

논문 2011-48SD-5-4

개선된 DWA 구조를 갖는 3차 3-비트 SC Sigma-Delta Modulator

(A 3rd order 3-bit Sigma-Delta Modulator with Improved DWA Structure)

김 동 균*, 조 성 익**

(Dong-gyun Kim and Seong Ik Cho)

요 약

DEM(Dynamic Element Matching) 기법중의 하나인 DWA(Data Weighted Averaging)는 멀티비트 Sigma-Delta Modulator에서 피드백 DAC의 단위요소 커패시터 부정합으로 인한 비선형성을 제거하기 위하여 널리 이용된다. 본 논문에서는 기존 DWA 구조에서 적용된 클록 타이밍을 조정하여 양자화기 데이터 코드 출력을 Latch 하는 2ⁿ Register 블록을 2ⁿ S-R latch 블록으로 대체하여 MOS Tr.를 줄임과 더불어 여분의 클록을 제거하였고, n-bit 데이터 코드를 지연시키기 위해 사용되는 2개의 n-비트 Register 블록을 1개의 n-비트 Register 블록으로 감소시켰다. 개선된 DWA 구조를 이용하여 3차 3-비트 SC (Switched Capacitor) Sigma-Delta Modulator를 설계한 후, 입력 주파수 20kHz, 샘플링 주파수 2.56MHz에서 0.1% DAC 단위요소 커패시터 부정합을 갖도록 하여 시뮬레이션 한 결과 기존의 구조와 동일한 해상도를 얻을 수 있었고, 222개의 MOS Tr 수를 줄일 수 있었다.

Abstract

In multibit Sigma-Delta Modulator, one of the DEM(Dynamic Element Matching) techniques which is DWA(Data Weighted Averaging) is widely used to get rid of non-linearity caused by mismatching of capacitor that is unit element of feedback DAC. In this paper, by adjusting clock timing used in existing DWA architecture, 2ⁿ Register block used for output was replaced with 2ⁿ S-R latch block. As a result of this, MOS Tr. can be reduced and extra clock can also be removed. Moreover, two n-bit Register block used to delay n-bit data code is decreased to one n-bit Register. After designing the 3rd 3-bit SC(Switched Capacitor) Sigma-Delta Modulator by using the proposed DWA architecture, 0.1% of mismatching into unit element in input frequency 20 kHz and sampling frequency 2.56 MHz. As a consequence of the simulation, It was able to get the same resolution as the existing architecture and was able to reduce the number of MOS Tr. by 222.

Keywords : Sigma-Delta modulator, multibit, DWA, Dynamic Element Matching, Δ - Σ modulator

I. 서 론

통신 시스템의 수요증가와 함께 이들 시스템에서 사용되어지는 아날로그 디지털 변환기(Analog to Digital Converter, ADC)의 기술 역시 발달하고 있다. ADC는

통신용 변복조기, 음성 영상 신호처리뿐만 아니라 DSP(Digital Signal Processor) 등의 분야에서도 핵심적인 역할을 하고 있다. 특히 Sigma-Delta ADC는 낮은 OSR(OverSampling Rate)에서도 높은 해상도를 얻기 위한 방법으로 신호처리 시스템에 많이 사용되어지고 있다.

Sigma-Delta Modulator의 해상도를 높이기 위한 여러 방법 중 양자화기 비트수를 증가시키는 방법으로 멀티비트 구조가 많이 사용 된다^[1~2]. 멀티비트 구조는 양

* 정회원, ** 정회원-교신저자, 전북대학교 전자정보공학부

(Division of Electronics and Information Engineering, Chonbuk University)

접수일자: 2010년10월29일, 수정완료일: 2011년4월14일

자화기의 비트 수가 증가할 때마다 1-비트 당 6dB의 SNR(Signal-to-Noise Ratio)이 증가하며, 다른 구조에 비해 샘플링 커패시터를 작게 사용할 수가 있어 증폭기 설계 시 소모 전력이 감소한다는 장점이 있다. 그러나 멀티비트 구조에 사용되는 DAC의 부정합에 기인한 비선형성으로 Sigma-Delta Modulator의 성능을 저하시킨다. 이를 개선하기 위한 방법으로써 공정에서의 연마(Trimming) 방법, 제어전압에 의한 전류원 보정방법, 추가적인 스위칭 커패시터 제어방법, PROM을 이용한 보정방법 등이 있지만 실제 Sigma-Delta Modulator에서 사용하기 위해서는 추가적인 보정을 하여야 하고, 이로 인해 추가적인 비용이 소요되는 문제점이 있다. 그 이외의 방법으로 회로 구현이 쉽고 에러보정과 추가 비용이 필요치 않는 DEM(Dynamic Element Matching)이 있다. DEM 기법은 공정상에서 발생하는 오차 성분내 대하여 DAC의 단위요소 커패시터들을 재배열함으로써 비선형 잡음을 평균화할 수가 있다^[3]. 이러한 DEM 기술은 CLA(Clock Level Averaging), ILA(Individual Level Averaging), DWA(Data Weighted Averaging) 알고리즘 등이 있다^[4]. 특히 DWA 알고리즘은 피드백 DAC에서 기인된 비이상성을 제거하는 매우 효과적이고 단순한 방법으로 멀티비트 Sigma-Delta Modulator에 널리 이용되고 있다.

본 논문에서는 DEM 기법중 하나인 DWA를 이용한 멀티비트 Sigma-Delta Modulator를 설계 시 DWA 구조를 간략화 할 수 있는 방법을 제안한다. 기존구조는 양자화기의 데이터 코드 출력 값을 2^n 개의 Register 블록에 저장하기 위하여 여분의 클럭이 필요하지만^[5] 제안한 구조는 2^n 개의 S-R Latch 블록을 이용함으로써 기존 구조에서 사용한 여분의 클럭을 제거하였을 뿐만 아니라 MOS Tr. 개수를 감소시켰다. 또한 2개의 n-비트 Register 블록을 1개의 n-비트 Register 블록으로 감소시켜 멀티비트 SC Sigma-Delta Modulator의 면적 및 전력소모를 감소시켰다.

본 논문은 구성은 다음과 같다. II장에서 기존 DWA 구조에 비하여 개선된 DWA 구조를 제안하였고, III장에서는 제안된 DWA 구조의 개선된 사항을 입증하기 위하여 3차 3-비트 SC Sigma-Delta Modulator를 모델링 및 설계하였다. 그리고 IV장에서는 III장의 각 블록을 적용하여 회로 레벨에서 설계된 3차 3-비트 SC Sigma-Delta Modulator의 시뮬레이션 결과 및 고찰을 하였고, V장에 결론을 제시하였다.

II. 개선된 DWA 구조

1. 기존의 DWA 구조

기존의 3-비트 DWA 구조는 그림 1과 같고, DAC의 단위요소 커패시터 값을 재배열 시키는 DWA의 동작원리는 다음과 같은 순서로 이루어진다. 모든 데이터 코드는 클럭의 상승시간에 동기 된다.

ph1d 신호에 9-레벨 양자화기 블록에서 출력된 데이터 코드는 Shifter 블록에서 DAC 단위요소를 선택하는 DWA의 기능을 수행하기 위하여 clk 신호에 8-비트 Register 블록에서 저장되어 대기한다. 또한 저장된 신호는 clk 클럭 신호에 3-비트 덧셈을 위하여 Encoder 블록에서 인코딩되어 3-비트 Adder로 보내어진다. Adder로 보내진 신호는 ph1 신호에 의하여 3-비트 Register B에 저장되어 있던 데이터 코드 값인 C_0, C_1, C_2 와 덧셈이 이루어지며, 동시에 C_0, C_1, C_2 데이터 코드는 Shifter 블록의 조정신호로 보내져 0~7번의 쉬프트 동작을 수행시킨다. 그리고 Adder 블록을 거친 신호는 다음 신호에 쉬프트 동작전압으로 보내지기 위하여 3-비트 Register A에 저장된다. 이와 같은 절차에 의하여 DWA가 가지는 기능인 DAC의 커패시터 단위요소들을 재배열할 수 있어 DAC 비선형 잡음을 평균화할 수가 있다^[6].

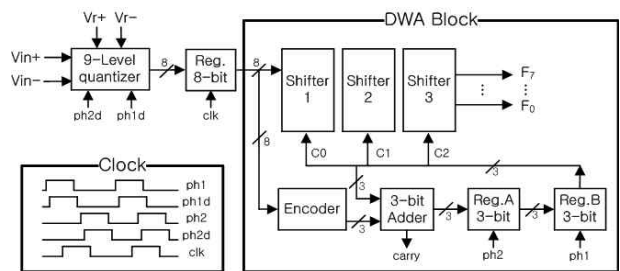


그림 1. 기존 구조의 DWA 블록 다이어그램
Fig. 1. Conventional DWA block diagram.

2. 제안한 DWA 구조

그림 2는 제안한 3-비트 DWA 구조이다. 제안한 구조는 기존구조에서 8-비트 Register 블록에 사용되는 여분의 clk 신호를 제거하기 위하여 8-비트 Register 블록 대신 8-비트 S-R 래치블록을 사용하였다. 이에 따라 9-레벨 양자화기 블록의 클럭은 ph2d와 ph2로 변경하였다. 또한 기존 구조에서 8-비트 Register 블록에 사용되었던 clk가 제거되면서 DWA 블록의 전체적인 클럭 타이밍이 조정된다. 조정된 클럭 타이밍으로 부터 2

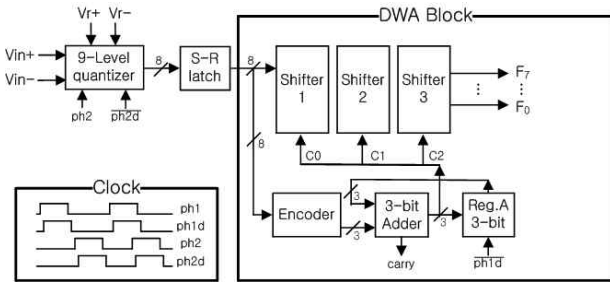


그림 2. 제안한 구조의 DWA 블록 다이어그램
Fig. 2. Proposed DWA block diagram.

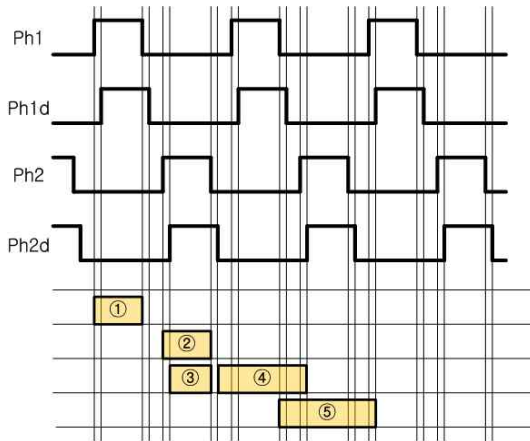


그림 3. 제안한 구조의 클럭 타이밍도
Fig. 3. Proposed DWA clock timing diagram.

개의 3-비트 Register 블록을 1개의 3-비트 Register 블록으로 줄일 수 있었다.

DWA의 출력은 각 적분기 스위치의 입력으로 이동하게 되는데, 이 출력은 스위치 클럭에 동기되어 적분기의 입력으로 들어가게 된다. 그러므로 기존구조에서와 같이 안정된 동기를 맞추기 위해 사용된 여분의 clk 클럭은 제거할 수 있다.

그림 3은 제안된 DWA 구조의 클럭 타이밍도이며, 동작원리는 다음과 같다.

먼저 구간 ①에서 입력 신호를 샘플링하고 구간 ②에서 적분을 하며, 여기에서 나온 적분기의 출력은 구간 ③에 양자화기에 입력된다. 8개의 온도계 코드로 변환되어 구간 ④에서 출력된 신호는 S-R latch 블록을 거쳐 Shifter 블록으로 이동하고, 동시에 8개의 데이터 코드는 Encoder 블록을 거쳐 인코딩 된다. 인코딩된 신호는 이전신호와 더해져 Shifter 조정전압인 C_0, C_1, C_2 신호를 만들어 Shifter를 동작시켜 DWA 동작을 수행한다. 만들어진 조정전압은 구간 ⑤에서 다음 신호와 덧셈을 위해 3-비트 Register A 블록에 저장되어진다.

이렇게 제안한 구조로 설계를 하면 기존의 구조에서

필요했던 여분의 clk 제거할 수 있으며, 회로와 동작원리를 간략화할 수 있다.

III. 3차 3-비트 SC Sigma-Delta Modulator 회로 설계

본 논문에서 제안된 DWA 구조를 적용하여 3차 3-비트 SC Sigma-Delta Modulator를 설계하기 위한 블록 다이어그램은 그림 4와 같다. 먼저 설계조건을 설정한 후에 필터함수와 Modulator의 전달함수를 비교하여 계수 값을 구하였다. 그리고 구성요소인 SC 적분기와 DAC, 9-레벨 양자화기는 모델링과 설계명세조건을 기반으로 설계하여 3차 3-비트 SC Sigma-Delta Modulator를 설계하였다.

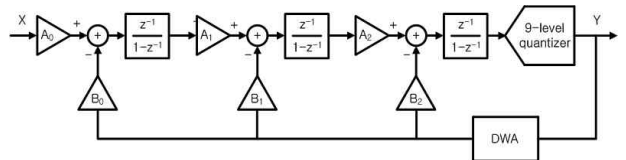


그림 4. 3차 3-비트 Sigma-Delta Modulator 블록도
Fig. 4. The block diagram of 3rd order 3-bit Sigma-Delta Modulator.

1. Sigma-Delta Modulator 설계명세조건

그림 4의 블록 다이어그램의 구성요소는 회로설계시 OTA, 스위치, 커패시터, 양자화기, DAC으로 구성요소로 이루어지며, Sigma-Delta Modulator를 모델링하여 표 1과 같이 설계명세조건을 설정하였다. 최적의 안

표 1. Sigma-Delta Modulator 모델링을 위한 설계명세조건

Table 1. Design specification for Sigma-Delta Modulator modeling.

Characteristics	Permitted Range
Each Integrator Outswing	± 500 [mV]
Input Range	± 400 [mV]
DAC Reference Voltage	± 500 [mV]
Sampling Frequency	2.56 [MHz]
Switch on Register	< 300 [Ω]
Capacitor Rate Error	< 0.1 [%]
Comparator Offset	< 50 [μ V]
OTA Slew Rate	50 [V/ μ s]
OTA Gain	> 60 [dB]
OTA Unit Gain Frequency	> 14 [MHz]
Order/bit	3rd/3-bit
Input Signal Band	20 [kHz]

표 2. 스케일 된 Sigma-Delta Modulator 계수 값
Table 2. Scaled coefficient value of Sigma-Delta Modulator.

Coefficient	Value	Coefficient	Value
A1	0.167	B1	0.167
A2	0.333	B2	0.333
A3	1	B3	1

정도를 유지하면서 최대의 SNR을 가질 수 있도록 모델링한 결과, 최종적으로 스케일 된 계수 값은 표 2와 같고, SNR은 87dB를 얻을 수 있었다.

2. 피드백 DAC를 가지는 SC 적분기 설계

3차 3-비트 SC Sigma-Delta Modulator를 설계하기 위한 3-비트 피드백 DAC를 가지는 3차 단일루프 적분기 구조는 그림 5와 같다. 3-비트 DAC 설계 시 공정상치의 부정합 오차를 최소화하기 위하여 8개의 단위요소 커패시터와 스위치로 구성하였다.

그림 5에서 각각의 스위치들은 비 중첩 클록인 ph1, ph1d, ph2, ph2d에 동작하고, 동작원리는 다음과 같다. ph1이 "1"일 때 입력신호는 8개의 단위 커패시터 C_{si} 에 샘플링 되고, ph2가 "1"일 때 충전된 샘플링 전하량은 Ph2 제어 신호에 의해서 기준신호 V_{ref+} , V_{ref-} 연결됨으로써 적분동작과 DAC 동작을 동시에 수행한다. 또한 Charge Injection에 의한 왜곡을 줄일 수 있도록 상보형 스위치를 사용하였으며, 스위치 ON 저항은 비이상성을 고려하여 $250[\Omega]$ 으로 설정하였다.

적분기를 구성하는 증폭기를 설계함에 있어서 전력 소모를 줄이기 위해서는 적분기의 샘플링 커패시터를 줄여야 하지만, 반면 신호 대역내의 열잡음 kT/C 잡음을 줄이기 위해서는 적분기의 샘플링커패시터가 커져야 한다. 열잡음 kT/C 잡음에 대한 샘플링 커패시터는 식 (1)과 같이 주어진다^[3].

$$C_{stotal} = \frac{8kT \cdot DR}{OSR \cdot V_{FS}^2} \tag{1}$$

여기서 K는 볼츠만 상수, T는 절대온도, V_{FS} 는 양자화기의 차동입력이다.

본 논문에서는 $OSR=64$, $V_{FS}=1V$ 및 kT/C 를 고려하여 충분한 동적범위를 갖도록 식(1)에 의하여 설정한 최소 샘플링 커패시터 C_{stotal} 은 800fF 이다. 따라서 각각의 단위 커패시터 C_{si} 를 100fF 로 설정하면 전체의 입력 샘플링 커패시터는 800fF가 되고, 첫 번째 적분기의 계수는 $C_{stotal}/C_i=1/6$ 이므로 C_i 는 4.8pF이 된다. 두 번째와 세 번째 적분기의 변조기 계수 값은 각각 2.4pF 과 800fF로 하였다.

그림 6은 그림 5의 적분기에 사용되는 OTA 회로이다. OTA는 Sigma-Delta Modulator 전체의 잡음 특성에 큰 영향을 미치기 때문에 CMFB(Common Mode Feed Back) 회로를 가지는 완전 차동입력과 차동출력을 가지도록 고성능을 갖도록 설계 하여야 한다. 모델링을 통하여 증폭기는 60dB 이상의 이득, $50V/\mu s$ 이상의 slew rate, 출력범위는 $\pm 500mV$, 단위이득 주파수는

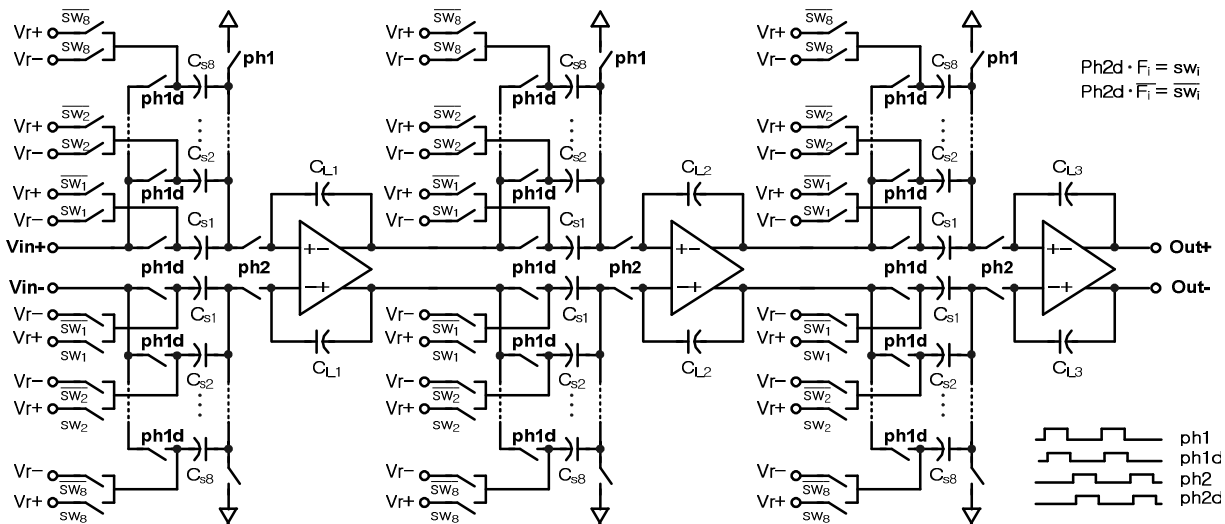


그림 5. SC 적분기와 피드백 DAC
Fig. 5. SC integrator and feedback DAC.

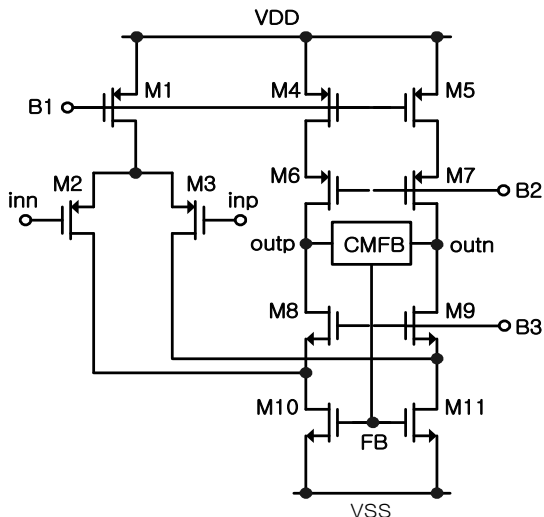


그림 6. 완전차동 폴디드 캐스코드 OTA
Fig. 6. Fully differential folded cascode OTA.

표 3. OTA 성능
Table 3. The performance of OTA.

DC Gain	72 [dB]
Unity Gain Frequency	15 [MHz]
Phase Margin	65°
Slew Rate	60 [V/μs]
Load Capacitance	5 [pF]

14 MHz 이상이 만족되어야 한다. 본 논문에서는 이러한 특성을 고려하여 Folded cascode 형태의 OTA를 설계하였다. PMOS 입력단과 SC CMFB 구조를 사용하여 구현한 OTA의 동작특성은 표 3과 같다.

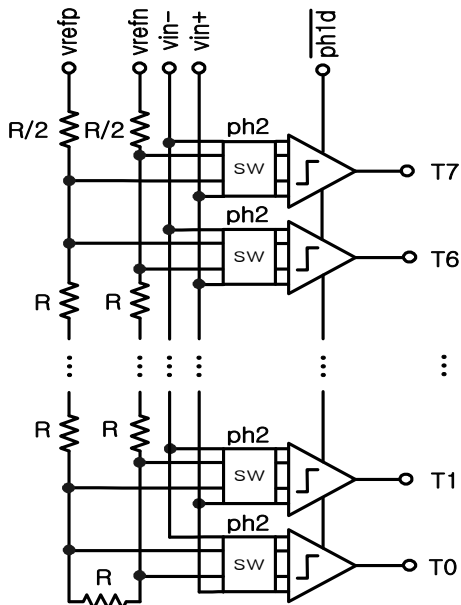


그림 7. 9 레벨 양자화기
Fig. 7. 9-level quantizer.

3. 9-레벨 양자화기 설계

9-레벨 양자화기는 SC 적분기의 차동 출력과 기준전압을 비교할 수 있도록 플래쉬 구조로 그림 7과 같이 설계하여 ph2가 “1”일 때 입력 신호 V_{in+} , V_{in-} 를 샘플링하고 ph1d가 “1”일 때 8-비트 온도계 코드를 생성하도록 하였다. 여기에 사용되는 비교기는 큰 전압이득, 빠른 동작속도, 저전력 및 입력단의 부하가 최소가 되도록 그림 8과 같이 설계하였다. 그림 8은 차동구조로 설계된 비교기로 ph2가 “0”인 동안에 V_{o+} 와 V_{o-} 는 VDD의 값을 가지며 위·아래 래치는 M11과 M12로서 차단되어 있다. ph2d가 “1”일 때 M11과 M12는 동작하며 차동출력은 래치루프 M4와 M5에 의해 V_{o+} 와 V_{o-} 로 증폭된다.

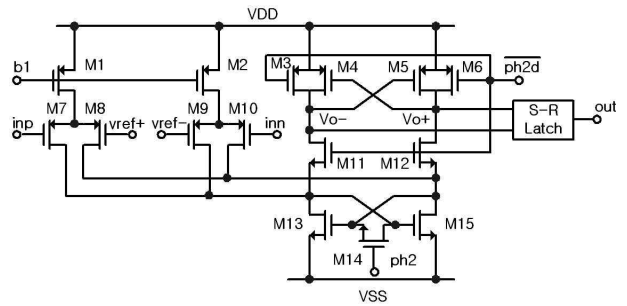


그림 8. 비교기
Fig. 8. Comparator.

3. 제안된 DWA 구조를 위한 회로설계

그림 2와 같이 제안된 DWA 구조의 각 블록은 S-R Latch, Encoder, Adder, 3-비트 Register로 구성된다.

제안된 DWA 구조에서 Register 블록으로 사용된 D 플립-플롭 회로와 S-R latch 회로는 그림 9와 같다. 글리치 현상을 방지하기 위하여 일반적인 D 플립-플롭 대신 그림 9(a)와 같은 구조의 D 플립-플롭을 사용하였다.

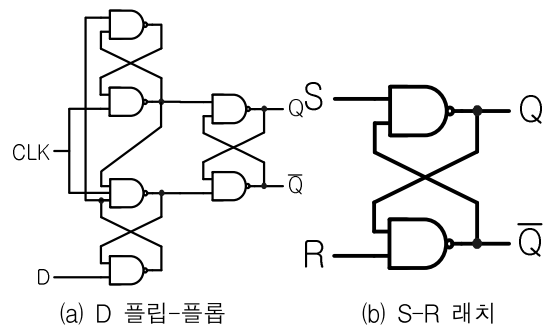


그림 9. 레지스터 (a) D 플립플롭 (b) S-R 래치
Fig. 9. Register (a) D Flip-Flop (b) S-R latch.

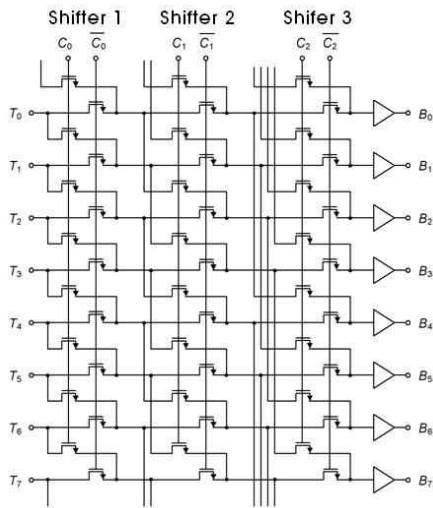


그림 10. 쉬프터
Fig. 10. Shifter.

Shifter 블록의 회로는 그림 10과 같으며, 쉬프트 되는 횟수에 따라서 Shifter1, Shifter2, Shifter3 부분으로 나뉜다. Shifter 설계 시 스위치는 NMOS가 PMOS보다 동작속도가 빠르기 때문에 NMOS로 설계하였고, Shifter 조정신호 데이터인 C_0, C_1, C_2 에 의해 0~7번의 쉬프트를 수행하도록 하였다.

DWA 구성요소인 인코더는 입력 8개와 3개의 출력을 갖도록 기본 OR 게이트를 이용하여 설계하였고, Adder는 AND, OR, EX-OR 게이트로 구성된 1-비트 반가산기 및 전가산기를 이용하여 3-비트 Adder를 설계하였다.

IV. 시뮬레이션 및 고찰

앞 절에서 기술된 각 블록회로를 적용하여 그림 2와 같은 클록 타이밍을 갖는 제안한 DWA 구조를 갖는 3차 3-비트 SC Sigma-Delta Modulator를 0.18 μ m CMOS 공정 파라미터를 이용하여 설계하였다.

그림 11의 PSD(Power Spectrum Density)인 출력 파워 스펙트럼 결과이다. DAC 단위오차를 0.1% 를 가지도록 하여 Spectra에서 시뮬레이션 한 결과 DAC 단위 커패시터의 오차가 없는 경우에는 86dB 를 보였으며, 0.1% 단위오차가 있는 경우에는 85.8dB의 SNR을 보임으로 보아 DWA가 정상 동작함을 알 수 있었다. 시뮬레이션에 사용된 입력신호 조건은 크기가 800mVpp, 입력 주파수는 20kHz, 샘플링 주파수는 2.56 Mhz 이다.

표 4는 설계된 3-bit과 4-bit Sigma-Delta Modulator

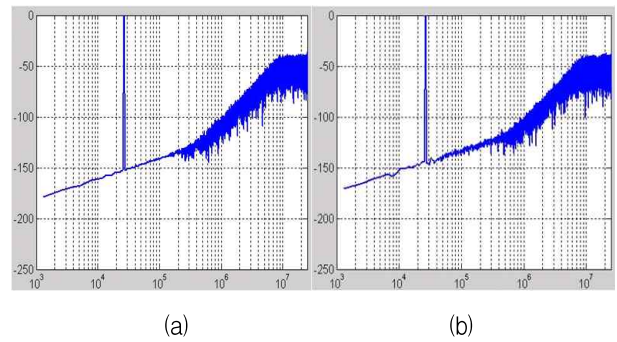


그림 11. 기존구조와 제안한 구조의 시뮬레이션 결과
(a) 기존 구조의 PSD (b) 제안한 구조의 PSD
Fig. 11. Simulation of conventional and proposed architecture. (a) PSD of conventional architecture (b) PSD of proposed architecture.

표 4. 기존 구조와 제안한 구조의 MOS Tr. 개수 비교
Table 4. MOS Tr. number comparison of conventional and proposed architecture.

	기존 DWA 구조		제안한 DWA 구조	
	3-bit	4-bit	3-bit	4-bit
Register A	26 × 8(bit)개	26 × 16(bit)개	X	X
S-R latch	X	X	8 × 8(bit)개	8 × 16(bit)개
Register B	26×3(bit) ×2 개	26×4(bit) ×2 개	26×3(bit) ×1 개	26×4(bit) ×1 개
총 MOS Tr. 개수	364 개	624 개	142 개	232 개

에서 양자화기 온도계 데이터 코드를 처리하는 기존 DWA 구조와 제안한 DWA 구조에 사용된 MOS Tr. 개수를 비교한 결과이다.

3-비트 온도계 데이터 코드를 처리하는 기존 DWA 구조에서 그림5(a)의 8-비트 Register 대신에 그림5(b)의 8-비트 S-R latch로 대체하게 되면 Register의 경우 1-비트 Register당 26개의 MOS Tr.를 필요로 하지만, S-R latch의 경우에는 1-비트 S-R latch당 8개의 MOS Tr.로 구현이 가능하다. 그러므로 8개의 Register가 8개의 S-R latch로 대체됨으로 144개의 gate가 감소됨을 알 수 있다. 또한 2개로 구성된 3-비트 Register가 1개의 Register로 감소됨으로써 78개의 MOS Tr.를 줄일 수 있다.

그러므로 표 4에서 보는 바와 같이 기존 구조에서 제안한 구조로 3-비트 회로를 구현할 경우 222개의 MOS Tr. 가 줄어들어 회로 구현 시 약 20% 면적감소가 예상된다.

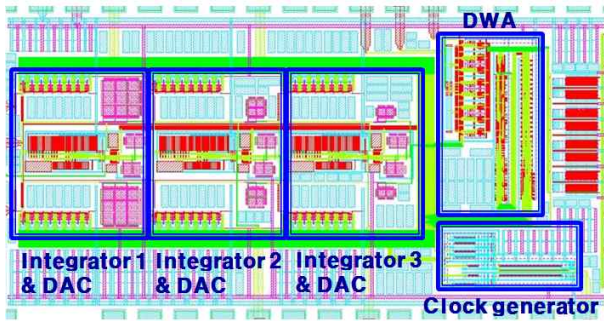


그림 12. 3차 3-비트 SC Sigma-Delta layout
Fig. 12. Layout of 3rd order 3-bit SC Sigma-Delta layout.

또한 4-비트의 경우에는 392개의 MOS Tr. 개수가 감소된다. 그러므로 비트 수가 올라갈수록 기준구조 보다 더 많은 MOS Tr. 개수가 감소될 것이다.

그림 12는 제안한 3차 3-비트 SC Sigma-Delta 레이아웃 그림이다. 0.18 μ m CMOS 공정으로 Cadence tool 을 이용하여 레이아웃 하였다.

V. 결 론

본 논문에서는 멀티비트 Sigma-Delta Modulator를 위한 개선된 DWA 구조를 제안하였다. 제안한 DWA 구조는 전체의 클럭 타이밍을 조정하여 기존의 DWA 구조에서 사용하는 8-비트 Register를 8-비트 S-R latch로 대체하고, 3-비트 Register를 줄임으로써 각 Register를 구성하는 MOS Tr.의 개수를 줄였을 뿐더러 여분의 클럭을 제거하였다. 그럼에도 불구하고 DWA가 정상동작 함을 알 수 있었다. 또한 출력 비트수가 증가할수록 많은 MOS Tr. 개수가 감소할 것으로 예상된다.

그러므로 본 논문에서 제시한 개선된 DWA 구조를 이용하여 멀티비트 Sigma-Delta Modulator 설계할 경우 회로의 단순성, 면적, 전력감소에도 크게 기여할 것으로 사료된다.

참 고 문 헌

[1] B. W. Cho, P. Choi, J. R. Choi, D. H. Kwon, B. K. Sohn, "A Second-Order Sigma-Delta Modulator with a Gain Scaling of ADC and a Simple Multibit DAC", IEICE Trans. Fundamentals, Vol. E83-A, no.6, Jun. 2000
[2] I. Galton, "Delta-Sigma Data Conversion in Wireless Transceivers," IEEE Transactions on

Microwave Theory and Techniques, vol. 50, no. 1, pp.302-316, Jan. 2002
[3] R. K. Henderson and O. J. A. P. Nys, "Dynamic Element Matching Techniques with Arbitrary Noise Shaping Function," in Proc. ISCAS '96, Atlanta, vol. 1. pp. 293-296, May. 1996
[4] E. Fogleman and Ian Galton, "A Dynamic Element Matching Technique for Reduced-Distortion Multibit Quantization in Delta-Sigma ADCs," IEEE Transactions on Circuits and Systems, vol. 48, no. 2, pp. 158-170 Feb. 2001
[5] 김선홍, 최석우, 조성익, 김동용, "Data Weighted Averaging을 이용한 3차 멀티비트 Sigma-Delta 변조기," 전자공학회논문지, 제41권, 제9호, 107-114쪽, 2004년
[6] F. Chen, and B. Leung, "A High Resolution Multibit Sigma-Delta Modulator with Individual Level Averaging," IEEE J. Solid-State Circuits, vol. SC-30, pp. 453-460, Apr. 1995

— 저 자 소 개 —



김 동 균(정회원)
2009년 원광대학교 전기전자및 정보공학부 학사 졸업.
2011년 전북대학교 전자정보공학부 석사 졸업.
<주관심분야 : Low-voltage Low-power analog circuit, ADC/DAC>



조 성 익(정회원) - 교신저자
1987년 전북대학교 전기공학과 학사 졸업.
1989년 전북대학교 전기공학과 석사 졸업.
1994년 전북대학교 전기공학과 박사 졸업.

1996년~2004년 Hynix 반도체 메모리 연구소 책임연구원.

2004년~현재 전북대학교 전자정보공학부 부교수.

<주관심분야 : 저전압/고속 Graphic DRAM, Low-voltage Low-power analog circuit, High speed data interface circuit, ADC/DAC, Filter, PLL/DLL>