

논문 2011-48SD-8-4

# Redundancy TSV 연결 테스트를 위한 래퍼셀 설계

## ( Wrapper Cell Design for Redundancy TSV Interconnect Test )

김 화 영\*, 오 정 섭\*\*, 박 성 주\*\*\*

( Hwayoung Kim, Jungsub Oh, and Sungju Park )

### 요 약

칩의 적층 기술이 적용된 TSV기반 3D IC로 진화함에 따라 새로운 문제점이 발생하게 되었다. Bonding 이후 다이간 TSV가 제대로 연결되었는지 테스트하지만 Redundancy TSV에 대해서는 테스트하지 않는다. 그러나 더 높은 수율을 얻기 위해서는 redundancy TSV에 대한 연결 테스트를 수행해야 한다. redundancy TSV의 연결을 테스트하고 진단하여 고장 있는 TSV를 대체함으로써 더 높은 수율을 얻을 수 있다. 본 논문에서는 TSV기반 3D IC에서 다이간의 TSV 연결 테스트뿐 아니라 redundancy TSV 테스트를 위한 래퍼셀을 제안하고자 한다. 제안하는 래퍼셀은 하드웨어로 설계하였을 시 기존의 테스트패턴을 그대로 사용할 수 있고, 소프트웨어 설계 시에는 면적을 최소화할 수 있다.

### Abstract

A new problem happens with the evolution of TSV based 3D IC design. The bonding process takes place which follows with the testing of design for proper connectivity in the absence of TSV redundancy. In order to achieve good yield, the design should be tested with redundancy TSV. This paper presents a wrapper cell design for redundancy TSV interconnect test. The design for test technique, in terms of hardware and software perspectives is described. The wrapper cell with hardware design can use original test patterns. However, software design has less area overhead.

**Keywords :** TSV interconnect test, redundancy TSV, design-for-testability, boundary scan design

## I. 서 론

무어의 법칙에 따라 지속적으로 칩의 집적도를 높이는 노력은 계속되고 있지만 칩 면적당 집적도만을 높이기에는 한계에 부딪치고 있다. 이러한 한계를 극복하기 위해 TSV(Through Silicon Via)가 제안되었다<sup>[1~3]</sup>.

TSV란 패키지 되지 않은 다이를 쌓아올린 3D 집적 기술의 한 예이다. TSV는 회로의 집적도뿐 아니라 동작 속도, 전력소모, 제조비용, 발열 등의 문제점을 한꺼번에 해결할 수 있기 때문에 많은 연구가 활발히 진행되고 있다. 또한 NAND 플래시 메모리 분야에서는 삼성 전자, 하이닉스, 및 도시바 등도 TSV 기술을 이용한 3D 셀 개발이 활발히 진행되고 있다.

하지만 이러한 TSV기반 3D IC는 무어의 법칙에 따라 지속적으로 집적도를 높일 수 있는 획기적인 기술이지만 칩의 생산성과 테스트 기술의 향상 없이 실용화하는 데에는 한계가 있다. 다이 수준에서 설계 및 테스트를 통하여 KGD(Known Good Die)를 제공한다고 해도 3D 적층에 따른 다양한 문제가 발생한다. 적층한 3D IC에서는 하나의 다이라도 문제가 발생하면 전체를 사용하지 못하게 된다. 기존의 2D IC인 경우에는 Stuck-at-faults, Transistor faults, Open and short

\* 정회원, 휴맥스 (HUMAX)

\*\* 학생회원, \*\*\* 평생회원-교신저자, 한양대학교 컴퓨터공학과  
(Department of Computer Science & Engineering, Hanyang University)

※ 이 논문은 반도체설계교육센터 (IDEC) CAD 툴 지원을 받아 수행하였음.

※ 이 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단(NRF)의 중견연구사업 지원을 받아 수행된 것임. (No. 2010-0026822)

접수일자: 2010년12월28일, 수정완료일: 2011년7월27일

faults, Delay faults, Crosstalk 고장 등을 테스트하였지만 TSV기반 3D IC의 경우에는 이 문제뿐만 아니라 위, 아래의 TSV의 위치가 맞지 않는 Alignment 문제 및 각 다이가 잘 붙지 않아 생기는 Bonding 문제 등을 테스트해야 한다<sup>[4]</sup>. 이러한 새로운 고장 모델을 테스트하기 위해서는 기존의 DFT(Design-For-Testability) 방식과는 별도의 추가적인 테스트 방식을 필요로 하게 된다. 하나의 다이뿐 아니라 적층하였을 때에도 신뢰성을 확보하는데 필요한 KGS(Known Good Stack)에 대한 이해가 필요하다. 그러기 위해서는 테스트 시에 제품의 고장 유무뿐만 아니라 고장이 있는 부분을 발견하고 수리하는 기술을 적용함으로써 작은 부분의 결함으로 3D IC 전체를 사용할 수 없게 되는 최악의 경우는 막아야 한다.

본 논문에서는 기존의 메모리에서 BIRA(Built In Repair Analysis) 기술을 사용하여 새로운 셀로 대체하는 기술과 같이, 새로운 TSV 기반의 3D IC에서 고장난 TSV를 여분의 TSV로 효율적으로 대체하는 기술을 제안하고자 한다.

## II. 3D IC Design for Testability

TSV를 이용한 3D 집적 기술은 기존의 방식과는 다르게 신뢰성 제고를 위한 고도의 테스트 기술 개발이 필요하다. 그림 1은 간단한 TSV기반의 3D DFT구조의 예이다. 기존 2D 기반의 회로에서 스캔테스트를 하는 것과 마찬가지로 bottom 다이의 Sin에서 내부의 스캔체인을 거쳐 Sout으로 나오는 방법이 있고, 각 다이마다 입출력을 테스트하는 경계스캔테스트가 있다.

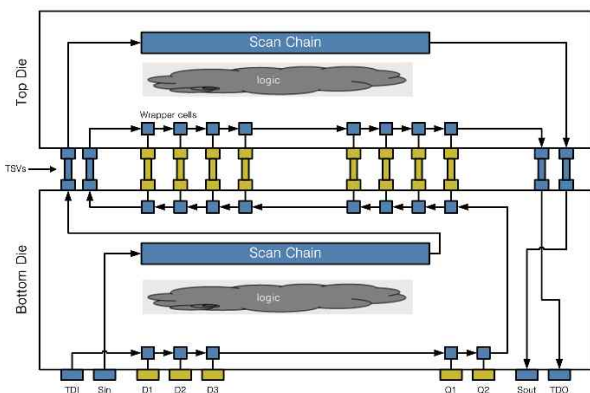


그림 1. 간단한 3D DFT 구조의 예  
Fig. 1. Simplified example of a 3D DFT architecture.

경계스캔테스트란 PCB 내에서 각 칩 간의 연결 등을 테스트하는 기술이며 각 다이간의 TSV 연결 테스트를 위해서도 사용한다. IEEE Std 1149.1의 기본 명령어 중 EXTEST를 이용하여 각 다이간의 TSV 연결이 제대로 이루어져 있는지를 테스트하게 된다. TSV기반 3D IC에서의 경계스캔테스트는 bottom 다이의 TDI를 통해서 입력이 들어가 각 다이의 입출력에 연결되어 있는 래퍼셀을 경유하여 TDO로 그 출력이 나와 입출력이 제대로 연결되었는지를 테스트하게 된다. 여기서 기존에는 없던 다이간의 연결에 대한 문제를 테스트하기 위해서는 TSV의 연결테스트가 반드시 필요하다<sup>[5~7]</sup>.

이러한 TSV의 연결테스트 후 수율을 높이기 위해 고장 TSV를 대체할 수 있도록 redundancy TSV를 사용하는 기술이 제안되고 있다<sup>[8~10]</sup>.

## III. Redundancy TSV를 이용한 대체 기술

### 1. Redundancy TSV

redundancy TSV란 그림 2와 같이 기능적인 동작을 하는 기본 TSV가 테스트 후 제대로 동작하기 어려울 때 그것의 기능을 대체하기 위한 여분의 TSV를 말한다. 각 다이간의 연결테스트 후 수율을 높이기 위해 고장 TSV를 대체할 수 있도록 redundancy TSV를 이용한다. 고장 TSV와 redundancy TSV 입출력의 라우팅을 바꿔주어 각 다이간의 입출력을 할 수 있게 만든다. 이때 라우팅을 바꿔주기 위해서는 레이저를 이용한 방법과 e-Fuse를 이용한 방법을 사용할 수 있다. 레이저를 이용한 방법은 웨이퍼레벨에서 레이저를 이용하여 라우팅 경로를 직접 끊어주는 방법이고, e-Fuse를 이용한 방법은 회로 내부의 ROM영역을 이용하여 라우팅 경로를 MUX신호로 고정시켜주는 것이다. 하지만 redundancy TSV를 테스트하기 위한 래퍼셀은 정의되어 있지 않기 때문에 본 논문에서는 고장 TSV를 대체

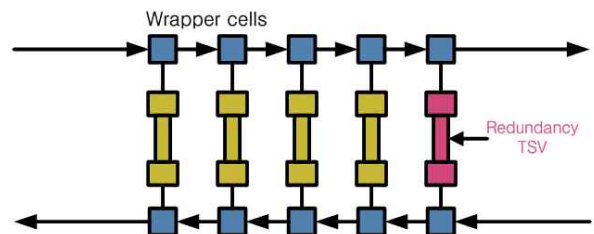


그림 2. Redundancy TSV  
Fig. 2. Redundancy TSV.

하면서 redundancy TSV 자체도 테스트할 수 있는 새로운 래퍼셀을 제안하고자 한다.

2. 기존의 대체 기술

기본적으로 고장난 TSV에 대해서 redundancy TSV와 1:1로 라우팅을 바꾸어 수리하는 방법이 있다. 하지만 수율을 높이고 고장난 TSV와 redundancy TSV와의 멀어진 거리로 인해 생기는 Delay path의 증가로 인해 새로운 대체 기술들이 개발되었다<sup>[8~9]</sup>.

그림 3은 TSV 대체 방법의 한 예이다<sup>[8]</sup>. (a)는 기본적으로 고장난 TSV에 대해서 지정된 redundancy TSV와 1:1로 대체하는 방법이다. a,b,c,d는 기본 TSV이고, r1, r2는 redundancy TSV이다. 만일 b와 c의 연결테스트 중 이상이 생기면 r1과 r2로 1:1 대체하게 된다. 반면 (b)는 지정된 redundancy TSV가 없는 방법이다. b, c, d, e가 기본 TSV이고, a와 f는 redundancy TSV가 된다. 이럴 경우 만일 b와 e의 연결테스트 중 이상이 생기면 b의 입출력은 a로, e의 입출력은 f로 가까운 경로를 따라 위치가 바뀌게 된다. 결국, (a)에서 생기는 Delay path를 줄이는 효과를 얻을 수 있게 된다.

그림 4는 다른 TSV 대체 방법이다<sup>[9]</sup>. 그림 4의 (a)처럼 4개의 기본 TSV가 있고 1개의 redundancy TSV가 있다고 하자. 만약 여기서 연결테스트 후 2번째 TSV가

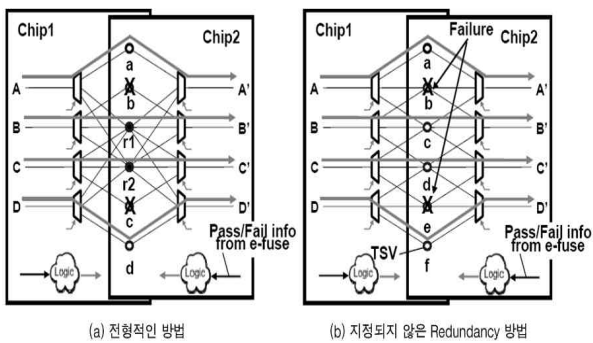


그림 3. TSV 대체 방법 예제 1<sup>[8]</sup>  
Fig. 3. Example of a TSV repair scheme 1<sup>[8]</sup>.

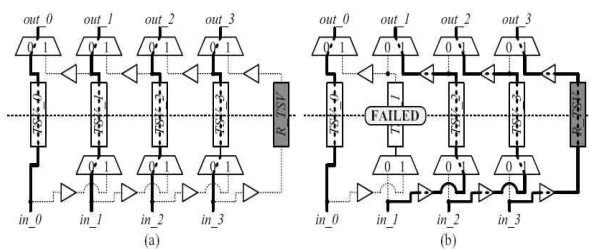


그림 4. TSV 대체 방법 예제 2<sup>[9]</sup>  
Fig. 4. Example of a TSV repair scheme 2<sup>[9]</sup>.

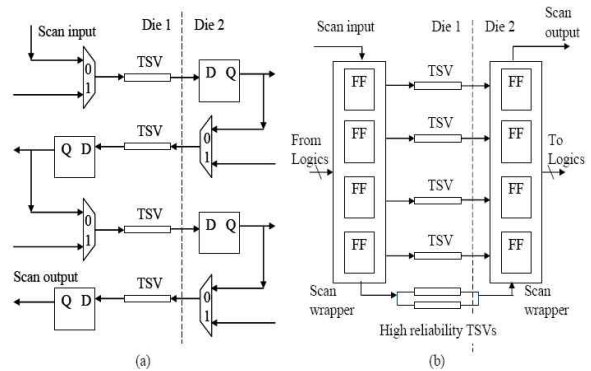


그림 5. TSV 직렬 테스트 vs TSV 병렬 테스트<sup>[10]</sup>  
Fig. 5. TSV serial test vs TSV parallel test<sup>[10]</sup>.

고장이 났다고 하면 (b)와 같이 TSV를 대체하게 된다. 역시 1:1로 고장난 TSV를 대체하는 것이 아니라 Delay path를 줄이기 위하여 2,3,4번째의 입출력의 MUX신호를 1로 고정하여 3번째 기본 TSV가 원래의 2번째 역할을 하고, 4번째 기본 TSV가 원래의 3번째 역할을 하고, redundancy TSV가 4번째 역할을 하게 된다.

또한, 선행연구에서는 이러한 연결테스트를 두 가지 관점으로 설명하고 있다. 그림 5와 같이 직렬 테스트와 병렬 테스트로 나눌 수 있다<sup>[10]</sup>. 직렬테스트는 (a)와 같이 MUX의 제어신호가 1일 때는 정상 동작하지만 TSV 연결테스트 할 때에는 MUX의 제어신호를 0으로 한다. 그러면 각 TSV에 연결되어 있는 플립플롭은 하나의 스캔체인을 형성하게 되어 연결테스트를 할 수 있다. 이러한 직렬테스트는 구조가 간단한 반면 두 개의 다이를 연결한 후에만 사용 가능하다. 반면 (b)에서는 각 플립플롭들은 병렬로 연결되어 웨이퍼 수준에서 테스트를 진행할 수 있게 된다. 본 논문에서는 (b)와 같이 병렬 테스트를 기준으로 설계 할 것이며, High reliability TSV를 사용하지 않고 기본 TSV와 같은 형태를 사용하기 위해서 새로운 래퍼셀을 제안한다.

이러한 redundancy TSV를 대체하기 위해서는 다이

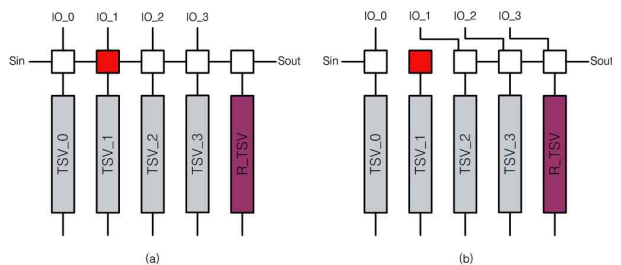


그림 6. SI-SO 끊기는 현상  
Fig. 6. Broken SI-SO path.

를 적용 할 때마다 TSV들이 제대로 연결되었는지를 확인하는 연결테스트가 용이하여야 한다. 왜냐하면 KGD뿐 아니라 KGS도 실시하여야만 높은 수율을 얻을 수 있기 때문이다. 하지만 기존의 테스트 방법에서는 redundancy TSV를 테스트하는 방법에 대해서는 상세히 다루지 않고 있다.

왜냐하면 그림 6처럼 스캔체인이 끊기는 현상이 발생하기 때문이다. IEEE Std 1149.1의 EXTEST 명령을 통해서 다이간의 TSV의 연결테스트를 하게 되는데 이를 위해서 연결 부분에 래퍼셀을 추가하여야 한다. 만약 연결테스트에서 두 번째 TSV(TSV\_1)의 연결에서 고장이 발생한 경우에는 쉬프트하면서 redundancy TSV와 교체를 하게 된다. 이때, (b)처럼 기존에 존재하던 스캔경로(Sin->Sout)가 끊어지는 현상이 발생하게 된다. 또한 redundancy TSV를 기본 TSV보다 높은 신뢰성으로 구현한다고 하지만 기본 TSV와 다르게 구현하기가 힘들다. 이러한 문제점을 해결하기 위해서 본 논문의 IV장에서는 새로운 래퍼셀을 제안한다.

#### IV. 제안하는 Redundancy TSV 연결 테스트를 위한 래퍼셀

이 장에서는 본 논문에서 제안하고자 하는 래퍼셀의 구조를 하드웨어관점과 소프트웨어관점으로 나누어 제안하고자 한다.

##### 1. 하드웨어 관점의 래퍼셀 설계

제안하는 래퍼셀은 그림 7과 같이 기존의 IEEE 표준과 호환한다. 래퍼셀은 기본적으로 기능적인 입출력인

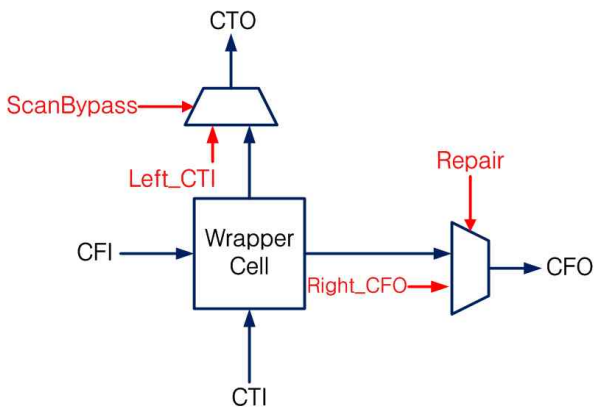


그림 7. 제안하는 래퍼셀(하드웨어)  
Fig. 7. Proposed wrapper cell(Hardware).

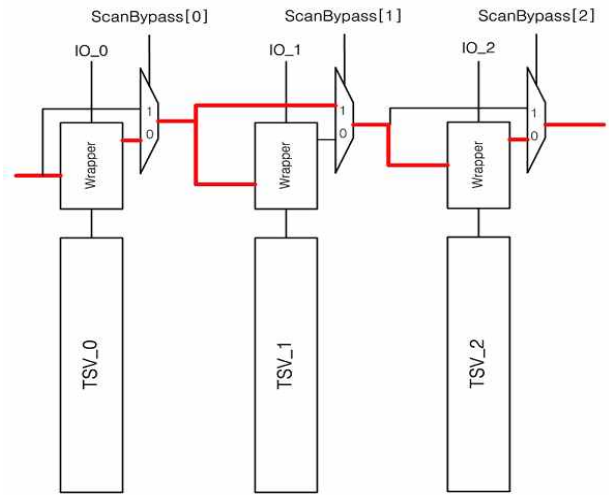


그림 8. ScanBypass 적용한 모습  
Fig. 8. Applying ScanBypass.

CFI와 CFO가 있고 테스트시 사용되는 입출력 CTI와 CTO가 있다. 그리고 여기에 새로운 MUX와 신호가 필요하다. Repair와 Right\_CFO 신호는 기존에 대체방법을 사용하기 위한 신호로 고장난 TSV의 오른쪽의 모든 TSV의 입출력들을 좌측으로 Shift하는 역할을 한다. 또한 추가적으로 ScanBypass와 Left\_CTI 신호가 필요하다. 만약 TSV연결에서 고장이 발생하여 redundancy TSV와 대체를 할 경우 스캔체인이 끊어지게 되는데 ScanBypass 신호를 1로 고정시켜주게 되면 그 래퍼셀은 스캔입력을 바로 출력으로 연결시켜 주어 대체했을 때 스캔이 끊어지는 것을 방지할 수 있다.

예를 들어, 그림 8과 같이 IEEE Std 1149.1 EXTEST 명령 후 두 번째 TSV(TSV\_1)에 고장이 발생했을 경우에 끊어진 스캔체인을 연결하기 위해 ScanBypass<sup>[1]</sup>의 값을 1로 고정시킨다. 그러면 두 번째 래퍼셀은 사용되지 않고 ScanBypass<sup>[1]</sup>로 제어되는 MUX에 의하여 첫 번째 래퍼셀에서 나오는 스캔신호를 바로 세 번째 래퍼셀에게 전달하게 된다.

redundancy TSV를 포함한 모든 TSV를 테스트하기 위해서 초기의 Repair 신호로 제어되는 MUX와 끊어진 스캔을 연결하는 ScanBypass 신호의 ROM 값은 모두 0이다.

또한, 4개의 기본 TSV가 있고 1개의 redundancy TSV가 있다고 가정하자. TSV 연결테스트 이후에 만약 고장 있는 TSV가 없다면 표 1과 같이 redundancy TSV의 ScanBypass 신호만 1로 고정하면 된다. 왜냐하면 고장이 없을 경우 redundancy TSV에 테스트패

표 1. 고장이 없을 때 ROM 값  
Table 1. Default ROM value.

	TSV0	TSV1	TSV2	TSV3	R-TSV
Repair	0	0	0	0	-
ScanBypass	0	0	0	0	1

표 2. TSV 고장시 ROM 값의 예  
Table 2. Example of a broken TSV ROM value.

	TSV0	TSV1	TSV2	TSV3	R-TSV
Repair	0	0	1	1	-
ScanBypass	0	1	0	0	0

턴을 입력하지 않아도 되기 때문이다. 또 만약 두 번째 TSV(TSV1)에 연결테스트 이후 고장을 발견하게 된다면 표 2와 같이 세 번째와 네 번째 Repair 신호를 1로 고정하고 두 번째 ScanBypass 신호를 1로 고정하면 된다.

이러한 ScanBypass신호로 선택되는 MUX를 하드웨어로 설계하고 대체를 한 후에는 ATPG(Automatic Test Pattern Generation)에서 생성된 테스트 패턴을 그대로 사용할 수 있는 장점이 있다. 하지만 모든 래퍼셀에 추가적인 MUX가 필요하기 때문에 면적 오버헤드가 생기게 되는 단점을 가지고 있다. 그리고 레이저로 대체기술을 활용한다면 크게 문제가 되지는 않지만 e-Fuse로 ROM 영역에 ScanBypass를 연결한다면 라우팅이 복잡해지는 단점도 가지고 있다. 이러한 하드웨어 오버헤드를 줄이기 위해서 소프트웨어 관점의 설계를 고려해 볼 수 있다.

2. 소프트웨어 관점의 설계

앞 절에서 설명한 하드웨어 관점이 아닌 소프트웨어 관점으로 살펴보고자 한다. 기존의 래퍼셀을 기본 TSV 뿐만 아니라 redundancy TSV에도 연결하여 연결테스트를 실시한다. 하지만 이러한 연결테스트에서는 기존의 ATPG에서 생성된 테스트 패턴을 그대로 사용할 수 없고, ATE(Automatic Test Equipment)에서 BSDL(Boundary Scan Description Language)를 수정해 주어야한다.

표 3은 TSV 연결 테스트 후 연결이 고장난 TSV를 대체 후 바뀌는 테스트 패턴의 입력 순서이다. 각 고장

표 3. 테스트패턴 입력 순서  
Table 3. Test pattern input order.

	TSV0	TSV1	TSV2	TSV3	R-TSV
EXTEST 시	4	3	2	1	0
고장이 없을 시	3	2	1	0	X
TSV0 고장	X	3	2	1	0
TSV1 고장	3	X	2	1	0
TSV2 고장	3	2	X	1	0
TSV3 고장	3	2	1	X	0

있는 TSV의 셀의 테스트 패턴을 don't care로 두어서 테스트한다.

이러한 방식의 테스트방법은 끊어진 스캔을 연결하는 ScanBypass 신호와 MUX가 없고 redundancy TSV에만 래퍼셀을 추가하기 때문에 하드웨어 관점보다 면적 오버헤드가 적다.

V. 실험

본 논문에서는 redundancy TSV를 테스트 할 수 있는 래퍼셀을 구현하였다. 설계언어는 Verilog HDL을 사용하였고, 시뮬레이션 툴은 Cadence사의 nc-Verilog 와 simvision을 사용하였으며, 면적을 구하기 위해서 Synopsys사의 Design Compiler를 사용하였다. 면적 비교를 위해 4가지 래퍼셀을 설계하였다. 먼저 기본적으로 IEEE Std 1149.1에서 제공하는 기본 래퍼셀(default)을 설계하였고, repair 신호를 이용하여 대체할 수 있는 래퍼셀(Only repair)을 설계하였다. 그리고 본 논문에서 제안하는 소프트웨어 관점에서 redundancy TSV를 테스트 할 수 있는 래퍼셀(Software repair)와 끊어진 스캔체인을 연결할 수 있는 래퍼셀(ScanBypass)을 설계하였다.

표 4. 면적 비교  
Table 4. Area comparison.

	default	Only Repair	Software Repair	Scan Bypass
1:1	22	24	46	54
4:1	88	102	124	144
9:1	198	232	253	294

표 5. 스캔길이 비교

Table 5. Scan length comparison.

	default	Only Repair	Software Repair	Scan Bypass
TSV test	N	N	N+K	N+K
Repair 후	.	N	N+K	N

표 4의 면적 비교표를 보면 기본 TSV와 redundancy TSV의 개수에 따른 면적을 알 수 있다. 실제 사용되는 기본 TSV가 9개이고 그것에 따른 redundancy TSV가 1개이라면 면적은 하드웨어 관점의 설계에서는 26.7%, 소프트웨어 관점의 설계에서는 9%의 면적 오버헤드가 생긴다. 즉 하드웨어로 설계시 소프트웨어에 비해 15.7%의 면적 오버헤드가 생긴다. 하지만 redundancy TSV를 테스트 할 수 있고, 최대 효율의 대체기술을 활용한다면 수율에서 충분히 보상 받을 수 있다.

표 5는 스캔길이 비교표이다. redundancy TSV에 래퍼셀을 사용하지 않을 경우에는 대체하기 전과 후의 스캔길이가 N으로 같다. 하지만 제안하는 래퍼셀 중 소프트웨어 관점에서 설계한 래퍼셀의 경우에는 대체기술을 적용하기 전과 후가 K(redundancy TSV 래퍼셀의 개수)만큼 길어지게 된다. 하지만 하드웨어 관점에서 설계를 할 경우에는 대체기술을 적용한 후에는 수리한 래퍼셀을 그대로 통과하기 때문에 기본 TSV 개수만큼의 길이 N으로 스캔길이가 짧아지게 된다.

## VI. 결 론

칩의 적층 기술이 적용된 TSV기반 3D IC로 진화함에 따라 현재까지 고려하지 않아도 될 문제점이 생기게 되었다. 이러한 문제점 중 하나인 TSV 연결테스트를 위해서 기존의 IEEE Std 1149.1 래퍼셀을 사용하지만 redundancy TSV 연결테스트를 하기 위해서는 스캔체인이 끊기지 않도록 래퍼셀을 설계해야한다. 본 논문에서는 하드웨어와 소프트웨어 관점에서 이러한 문제점을 해결하기 위해 새로운 래퍼셀을 제안하였다. 하드웨어 관점의 래퍼셀은 ScanBypass을 이용하여 끊어진 스캔을 연결하고 소프트웨어 관점에서는 ATE 장치의 BSDL을 이용하여 스캔 순서를 조절함으로써 redundancy TSV도 연결테스트가 가능할 수 있게 되었다. 실험결과, 하드웨어로 설계하였을 때 소프트웨어보다 15.7%의 오버헤드가 발생하지만 기존의 사용하던

ATPG의 테스트 패턴을 그대로 사용할 수 있는 장점을 가진다.

## 참 고 문 헌

- [1] Patti, R.S.; "Three-Dimensional Integrated Circuits and the Future of System-on-Chip Designs," Proceedings of the IEEE, vol.94, no.6, pp.1214-1224, June 2006.
- [2] Davis, W.R.; Wilson, J.; Mick, S.; Xu, J.; Hua, H.; Mineo, C.; Sule, A.M.; Steer, M.; Franzon, P.D.; "Demystifying 3D ICs: the pros and cons of going vertical," Design & Test of Computers, IEEE, vol.22, no.6, pp. 498- 510, Nov.-Dec. 2005.
- [3] Philip Garrou; Christopher Bower; and Peter Rammi; "Handbook of 3D Integration: Technology and Application of 3D Integrated Circuits Volume 1 & 2," published by WILEY-VCH Verlag GmbH & Co. KGaA, Weinheim, 2008, ISBN: 978-3-527-32034-9.
- [4] Lee, H.-H.S.; Chakrabarty, K.; "Test Challenges for 3D Integrated Circuits," Design & Test of Computers, IEEE, vol.26, no.5, pp.26-35, Sept.-Oct. 2009.
- [5] Marinissen, E.J.; Zorian, Y.; "Testing 3D chips containing through-silicon vias," Test Conference, 2009. ITC 2009. International, vol., no., pp.1-11, 1-6 Nov. 2009.
- [6] Marinissen, E.J.; "Testing TSV-based three-dimensional stacked ICs," Design, Automation & Test in Europe Conference & Exhibition (DATE), 2010, vol., no., pp.1689-1694, 8-12 March 2010.
- [7] Marinissen, E.J.; Verbree, J.; Konijnenburg, M.; "A structured and scalable test access architecture for TSV-based 3D stacked ICs," VLSI Test Symposium (VTS), 2010 28th, vol., no., pp.269-274, 19-22 April 2010.
- [8] Ang-Chih Hsieh; TingTing Hwang; Ming-Tung Chang; Min-Hsiu Tsai; Chih-Mou Tseng; Li, H.-C.; "TSV redundancy: Architecture and design issues in 3D IC," Design, Automation & Test in Europe Conference & Exhibition (DATE), 2010, vol., no., pp.166-171, 8-12 March 2010.
- [9] Uksong Kang; Hoe-Ju Chung; Seongmoo Heo; Soon-Hong Ahn; Hoon Lee; Soo-Ho Cha; Jaesung Ahn; DukMin Kwon; Jin Ho Kim; Jae-Wook Lee; Han-Sung Joo; Woo-Seop Kim; Hyun-Kyung Kim; Eun-Mi Lee; So-Ra Kim;



Keum-Hee Ma; Dong-Hyun Jang; Nam-Seog Kim; Man-Sik Choi; Sae-Jang Oh; Jung-Bae Lee; Tae-Kyung Jung; Jei-Hwan Yoo; Changhyun Kim; "8Gb 3D DDR3 DRAM using through-silicon-via technology," Solid-State Circuits Conference - Digest of Technical Papers, 2009. ISSCC 2009. IEEE International, vol., no., pp.130-131,131a, 8-12 Feb. 2009.

- [10] Po-Yuan Chen; Cheng-Wen Wu; Ding-Ming Kwai; "On-Chip TSV Testing for 3D IC before Bonding Using Sense Amplification," Asian Test Symposium, 2009. ATS '09., vol., no., pp.450-455, 23-26 Nov. 2009.

---

— 저 자 소 개 —

---



김 화 영(정회원)  
2009년 한양대학교 컴퓨터공학과  
학사 졸업.  
2011년 한양대학교 컴퓨터공학과  
석사 졸업.  
2011년~현재 휴맥스 엔지니어

<주관심분야 : SoC 설계 및 테스트, 테스트를 고려한 설계>



박 성 주(평생회원)  
1983년 한양대학교 전자공학과  
학사 졸업.  
1983년~1986년 금성사 소프트웨  
어개발 연구원.  
1992년 Univ. of Massachusetts  
전기/컴퓨터공학과  
박사 졸업.

1992년~1994년 IBM Microelectronics 연구스텝.  
1994년~현재 한양대학교 전자컴퓨터공학부  
정교수.

<주관심분야 : 테스트 합성, Built-In Self Test, Scan Design, ATPG, ASIC 설계, 고속 신호처리 시스템 설계, 그래프 이론>



오 정 섭(학생회원)  
2010년 한양대학교 컴퓨터공학과  
학사 졸업.  
2010년~현재 한양대학교 컴퓨터  
공학과 석사 재학.  
<주관심분야 : SoC 설계 및 테스트, TSV test>