

논문 2011-48SD-7-1

멤리스터의 모델링과 연상메모리(M_CAM) 회로 설계

(Modeling for Memristor and Design of Content Addressable Memory Using Memristor)

강 순 구*, 김 두 환*, 이 상 진**, 조 경 록**

(Soon-Ku Kang, Doo-Hwan Kim, Sang-jin Lee, and Kyoung-Rok Cho)

요 약

멤리스터(Memristor)는 메모리 레지스터의 합성어로 흐른 전하량에 따라 저항이 스스로 변하고 전원이 끊긴 상태에서도 저항 상태가 기억되는 특수한 메모리 소자이다. 본 논문에서는 차세대 메모리소자로 주목받고 있는 멤리스터를 모델링하고 SPICE 시뮬레이션을 위한 behavior모델을 제시한다. 그리고 제안된 모델을 바탕으로 멤리스터 기반의 M_CAM(Memristor MOS content addressable memory)을 설계하였다. 제안된 M_CAM은 기존의 CAM에 비해서 단위 셀 면적과 평균 전력소모가 각각 40%, 96% 감소하였다. 칩은 0.13 μ m CMOS 공정에서 공급전압이 1.2V를 갖도록 설계되었다.

Abstract

Memristor is a portmanteau of “memory resistor”. The resistance of memristor is changed depends on the history of electric charge that passed through the device and it is able to memorize the last resistance after turning off the power supply. This paper presents this device that has a high chance to be the next generation of commercial non-volatile memory and its behavior modeling using SPICE simulation. The memristor MOS content addressable memory (M_CAM) is also designed and simulated using the proposed behavioral model. The proposed M_CAM unit cell area and power consumption show an improvement around 40% and 96%, respectively, compare to the conventional SRAM based CAMs. The M_CAM layout is also implemented using 0.13 μ m mixed-signal CMOS process under 1.2 V supply voltage.

Keywords : 멤리스터, CAM, M_CAM, SRAM, Behavior모델

I. 서 론

반도체 메모리 시장은 NAND Flash로 대변되는 데이터 저장형 고용량 메모리, NOR Flash가 주류를 이루는 코드 저장용 메모리, DRAM의 메인 메모리로 크게 세 가지로 대별할 수 있다. 기존 메모리 제품은 메커니

즘은 다르지만 20nm 이하에서 scaling의 어려움에 따라 풀기 어려운 한계점에 도달 할 것이다. 최근 이러한 한계를 극복하기 위해 FeRAM (Ferroelectric RAM), MRAM(Magnetic RAM), PCRAM(Phase Change RAM), 멤리스터(Memristor) 등의 신개념의 메모리들이 활발히 연구되고 있다. 하지만 아직 그 연구가 초기 단계이고 공정상의 제약과 높은 제조단가 등의 문제로 상용화에는 많은 연구가 필요한 실정이다. 다양한 형태 및 재료의 차세대 비휘발성 메모리 소자 중에서도 멤리스터는 DRAM의 고집적성과 낮은 소비전력, Flash메모리의 비휘발성, SRAM의 고속 동작을 구현할 수 있는 소자로 주목받고 있다^[1]. 그러나, 아직까지 멤리스터의 물리적 특성을 정확히 나타낼 수 있는 시뮬레이션이 모델이 없기 때문에 메모리로서의 성능을 검증하기가 어렵다.

* 학생회원, ** 정회원, 충북대학교 정보통신공학과 컴퓨터정보통신연구소

(Dept. of Computer and Communication Engineering and Research Institute for Computer and Information Communication, Chungbuk National University)

※ 본 연구는 2010년도 충북대학교 학술연구지원사업과 교육과학기술부와 한국산업기술진흥원의 지역혁신인력양성사업으로 수행된 연구결과임.

접수일자: 2010년9월27일, 수정완료일: 2011년7월3일

본 논문에서는 멤리스터의 SPICE 시뮬레이션을 위한 behavior 레벨에서 시뮬레이션 모델과 멤리스터 응용 회로를 제안한다. 본 논문의 구성은 다음과 같다. II장에서는 멤리스터의 특성을 수식화 하고, behavior 모델을 제시한다. III장에서는 멤리스터를 사용한 연상메모리(CAM) M_CAM(Memristor MOS Content Addressable Memory)에 대한 설계를 다룬다. IV장에서는 설계한 M_CAM의 칩 제작과 성능을 검증하고, 마지막으로 V장에서는 본 논문의 결과를 보인 후 결론을 맺는다.

II. 멤리스터(Memristor)

1. 멤리스터의 특성

우리가 알고 있는 전자회로의 기본적인 수동소자는 저항, 커패시터, 인덕터로서 5가지의 전기적인 관계식을 만들고 있다. 3개의 수식은 저항($v=RI$), 커패시터($q=Cv$), 인덕터($\Phi=Li$)의 관계식이다. 네 번째는 수식 (1)과 같은 전하와 전류의 관계식이고 다섯 번째는 수식 (2)와 같은 자속과 전압의 관계식이다.

$$q(t) = \int_{-\infty}^t i(\tau) d\tau \quad (1)$$

$$\Phi(t) = \int_{-\infty}^t v(\tau) d\tau \quad (2)$$

하지만 알고 있는 바와 같이 3개의 수동소자로는 자속과 전하의 관계를 정의할 수가 없다. 그러나 1971년 Leon Chua는 자속과 전압의 관계를 입증할 수 있는 멤리스터의 존재를 발견하였고 멤리스턴스(Memristance)기호 M 를 사용하여 자속(Φ)과 전하(q)의 관계를 $d\Phi=Mdq$ 라 정의 하고 비선형 저항소자인 멤리스터의 존재를 예측하였다^[2]. 그리고 약35년 뒤인 2008년 12월에 HP의 연구자들이 나노테크놀로지에서 외부 바이어스에 의한 이온 이동으로 멤리스터 특성이 얻어지는 소자에 관한 논문을 Nature에 발표함으로써 그동안 이론적으로 존재하던 멤리스터가 실제 디바이스로 구현되었다^[3].

멤리스터는 그림 1과 같이 플래티늄(Pt) 와이어 사이에 TiO_2 와 TiO_{2-x} 의 접합으로 구성되어 있다. 여기서 O_{2-x} 는 Ti와의 결합에서 산소가 결핍되는 것을 의미 한다. 결핍되는 산소의 원자의 비율 x 는 2~5%이다^[2]. TiO_{2-x} 레이어는 산소 결핍량만큼 공핍 층이 생겨 양이온

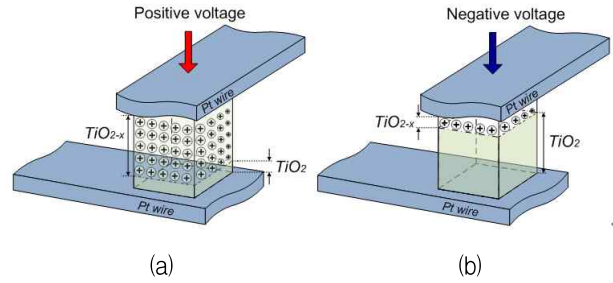


그림 1. 멤리스터의 스위치 특성 (a) 순바이어스 인가 "1", (b) 역바이어스 인가 "0"

Fig. 1. Memristor switching behavior; (a) Forward bias logical state "1", (b) Reverse bias logical state "0".

(Oxygen ion)이 분포 되어 있어서 전도도가 매우 높다. TiO_2 레이어는 전도도가 매우 낮기 때문에 절연층 역할을 한다. 흥미로운 것은 바이어스의 방향에 따라서 두 층의 경계면이 이동을 한다. 그림 1(a)와 같이 TiO_{2-x} 레이어에 순방향 바이어스를 인가하면 양이온이 아래쪽으로 이동하여 TiO_2 층이 감소하게 되고 멤리스터는 전도도가 높은 저저항(R_{ON}) 상태가 된다. 반대로 그림 1(b)와 같이 TiO_{2-x} 레이어에 역방향 바이어스를 인가하면 양이온이 TiO_{2-x} 와 결합하여 TiO_2 가 되고 TiO_2 층이 증가하여 멤리스터는 전도도가 낮은 고저항(R_{OFF}) 상태가 된다. 두 상태의 저항 비율 R_{OFF}/R_{ON} 은 약 1000배의 비율을 갖는다^[2]. 이와 같이 바이어스에 따라 산소 이온이 이동하여 전도도 즉 저항이 변하는데, 바이어스를 제거 하면 그 상태에서 산소이온의 이동이 정지한다. 즉 산소이온의 재정렬이 일어나지 않고 현재의 전도도가 메모리와 같이 기억됨을 의미한다.

2. 멤리스터의 모델링

전하에 의한 멤리스터의 자속은 $\Phi=f_M(q)$ 으로 정의 되고 시간에 대한 미분 식으로 표현하면 수식 (3)과 같다^[2].

$$\frac{d\Phi}{dt} = \frac{df_M(q)}{dq} \frac{dq}{dt} \quad (3)$$

전압과 전류의 수식 $v(t)=d\Phi/dt$, $i(t)=dq/dt$ 에 의해 수식 (2)는 다음 수식 (4)와 같이 표현될 수 있다.

$$v(t) = \frac{df_M(q)}{dq} i(t) \quad (4)$$

여기서 $df_M(q)/dq$ 를 멤리스터의 저항성분인 멤리스턴스 $M(q)$ 라 정의 한다. 멤리스터는 그림 2와 같이 저항도가

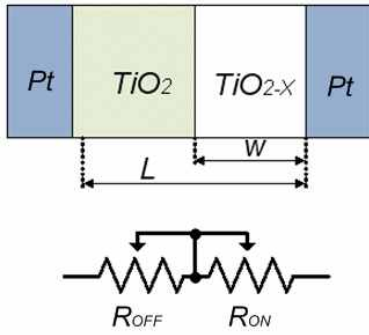


그림 2. 멤리스터의 등가회로
Fig. 2. Memristor equivalent circuit.

낮은 R_{ON} 과 저항도가 높은 R_{OFF} 가 직렬로 연결된 가변 저항으로 모델링 할 수 있다. 멤리스터의 전압 전류 관계는 옴의 법칙에 의해 수식 (5)과 같이 표현된다.

$$v(t) = \left(R_{ON} \frac{w(t)}{L} + R_{OFF} \left(1 - \frac{w(t)}{L} \right) \right) i(t) \quad (5)$$

수식 (5)에서 L ($\approx 10\text{nm}$)은 멤리스터 소자의 크기이고 $w(t)$ 는 시간에 의해 변하는 도핑영역 (TiO_{2-x})의 크기로서 다음 수식 (6)과 같이 표현된다^[3].

$$\frac{dw(t)}{dt} = \mu_v \frac{R_{ON}}{L} i(t) \quad (6)$$

수식 (6)에서 μ_v ($\approx 10^{-14} \text{m}^2 \text{x}^{-1} \text{V}^{-1}$)는 양이온의 평균 이동도이다. $w(t)$ 를 $x(t)=w(t)/L$ 로 대체하면 수식 (7)과 같이 나타낼 수 있다.

$$\frac{dx(t)}{dt} = \mu_v \frac{R_{ON}}{L^2} i(t) \quad (7)$$

자속 (ϕ)의 크기는 L^2/μ_v 이다. 수식 (7)을 바탕으로 멤리스터를 모델링하면 수식 (8)과 같이 나타낼 수 있다.

$$M(t) = R_{OFF} \left(\sqrt{1 - \frac{2c(t)}{r}} \right) \quad (8)$$

여기서 $r=R_{OFF}/R_{ON}$, $c(t)=\mu_v \phi(t)/L^2$ 이다. 이를 바탕으로 $x(t)$ 는 다음 수식 (9)와 같이 정의 된다.

$$x(t) = 1 - \left(\sqrt{1 - \frac{2\phi(t)}{r\beta}} \right) \quad (9)$$

수식 (9)를 정수로 만족시키기 위해서는 루트 기호안의 $2\phi(t)/r\beta$ 값을 0~1까지 유지해야 하며, 따라서 $r\beta$

($\beta=L^2/\mu_v$) 값이 충분히 커야 한다. 하지만 수식 (9)만으로 멤리스터의 경계면의 이동특성과 자속간의 비선형적 특징을 표현 할 수 없기 때문에 수식 (10)과 같이 윈도우 함수를 추가하는 모델링이 연구되고 있다^[4].

$$\frac{dx(t)}{dt} = \frac{R_{ON}}{\beta} i(t) f(x(t)) \quad (10)$$

본 논문에서 제안하는 윈도우함수 $f(x)$ 는 수식 (11)과 같다. 윈도우함수에서 i 는 멤리스터를 통과하는 전류이다. p 는 멤리스터의 비선형성을 결정하는 컨트롤 파라미터로 양의 정수이다. $x(t)=w(t)/L$ 는 멤리스터 소자의 도핑영역의 비율을 나타내는 상태변수 이다.

$$f(x) = \sqrt{(1 - (x - \text{sgn}(-i))^{2p})} \quad (11)$$

그림 3은 윈도우함수 $f(x)$ 특성을 나타낸 그림이다. 초기상태의 멤리스터가 R_{OFF} 이고 상태변수 $x(t)=0$, 윈도우함수 $f(x)=1$ 의 값을 갖는다. 그림 3의 그래프 ①은 $x(t)=0 \rightarrow 1$, $f(x)=1 \rightarrow 0$ 의 변화를 나타낸다. 멤리스터에 순방향 바이어스가 인가되면서 도핑영역 (TiO_{2-x})이 서서히 증가하여 멤리스터는 R_{ON} 상태가 된다. 그래프 ②는 $x(t)=1$, $f(x)=0 \rightarrow 1$ 의 변화를 나타낸다. 멤리스터가 R_{ON} 상태에서 역방향 바이어스의 인가로 인해 수식 (11)의 전류(i)의 방향이 바뀌게 된다. 따라서 $f(x)$ 값의 스위칭이 발생한다. 그래프 ③은 $x(t)=1 \rightarrow 0$, $f(x)=1 \rightarrow 0$ 의 변화를 나타낸다. 역방향 바이어스에 의해 멤리스터의 도핑영역이 감소하게 되고, 최종적으로 R_{OFF} 상태가 된다. 그래프 ④는 $x(t)=0$, $f(x)=0 \rightarrow 1$ 의 변화로서, R_{OFF} 상태의 멤리스터에 순방향 바이어스가 인가됨에 의해 $f(x)$ 의 스위칭을 나타낸다. 즉 멤리스터가 바이어스에 따라서 도

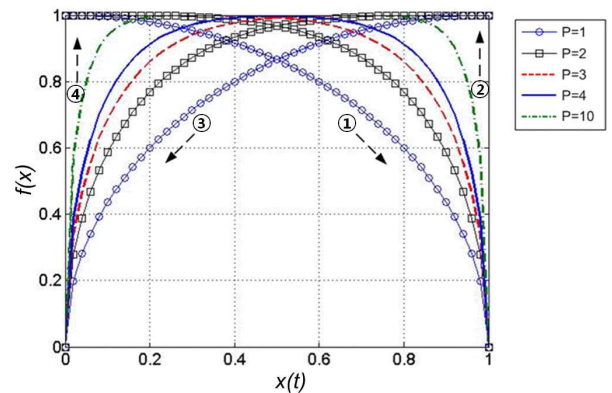


그림 3. 윈도우함수 $f(x)$
Fig. 3. Window function $f(x)$.

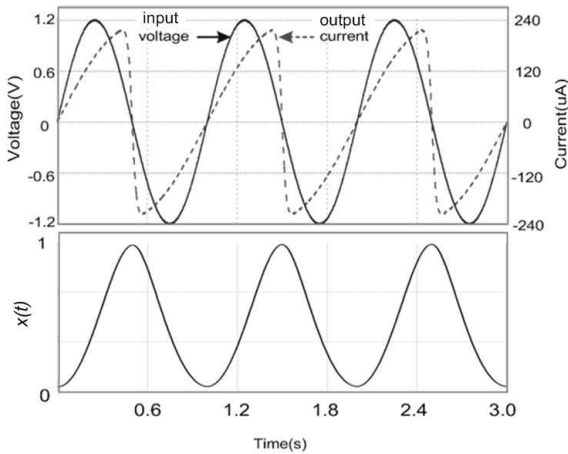
핑영역이 증가 후 다시 감소하는 특성을 제안된 윈도우 함수를 사용하여 나타낼 수 있다.

그림 4는 제안된 behavior 모델의 SPICE 시뮬레이션 결과이다. 그림 4 (a)의 상단의 사인곡선은 입력 전압 파형이고, 오른쪽으로 기울어진 점선은 출력 전류 파형이다. 입력전압에 대하여 출력전류의 위상차이가 생기게 되고 이는 그림 4(b)와 같은 히스테리시스 곡선으로 표현된다. 이때 자속의 증가에 대해 전하의 비선형적인 증가를 확인할 수 있다. 멤리스터에 인가되는 입력 전압이 $v(t)=v_0\sin(\omega t)$ 일 때, 멤리스터의 자속은 $\phi(t)=-\phi_0/\omega\cos(\omega t)$ 이다. 자속은 주파수(ω)에 반비례하기 때문에 고주파수($10\omega_0$)에서 멤리스터는 위상변화가 없고 저항처럼 동작한다. 그림 4(a)의 하단은 멤리스터의 도핑영역의 비율인 $x(t)$ 값으로서 인가되는 전압이

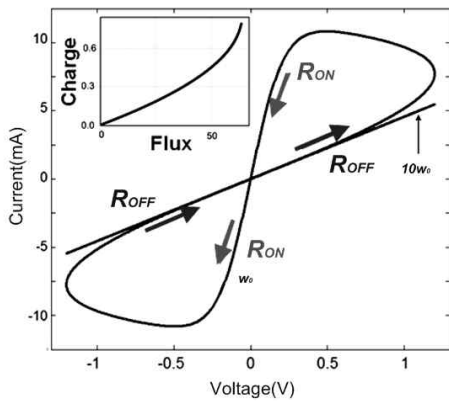
양의 값일 때는 도핑영역인 $w(t)$ 가 증가하여 $x(t)$ 값이 1에 가까워지고 음의 값을 갖는 전압이 인가되면 도핑영역이 감소하여 $x(t)$ 가 0에 가까워지게 된다. 즉 멤리스터는 지나간 전류의 양을 기억시키고 그 결과로서 멤리스터의 자체 저항 크기가 변한다.

HP에서 발표한 멤리스터는 나노사이즈($\approx 10\text{nm}$)의 크기와 2단자 소자의 간단한 구조 그리고 비휘발성이 특징이다. 단점으로는 그림 4에서와 같이 Hz단위로 상태가 변화하는 매우 느린 소자이다. 현재 CMOS 트랜지스터와 동작 속도를 비교하면 매우 느리기 때문에 고속 동작을 요구하는 회로의 특징에 부적합하다. 하지만 아직 소자가 개발 단계이기 때문에 속도문제는 쉽게 해결될 것으로 전망되고 있다. 가장 최근의 HP논문에서는 이러한 단점이 개선된 수십 MHz에서의 멤리스터의 동작을 발표한바 있다^[5].

본 논문에서는 멤리스터의 동작 속도에 관여하는 파라미터(u_v, L, R_{ON}, R_{OFF})를 변경하여 MHz에서 프로그램 동작이 이루어지도록 소자를 모델링 하였다.



(a)



(b)

그림 4. 멤리스터의 전류 전압 특성 곡선
 (a) 입출력 신호(b) 히스테리시스 곡선
 Fig. 4. Current-voltage behavior of memristor;
 (a) input-output signal, (b) hysteresis curve.

III. M_CAM(Memristor MOS CAM)

CAM(Content Addressable Memory)은 매우 빠른 속도를 요하는 탐색 어플리케이션에서 사용되는 특수한 메모리이다. 사용자가 메모리 주소를 주면 해당 주소의 데이터가 전달되는 RAM과는 달리, CAM에서는 사용자가 검색어를 제공하면 자신의 메모리 공간 전체를 탐색하여 해당 검색어가 위치하고 있는 주소 및 경우에 따라서는 검색어와 연관된 데이터를 반환한다. 최근에는 프로세서의 성능향상을 위해 CAM의 사이즈를 증가시키는 것이 보편화되고 있다. 그러나 CAM은 액세스 빈도가 높고 SRAM으로 설계되어 사이즈가 커질수록 더욱 많은 에너지 소비가 발생하게 된다. 또한 단위 셀을 구성하는 트랜지스터수가 많기 때문에 집적도가 매우 낮고 따라서 생산 단가가 DRAM, Flash등에 비해서 매우 높다.

1. Conventional CAM

일반적인 CAM은 그림 5와 같이 10-T NOR 구조의 cell이고 SRAM을 확장한 형태로 6개의 트랜지스터를 사용하는 기본적인 SRAM 부분과 매칭 동작을 수행하는 Exclusive OR (XOR)부분으로 구성된다[6]. 매칭 데이터가 들어오면 XOR을 구성하는 트랜지스터 중의 방

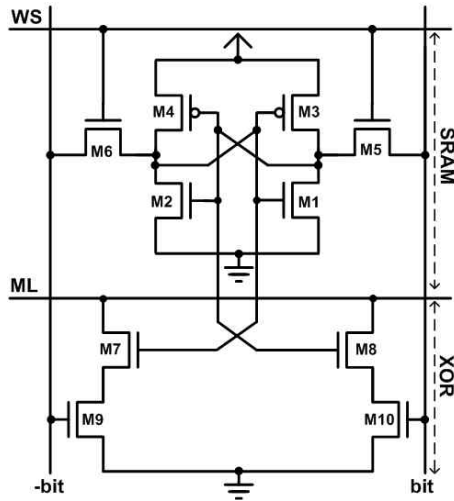


그림 5. 10-T NOR-type CAM 의 core cell[6]
 Fig. 5. CAM core cells for 10-T NOR-type CAM[6].

전 경로가 끊어져서 매칭의 발생을 알 수 있다. CAM은 인버터 래치에 데이터를 저장하기 때문에 지속적으로 누설전류가 발생한다. 또한 셀을 구성하는 트랜지스터가 10개이기 때문에 집적도가 낮고 따라서 제조 단가가 비싸다. 더 적은 수의 트랜지스터를 이용한 CAM 셀 (5-transistor dynamic CAM cell^[7])이 제안되었지만 동적으로 동작하므로 주의가 필요하다.

2. M_CAM(Memristor MOS CAM)

위에서 언급한 바와 같이 SRAM기반의 CAM의 문제점은 데이터 저장 방식에 따른 전력소모와 집적도이다. 이 문제를 해결하기 위해서 메모리 소자인 멤리스터에 데이터를 저장하는 멤리스터 기반의 CAM인 M_CAM을 제안한다. 기존의 DRAM, FeRAM, MRAM 등의 메모리 셀들과 같이 멤리스터를 메모리 셀로 사용하기 위해서는 그림 6과 같이 멤리스터에 1개의 액세스 트랜지스터를 더해 단위 셀을 구성한다.

그림 7은 제안된 7T-NOR 구조의 M_CAM으로서 2

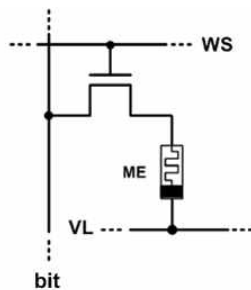


그림 6. 멤리스터 메모리 단위 셀
 Fig. 6. Memristor memory unit cell.

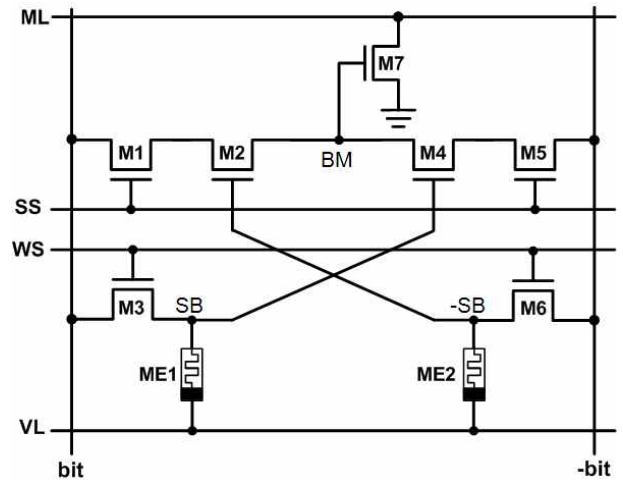
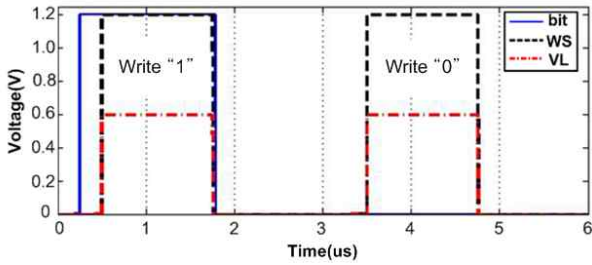


그림 7. 7T-NOR 구조의 M_CAM 셀
 Fig. 7. 7T-NOR type M_CAM cell.

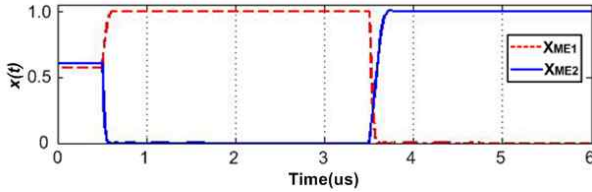
개의 멤리스터 메모리 단위 셀과 매칭 동작을 위한 5개의 트랜지스터로 구성되어 있다. M_CAM을 구성하는 트랜지스터는 NMOS로만 구성되어 있기 때문에 기존의 CAM에 비해 집적도가 높다.

가. 쓰기 동작(Write Operation)

그림 8(a)는 M_CAM의 쓰기 동작을 보여준다. WS(Word line select)신호를 VDD로 설정하고 쓰고자 하는 데이터를 비트라인(bit, -bit)에 인가한다. 비트라인에 1(=VDD), 0(=GND)이 인가되고 VL(Voltage line)에 VDD/2가 인가되면 멤리스터 ME1에는 $V_{DD}/2 - V_{TH}$ 의 전압이 인가되고, 멤리스터의 특성상 도핑영역(TiO_{2-x})이 증가하여 저항이 낮아지는 $R_{ON}(\approx 100 \Omega, "1")$ 상태가 된다. 반대로 비트라인에 0, 1이 인가되고 VL에 VDD/2가 인가되면 ME1은 $-V_{DD}/2$ 의 전압이 걸리게 되고, 이 때 멤리스터는 역바이어스 상태가 된다. 따라서 ME1의 도핑영역이 감소하여 저항이 높은 $R_{OFF}(\approx 100k\Omega, "0")$ 상태가 된다. 그림 8(b)는 멤리스터 도핑면적 비율을 나타내는 상태변수 $x(t)$ 를 나타낸다. ME1에 양의 전압($V_{DD}/2 - V_{TH}$)이 걸리게 되면 ME1은 1이 쓰여 지고 $x(t)$ 는 1의 값을 갖게 된다. 이 때 소요되는 시간은 220ns이다. 반대로 음의 전압($-V_{DD}/2$)이 걸리게 되면 ME1은 0이 쓰여지고 $x(t)$ 는 0의 값을 갖게 된다. 이 때 데이터를 쓰는데 소요되는 시간은 75ns이다. 그 이유는 비트라인에 인가되는 값에 의해서 멤리스터에 걸리는 전압 차이 때문이다. 시뮬레이션은 섹션 II에서 제안된 모델을 바탕으로 SPICE를 사용하였다. 쓰기 동작시 비트라인에 1이 인가될 때 ME1의 $x(t)$ 값은



(a)



(b)

그림 8. M_CAM의 쓰기 동작 (a) 입력신호 (b) 프로그램 상태

Fig. 8. Write operation timing diagram; (a) input signal, (b) program state $x(t)$.

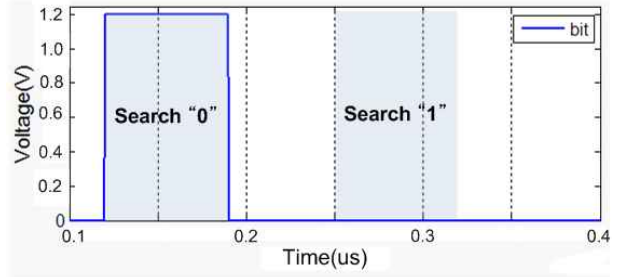
1이 되고, 반대로 0이 인가되면 $x(t)$ 값은 0으로 변함으로서 제안된 M_CAM이 메모리 동작을 수행함을 확인할 수 있다.

나. 매칭 동작(Matching Operation)

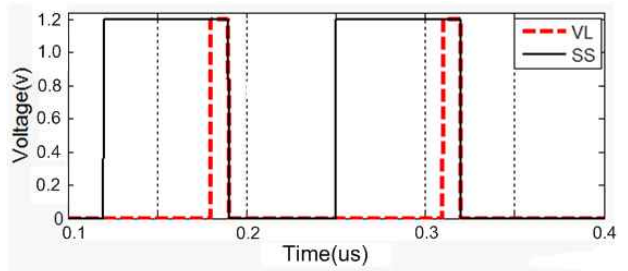
제안된 M_CAM은 멤리스터에 탐색 데이터를 인가하여 데이터의 일치 여부에 따라서 방전 경로가 끊어져서 매칭 여부를 알 수 있다. 데이터를 저장하는 멤리스터는 비휘발성 소자이지만, 인가된 전압에 의해 상태가 변한다. 따라서 매칭 동작은 멤리스터의 저항상태 변화에 영향을 주지 않아야 한다. 제안된 회로의 시뮬레이션의 읽기 펄스는 12ns로서 쓰기동작의 1/1000로 멤리스터의 상태에 영향을 주지 않을 만큼 짧은 시간이다 [1]. 그림 7의 M_CAM은 0을 저장한 상태이고 그에 따라 ME1과 ME2가 각각 0과 1로 프로그램 되어있다고 가정한다.

(1) 매칭 안된 경우(Unmatching case)

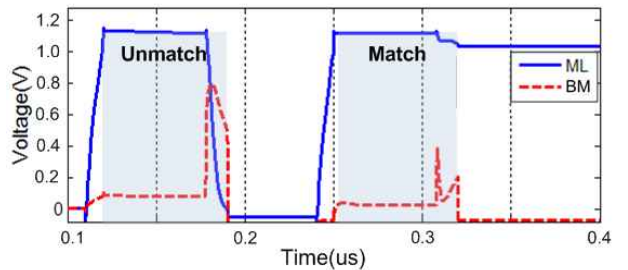
그림 9에서 0.1~0.2us구간은 M_CAM 셀에 저장된 데이터와 외부에서 가해주는 탐색 데이터가 일치하지 않을 때의 동작이다. 그림 9(a)과 같이 비트라인(bit, -bit)에 탐색하고자 하는 데이터 1, 0을 인가한다. 동시에 그림 9(b)와 같이 SS(Search select)신호를 VDD로 설정한다. SS신호가 설정된 시간동안 멤리스터 ME1,



(a)



(b)



(c)

그림 9. M_CAM의 프로그램 동작 (a) bit에 인가된 Search 신호 (b) SS(Search select)와 VL(Voltage line) 신호 (c) ML(Match line)과 BM(Bit match) 신호

Fig. 9. Read operation timing diagram; (a) Search signal at bit line, (b) SS and VL signal, (c) ML and BM signal.

ME2의 데이터를 읽기 위해 VL에 짧은 펄스(12ns)의 VDD를 인가한다. ME1에 프로그램된 값이 0일 때 저항 값은 $R_{OFF}(\approx 100k\Omega)$ 이다. 이 때 SB(Stored bit)노드에 연결된 M4의 게이트 커패시터와 ME1의 저항 $R_{OFF}(\approx 100k\Omega)$ 사이에서 생기는 RC 지연 12ns동안 SB노드가 VDD로 충분히 충전되지 못하게 되고, M4는 OFF상태를 유지하게 된다. ME1과 상보적으로 프로그램된 ME2는 1의 값을 갖고, ME2의 저항 값이 $R_{ON}(\approx 100\Omega)$ 으로 충분히 작기 때문에 RC 지연의 영향을 받지 않고 -SB노드는 VDD로 충전되고 M2를 ON 시키게 된다. 그리고 비트라인에 인가된 1값은 SS신호가 1이 되면서 M1

을 통과하고 M2가 ON됨에 따라 그림 9(c)의 BM(Bit match)신호와 같이 M7의 게이트에 인가되어 M7을 ON 시킨다. 그리고 미리 VDD로 충전된 ML(Match line)을 GND로 만든다.

(2) 매칭된 경우 (Matching case)

그림 9의 0.2~0.4 μ s구간은 M_CAM 셀에 저장된 데이터와 탐색 데이터가 일치할 때의 동작이다. 10(a)와 같이 비트라인(bit, -bit)에 탐색하고자 하는 데이터 0, 1을 인가한다. VL이 인가되는 12ns동안 M2는 ON, M4는 OFF상태가 되고 SS신호가 VDD로 설정되며 M1과 M2를 거쳐 M7 게이트와 bit가 연결되는 것까지는 매칭 안된 경우와 같다. 그러나 이 때 인가된 데이터가 0이기 때문에 ML에 연결된 M7이 OFF 상태를 유지하고. 그림 9(c)와 같이 ML은 미리 충전된 High 상태를 유지한다.

IV. 실험결과

그림 10은 IDEC에서 지원된 0.13 μ m CMOS 공정을

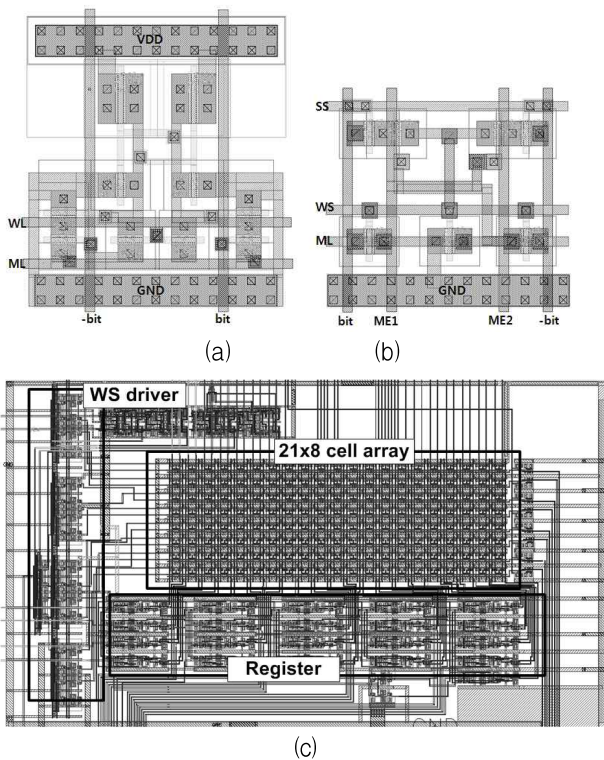


그림 10. M_CAM 레이아웃 (a) CAM 셀, (b) M_CAM 셀, (c) 21x8 M_CAM
 Fig. 10. M_CAM layout: (a) Conventional CAM cell, (b) M_CAM cell, (c) 21x8 M_CAM.

적용한 M_CAM의 레이아웃이다. 인버터 래치에 데이터를 저장하는 기존의 CAM과 달리 M_CAM은 인버터가 없고 NMOS 트랜지스터와 메모리스터로 셀을 구성한다. 단, 사용된 공정에서 메모리스터 소자를 제작할 수 없어 메모리스터 위치에 해당하는 신호라인을 각각 칩의 핀으로 설정하여 칩 외부 FPGA상의 behavior 모델과 함께 동작하도록 설계되었다. M_CAM 단위 셀의 면적은 3.22x4.45 μ m²로 기존의 CAM의 면적인 5.4x4.36 μ m²에 비해 60%의 감소했다. 또한, M_CAM의 평균 전력소모는 기존의 CAM의 인버터 래치로 구성된 SRAM부분이 없으므로 96% 감소할 것이다. 제작된 M_CAM은 데이터 캐시의 태그를 비교할 수 있도록 21x8의 배열로 설계되었다.

그림 11은 M_CAM의 탐색과정에 대한 설명이다. 설계된 M_CAM의 21x8 배열은 WS이 주소를 대신한다.

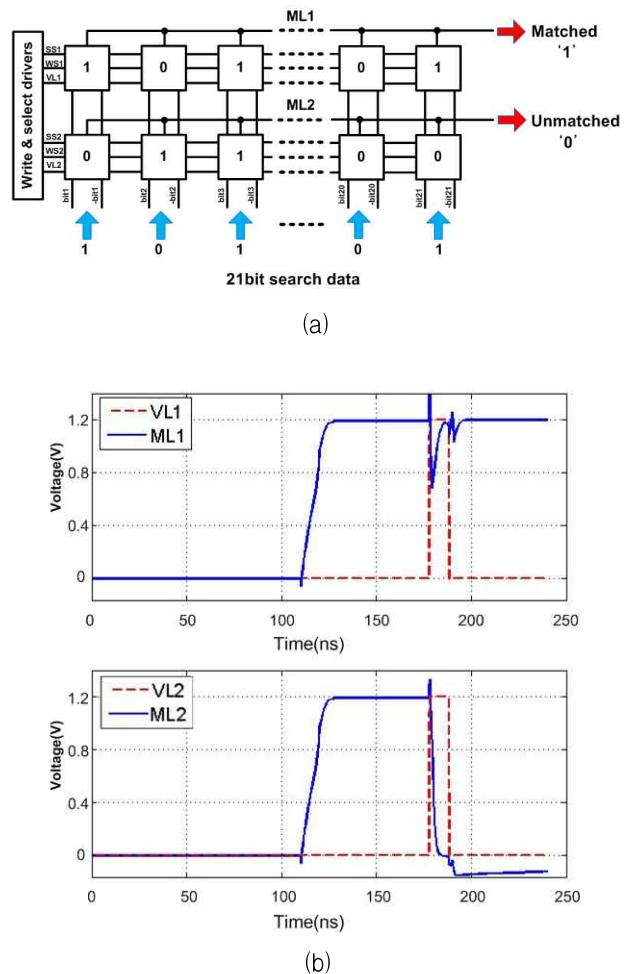


그림 11. M_CAM의 탐색 과정 (a) 탐색 블록 개념도, (b) 시뮬레이션 결과
 Fig. 11. M_CAM block operation: (a) search block diagram, (b) simulation result.

쓰기 동작 때에는 여러 위치에 같은 데이터를 동시에 쓸 수 있다. ML은 wired-AND로 연결되어 있기 때문에 한 비트라도 매칭 안되면 매칭에 실패한 것으로 판단한다. 그림 11(b)에서 점선은 멤리스터의 읽기 신호인 VL 신호이다. 그림 11(a)의 첫 번째 줄과 같이 셀에 저장된 데이터와 탐색 데이터가 일치하는 매칭된 경우 ML은 미리 충전된 상태를 유지하고 1이 출력된다. 반면, 두 번째 줄과 같이 매칭 안된 경우는 ML은 방전되어 0이 출력된다.

IV. 결 론

멤리스터(Memristor)는 메모리 레지스터의 합성어로 흐른 전하량에 따라 저항이 스스로 변하고 전원이 끊긴 상태에서도 저항 상태가 기억되는 특수한 메모리 소자이고 기존의 반도체 소자 메모리를 대체할 수 있는 차세대 메모리 소자로 주목받고 있다. 본 논문에서는 멤리스터의 I-V 특성과 도핑영역의 변화를 재현할 수 있도록 새롭게 behavior 모델링을 통해 SPICE 시뮬레이션으로 확인하였다. 또한 멤리스터를 CMOS 트랜지스터와 혼합시킨 M_CAM 회로를 제안하였다. M_CAM은 1.2V 전원을 갖는 0.13 μ m CMOS 공정에서 구현되었고, 멤리스터 동작은 FPGA로 구현하였고 외부에서 신호로 입력되도록 하였다. 제안된 M_CAM은 기존의 CAM에 비해서 단위 셀 면적과 평균 전력소모가 각각 40%, 96% 감소하였다.

참 고 문 헌

- [1] K. Eshraghian, K.R Cho, O. Kavehei, S.K. Kang, D. Abbott, and S.M. Kang, "Memristor MOS content addressable memory (MCAM): hybrid architecture for future high performance search engines," *IEEE Trans. on VLSI*, vol. 1, pp. 1-11, May 2010.
- [2] L.O. Chua, "Memristor-missing circuit element," *IEEE Trans. on Circuit Theory*, vol. 18, pp. 507-519, 1971.
- [3] D.B. Strukov, G.S. Snider, D.R. Stewart, and R.S. Williams. "The missing memristor found," *Nature*, vol. 453, pp. 80-83, May 2008.
- [4] O. Kavehei and D. Abbott. "The fourth element: characteristics, modelling," *The Royal Society*, vol. 1, pp. 1-21, March 2010.
- [5] J. Borghetti and R.S. Williams, "Memristive

- switches enable stateful logic operations via material implication," *Nature*, vol. 464, April 2010.
- [6] K. Pagiamtzis, and A. Sheikholeslami, "Content-Addressable Memory (CAM) circuits and architectures: a tutorial and survey," *IEEE J. Solid-State Circuits*, vol. 41, no. 3, March 2006.
- [7] K.J. Schultz, F. Shafai, G.F.R. Gibson, A.G. Bluschke, and D.E. Somppi, "Fully parallel 25 MHz, 2.5-Mb CAM," in *Proc. ISSCC*, pp. 332-333, 1998..

— 저 자 소 개 —



강 순 구(학생회원)
 2009년 충북대학교 전자공학과
 학사 졸업.
 2009년 3월~현재 충북대학교
 정보통신공학과 석사과정.
 <주관심분야 : Re-RAM, NAND
 Flash, LVDS I/O 회로>



김 두 환(학생회원)
 2003년 충북대학교 정보통신
 공학과 학사 졸업.
 2005년 충북대학교 정보통신
 공학과 석사 졸업.
 2005년 3월~현재 충북대학교
 정보통신공학과 박사과정.
 <주관심분야 : 고속 인터페이스 회로, LVDS,
 MIPI, OTA-C 필터 설계>



이 상 진(정회원)
 2008년 충북대학교 화학공학과
 학사 졸업.
 2010년 충북대학교 정보통신
 공학과 석사 졸업.
 2010년 3월 현재 충북대학교 정보
 신공학과 박사과정.

<주관심분야 : 3-D IC, CMOS image sensor, 압
 호회로설계>



조 경 록(정회원)
 1977년 경북대학교 전자공학과
 학사 졸업.
 1989년 일본 동경대학교
 전자공학과 석사 졸업.
 1992년 일본 동경대학교
 전자공학과 박사 졸업.
 1979년~1986년 (주)금성사 TV연구소
 선임연구원.
 1999년 2005년 Oregon State University
 객원교수.
 1992년~현재 충북대학교 전기전자공학부 교수.
 2008년~현재 World Class University program
 (충북대학교) 책임
 2010년~현재 IDEC 충북대 지역센터장
 <주관심분야 : 통신시스템LSI설계, 저전력 고속
 회로설계, Platform 기반의 SoC 설계>