

논문 2011-48SD-7-4

dB-선형적 특성을 가진 GPS 수신기를 위한 CMOS 가변 이득 증폭기

(dB-Linear CMOS Variable Gain Amplifier for GPS Receiver)

조 준 기*, 유 창 식**

(Jun-Gi Jo and Changsik Yoo)

요 약

본 논문에서는 GPS 수신기를 위한 dB-선형 특성이 개선된 가변 이득 증폭기 회로를 제안한다. 제안된 dB-선형 전류 발생기는 dB-선형성 오차가 $\pm 0.15\text{dB}$ 이내로 개선되었다. 개선된 dB-선형 전류 발생기를 사용하여 GPS 수신기를 위한 가변 이득 증폭기를 설계했다. GPS 수신기의 IF 주파수는 4MHz를 가정하였고, 선형성 요구조건을 도출하여 만족하기 위해 최소 이득일 때 24dBm의 IIP3를 만족하도록 하였다. 가변이득 증폭기는 3단으로 구성되어 있으며 DC-오프셋 제거 루프를 통하여 회로의 오프셋 전압을 보상하였다. 설계된 가변 이득 증폭기의 이득은 $-8\text{dB} \sim 52\text{dB}$ 의 범위를 가지며 이득의 dB-선형성은 $\pm 0.2\text{dB}$ 이내를 충족한다. 3-dB 주파수 대역폭은 이득에 따라 35MHz~106MHz를 보인다. 가변 이득 증폭기는 CMOS 0.18 μm 공정을 이용하여 설계되었으며 전력은 1.8V 전원 전압에서 3mW를 소비한다.

Abstract

A dB-linearity improved variable gain amplifier (VGA) for GPS receiver is presented. The Proposed dB-linear current generator has improved dB-linearity error of $\pm 0.15\text{dB}$. The VGA for GPS is designed using proposed dB-linear current generator and composed of 3 stage amplifiers. The IF frequency is assumed as 4MHz and the linearity requirement of the VGA for GPS receiver is defined as 24dBm of IIP3 using cascaded IIP3 equation and the VGA satisfies 24dBm when minimum gain mode. The DC-offset voltage is eliminated using DC-offset cancelation loop. The gain range is from -8dB to 52dB and the dB-linearity error satisfies $\pm 0.2\text{dB}$. The 3-dB frequency has range of 35MHz~106MHz for the gain range. The VGA is designed using 0.18 μm CMOS process. The power consumption is 3mW with 1.8V supply voltage.

Keywords : variable gain amplifier, dB-linear gain control, GPS receiver

I. 서 론

가변 이득 증폭기(VGA : Variable Gain Amplifier)는 통신시스템의 다이내믹 범위를 최대화하기 위해 없어서는 안 되는 회로이다. 가변 이득 증폭기는 일반적으로

자동 이득 조절(AGC : automatic gain control) 루프 내에서 동작하면서 입력신호의 크기와 상관없이 일정한 크기의 출력 신호를 내보내는 역할을 한다. 통신 시스템에서 가변 이득 증폭기는 선형성이 우수하고 넓은 가변 이득 범위를 가져야 한다. 대부분의 CMOS 가변 이득 증폭기는 지수 함수 회로를 구현하기 위해 두 가지의 방법이 사용된다. CMOS 트랜지스터 문턱전압 아래의 동작영역에서는 지수 함수적인 전압-전류 특성을 가진다^[1]. 하지만 이 범위에서는 출력 전류가 바이어스 회로와 문턱전압에 민감하고 잡음 성분에 민감하기 때문에 사용이 적합하지 않다. 이에 비해 문턱전압 위의 포

* 학생회원, ** 정회원, 한양대학교 전자컴퓨터통신공학과 (Department of Electronics Computer Engineering, Hanyang University)

※ 이 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단의 기초연구사업 지원을 받아 수행된 것임 (2010-0012551)

접수일자: 2011년4월26일, 수정완료일: 2011년6월29일

화 영역의 제곱 전류-전압 특성을 이용하여 지수 함수를 근사화 하는 회로를 사용하는 것이 더 적합한 방법이다.

최근 들어 지수 함수 제어회로를 구현하는 여러 방법이 제안되었는데, 유사-지수 함수^[2]와 테일러(Taylor) 급수 근사 방정식^[3], 신호-합산 방법^[4], 마스터-슬레이브 제어^[5] 방법들이 제안되었다. 유사-지수 함수와 테일러(Taylor) 급수 근사 방정식을 사용하는 CMOS 트랜지스터로 구현된 가변 이득 증폭기는 와 ±0.5dB 이하의 이득 오차를 가지지만^[2-3], 각각 15dB와 12dB의 제한된 이득 제어 범위를 가진다. 또 다른 가변 이득 증폭기로 신호-합산 방식이 있는데 이는 동작주파수가 높고 저 잡음, 높은 선형성의 장점이 있으나 이득 제어 범위가 20dB 이하로 제한되고, 이득의 선형성의 오차가 크다는 단점이 있다^[4]. 마스터-슬레이브 제어 방식 역시 20dB 이하의 낮은 이득 제어 범위를 가진다^[1]. 가변 이득 증폭기는 많은 응용분야에서 높은 이득 제어 범위가 요구된다. 예를 들어 GPS는 55dB 이상의 이득 제어 범위가 요구된다^[6]. 참고문헌 [7]의 회로는 테일러 급수 근사 방식을 사용하면서도 95dB의 이득 제어범위를 가지지만 ±1dB의 이득 오차를 가지며 최대 -17dBm의 P1dB를 가져 선형성이 낮다는 단점이 있어 GPS 수신기용으로 사용하기에는 부적합하다.

본 논문에서는 근사된 지수 함수를 이용하여 넓은 이득 범위와 개선된 dB-선형 이득 오차를 가지며 선형성이 향상된 GPS 수신기를 위한 가변 이득 증폭기에 대해서 설명한다.

II. VGA 회로 설계

1. GPS 수신기를 위한 VGA 구조 및 사양 결정

대부분의 GPS 수신기는 1575.42MHz에 위치한 2MHz 대역폭의 L1-밴드의 RF 신호를 IF 주파수로 하향 주파수 변환을 한 후 A/D 변환 후에 기저대역으로 한번 더 주파수 변환을 거치는 이중 주파수 변환 구조를 사용한다^[8]. GPS 수신기용 VGA는 IF 신호를 A/D 변환기에 입력하기 전에 거치는 회로로, GPS 수신기의 안테나, LNA, Mixer 등 각종 회로 블록의 온도/공정/전압에 의한 변화를 보상하여 IF신호를 일정한 진폭을 가지는 신호로 만들어 A/D 변환기에 전달하는 역할을 한다. 이를 위해 VGA는 55dB 이상의 가변 이득 범위를 가져야 한다^[6]. VGA는 일반적으로 AGC loop의 부

분으로 사용되는데 settling 시간을 일정하기 위해서는 VGA의 이득이 제어 신호에 대해 dB-선형이어야 한다.

2-bit 이상의 A/D 변환기를 사용하는 GPS 수신기의 경우 높은 가변 이득 증폭기의 선형성이 요구된다. 일반적으로 cascade 시스템의 IIP3 성능은 아래와 같이 표현된다^[9].

$$\frac{1}{A_{IP3}^2} \approx \frac{1}{A_{IP3,1}^2} + \frac{\alpha_1^2}{A_{IP3,2}^2} + \frac{\alpha_1^2 \beta_1^2}{A_{IP3,3}^2} + \dots \quad (1)$$

여기서 A_{IP3} 는 전체 IIP3이고 $A_{IP3,1}$, $A_{IP3,2}$, $A_{IP3,3}$ 은 각 단의 IIP3이고, α_1 , β_1 은 각 단의 이득을 의미한다. VGA의 선형성 요구 성능을 도출하기 위하여 GPS 수신기를 RF단과 VGA의 2단 시스템으로 모델링하여 RF단의 IIP3 및 이득을 -30dBm 및 44dB로 가정하고, 수신기 전체 목표 IIP3를 -30dBm에 근접하도록^[8] 수식 (1)을 이용하여 계산한 결과, VGA의 IIP3가 24dBm일 때 수신기 전체의 IIP3 성능은 -30.4dBm를 얻을 수 있었다. 따라서 VGA의 IIP3 목표 성능은 최저 이득 모드에서 24dBm으로 정하였다. GPS 수신기의 IF 주파수는 4MHz로 가정하였다. 그림 1은 가변 이득 증폭기의 회로도이다. 가변 이득 증폭기의 구조는 3단으로 구성하였으며 DC-오프셋 제거루프를 통해 DC-오프셋 전압을 보상하도록 하였다. 이득은 dB-선형으로 조절하기 위해 dB-선형 이득 조절기를 통해 가변이득 증폭기의 이득을 조절하도록 하였다.

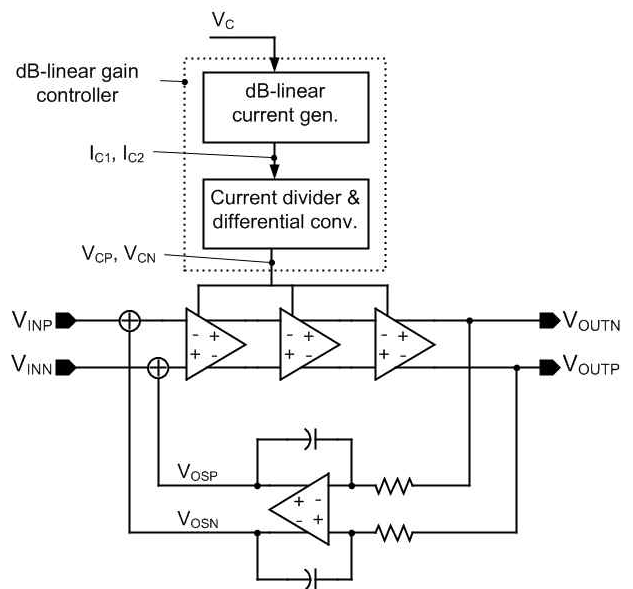


그림 1. 제안된 가변 이득 증폭기의 회로도
Fig. 1. Proposed VGA circuit.

2. dB-선형 이득 조절기 설계

가변 이득 증폭기의 이득을 dB-선형으로 변화시키기 위해 지수 함수 근사식이 사용 될 수 있다. 지수 함수 근사식은 아래와 같이 표현된다^[7].

$$e^{2ax} = \frac{e^{ax}}{e^{-ax}} \cong \left[\frac{k + (1+ax)^2}{k + (1-ax)^2} \right] \quad (2)$$

여기서 k 와 a 는 상수이고 x 는 독립변수이다. $k=1$ 일 때 식 (2)의 분모와 분자는 지수 함수의 근사적인 2차 테일러(Taylor) 급수가 된다. CMOS 트랜지스터는 채널 길이가 길 때 포화영역에서 제곱특성을 보이고 식 (2)의 분모와 분자는 모두 2차의 함수이므로 식 (2)에 보인 지수 근사 함수는 CMOS 회로로 구현될 수 있다. 식 (2)의 분모와 분자를 표현하는 CMOS회로를 그림 2(a)에 보였다^[7]. 그림 2의 모든 트랜지스터는 포화영역에서 동작하고 트랜지스터 M1과 M2의 채널 길이는 충분히 길어 짧은 채널 효과가 무시된다고 가정하면, 트랜지스터 M1과 M2의 드레인 전류는 아래와 같이 표현 된다.

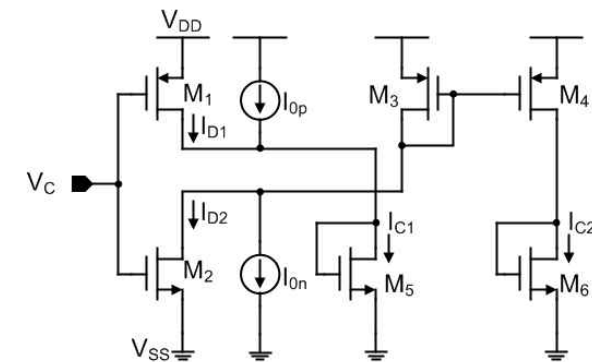
$$I_{D1} = K_p (V_C - V_{DD} + |V_{THp}|)^2 \quad (3)$$

$$I_{D2} = K_n (V_C - V_{SS} - V_{THn})^2 \quad (4)$$

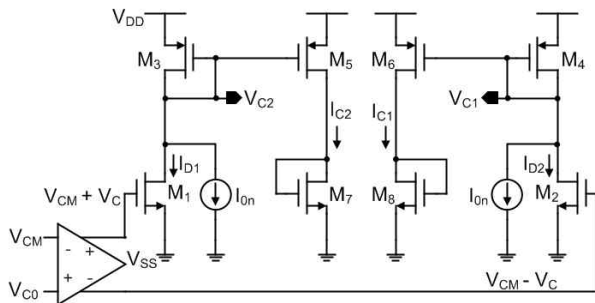
그림 2(a)에서 전류 I_{D1} 과 I_{D2} 는 바이어스 전류 I_{0p} , I_{0n} 와 합해져 I_{C1} 과 I_{C2} 가 된다. 이를 수식으로 아래와 같이 표현할 수 있다.

$$I_{C1} = K_p (V_{DD} - |V_{THp}|)^2 \times \left\{ \frac{I_{0p}}{K_p (V_{DD} - |V_{THp}|)^2} + \left(1 - \frac{V_C}{V_{DD} - |V_{THp}|} \right)^2 \right\} \quad (5)$$

$$I_{C2} = K_n (V_{SS} + V_{THn})^2 \times \left\{ \frac{I_{0n}}{K_n (V_{SS} + V_{THn})^2} + \left(1 - \frac{V_C}{V_{SS} + V_{THn}} \right)^2 \right\} \quad (6)$$



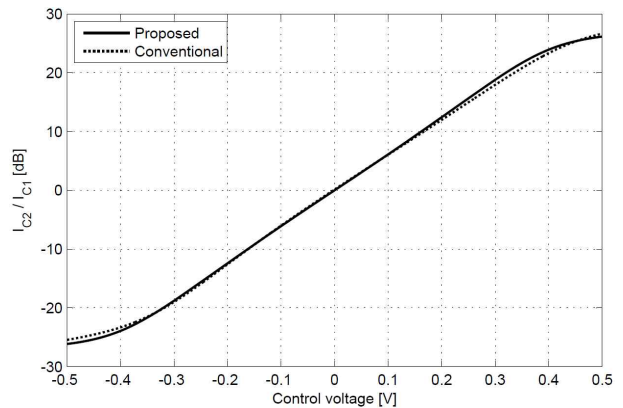
(a)



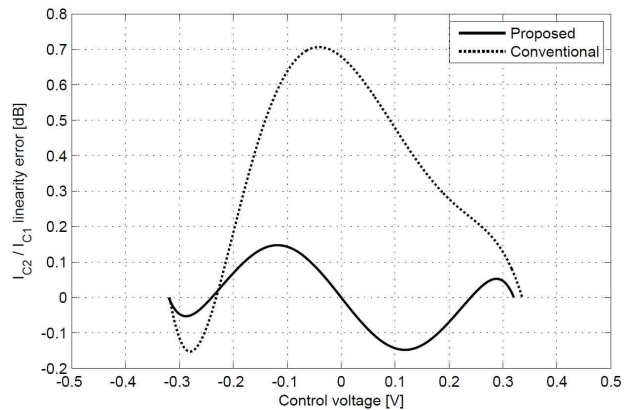
(b)

그림 2. dB-선형의 전류 발생기
(a) 기존의 회로, (b) 제안된 회로

Fig. 2. (a) conventional and (b) proposed dB-linear current generator.



(a)



(b)

그림 3. (a) 그림 2(a)와 (b)의 회로의 IC2/IC1 비교
(b) IC2/IC1의 dB-선형성 비교

Fig. 3. (a) IC2/IC1 and (b) its dB-linearity comparison of Fig. 2 (a) and (b)

위 식 (5), (6)에서 $K_p=K_n=K$, $|V_{THp}|=V_{THn}=V_{TH}$, $I_{0p}=I_{0n}=I_0$, $V_{DD}=-V_{SS}$ 이라 가정하면 전류비 I_{C2}/I_{C1} 는 식 (7)과 같이 정리된다.

$$\frac{I_{C2}}{I_{C1}} = \frac{\frac{I_0}{K(V_{DD}-V_{TH})^2} + \left[1 + \frac{V_C}{(V_{DD}-V_{TH})}\right]^2}{\frac{I_0}{K(V_{DD}-V_{TH})^2} + \left[1 - \frac{V_C}{(V_{DD}-V_{TH})}\right]^2} \quad (7)$$

$$= \left[\frac{k+(1+ax)^2}{k+(1-ax)^2} \right] = f_{\exp}(V_C)$$

여기서 $k=I_0/K(V_{DD}-V_{TH})^2$, $x=V_C$, $a=1/(V_{DD}-V_{TH})$ 이다. 식 (7)에서 알 수 있듯이 전류비 I_{C2}/I_{C1} 는 식 (2)과 등가가 성립하고 제어 전압 V_C 의 함수이다. 그런데 그림 2(a)의 회로는 위에서 언급했듯이 $K_p=K_n$, $|V_{THp}|=V_{THn}$, $I_{0p}=I_{0n}$ 을 만족할 때만 식 (7)이 성립되는데, 일반적으로 CMOS 트랜지스터의 NMOS와 PMOS는 캐리어의 이동도가 다르고 문턱전압이 다르기 때문에 위의 조건을 만족하기 어렵다. 결과적으로 그림 2(a)의 회로는 식 (2)과 차이가 있게 되고 결과적으로 dB-선형성이 감소하는 효과를 가져온다. 지수 함수의 근사식을 구현하는 데 있어 NMOS

와 PMOS의 소자의 물리적 차이에서 비롯되는 문제점을 해결하기 위하여 그림 2(b)와 같은 회로를 제안하였다. 그림 2(b)의 회로에서 I_{C1} 과 I_{C2} 모두 NMOS를 이용하여 생성된다. 따라서 NMOS와 PMOS 소자의 물리적 차이에서 오는 영향을 제거하여, 지수 함수 근사식 (2)를 정확히 구현함으로써, 이득 조절 회로의 dB-선형성을 개선하였다. 그림 2(a)와 2(b) 회로의 제어전압 V_C 에 따른 I_{C2}/I_{C1} 의 값을 그림 3(a)에 dB 단위 크기로 나타내었고, I_{C2}/I_{C1} 의 값의 -20dB에서 20dB 범위의 dB-선형성 오차 값을 그림 3(b)에 나타내었다. 그림 3(b)에서 알 수 있듯이 제안된 dB-선형 전류 발생기 회로는 선형성 오차를 기존 회로의 0.7dB에서 0.15dB로 감소시켰다. 제안된 회로는 단일입력-차동출력 증폭기가 추가로 사용되어 36 μ W의 전력소모 및 0.002mm²의 면적증가의 효과가 있으나 이는 가변 이득 증폭기 전체의 전력소모 및 면적(표 1)에 비해 미미한 수준으로 무시할 수 있다.

dB-선형 전류 발생기의 출력 전류를 이용하여 가변 이득 증폭기의 이득을 조절하기 위해서는 I_{C2}/I_{C1} 연산을 수행하여 전압으로 변경해야 한다. 그림 4에 전류 나눗셈기^[10]와 차동 변환기 회로도들을 보였다. 전류 나눗셈기와 차동변환기를 거친 출력전압 ($V_{CP} - V_{CN}$)은 식 (8)과 같이 표현된다. 여기서 k_{DIV} 는 나눗셈 및 차동 변환과정에서 발생한 이득이다. 이 전압은 가변 이득 증폭기의 이득 조절 전압으로 인가된다.

$$(V_{CP} - V_{CN}) = k_{DIV} f_{\exp}(V_C) \quad (8)$$

3. 가변 이득 증폭기 설계

가변 이득 증폭기는 그림 1에서 보이는 바와 같이 3단의 증폭기로 구성되었으며, 첫 단의 증폭기의 회로도를 그림 5에 보였다. 증폭기는 입력단과 출력 단으로 구성되어 있다. 입력 단은 입력 신호의 크기에 비례하는 전류, $I_{IP} - I_{IN} = (V_{INP} - V_{INN})/R_1$ 을 만들어내는 Gm-cell로 구성되어 있으며, 출력 단은 입력 단에서 만들어진 전류를 $W_{M5A,B}/W_{M2A,B}$ 의 비율로 복사하고 저항, $R_{2A,B}$ 를 통해 출력 전압, $V_{OUTP} - V_{OUTN}$ 으로 바꾸는 회로로 구성되어 있다. 출력 단에서 전류를 전압으로 바꿀 때, $R_{2A,B}$ 으로 전달되는 전류를 V_{CP} 와 V_{CN} 을 통해 조절함으로써 이득을 조절 할 수

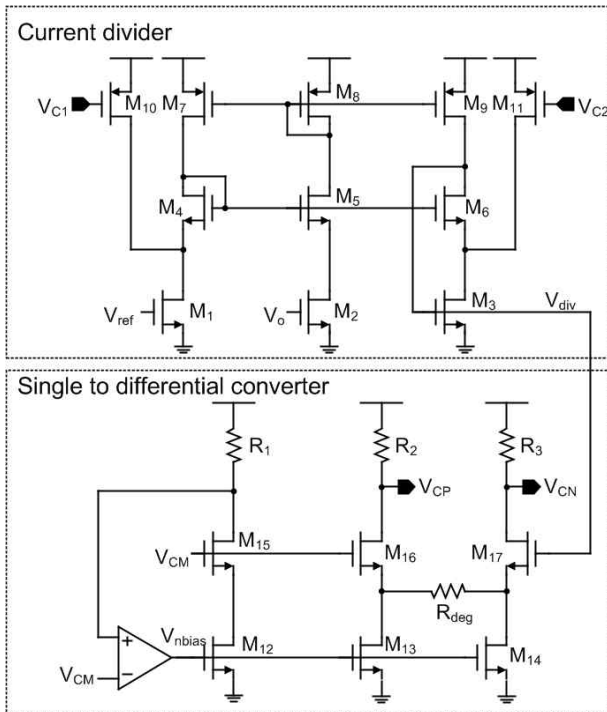


그림 4. 전류 나눗셈기와 차동 변환기
Fig. 4. Current divider and single to differential converter.

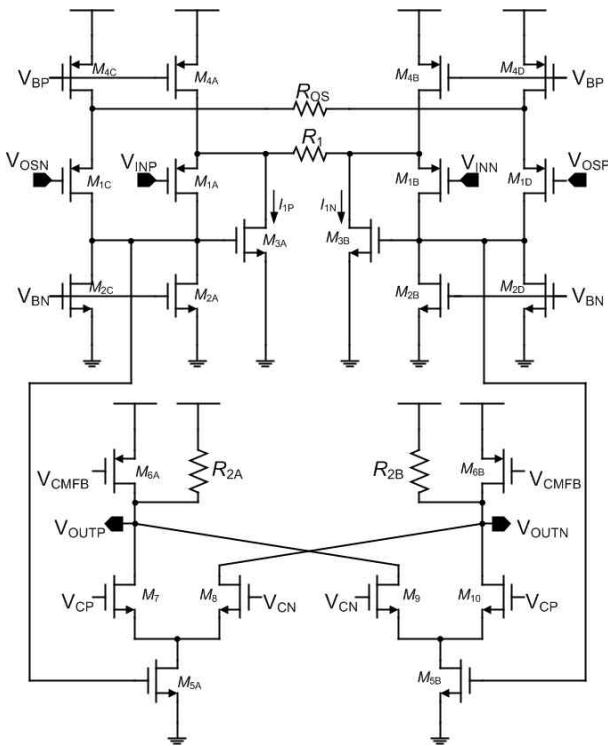


그림 5. 가변 이득 증폭기의 첫 번째 단의 증폭기
Fig. 5. First stage amplifier of the VGA.

있다. $(V_{CP} - V_{CN})$ 의 값이 작을 때 $M_7 - M_{10}$ 의 V_{GS} 와 V_{TH} 는 모두 같다고 가정할 수 있고 증폭기의 이득은 다음과 같이 주어진다.

$$G_{AMP} = \frac{W_{M5A,B}}{W_{M2A,B}} \frac{R_{2A,B}}{R_1} \frac{2(V_{CP} - V_{CN})}{(V_{GS,7} - V_{TH,7})} \quad (9)$$

여기서 $(V_{GS,7} - V_{TH,7})$ 는 $M_7 - M_{10}$ 의 overdrive 전압이다. 식 (9)에서 알 수 있듯이 증폭기의 이득은 $(V_{CP} - V_{CN})$ 에 선형 함수이다. 식 (8)을 식(9)에 대입하면 식 (10)과 같이 표현할 수 있다.

$$G_{AMP} = \frac{W_{M5A,B}}{W_{M2A,B}} \frac{R_{2A,B}}{R_1} \frac{2k_{DIV} f_{exp}(V_C)}{(V_{GS,7} - V_{TH,7})} \quad (10)$$

이 식에서 알 수 있듯이 증폭기의 이득은 이득 조절 전압 V_C 에 대해 dB-선형인 이득을 갖게 된다.

$M_{1C,D} - M_{3C,D}$ 와 R_{OS} 는 DC-오프셋 제거를 위해 그림 1의 적분기의 출력전압 ($V_{OSP} - V_{OSN}$)을 빼주는 회로이다. 전류는 1.8V 전압에서 0.45mA 소모한다. 두 번째 단 및 세 번째 단의 증폭기는 $M_{1C,D} - M_{3C,D}$ 와 R_{OS} 를 제외하고 첫 번째 단의 증폭기와 동일하게 구성 되어 있다. 전류는 첫째 단보다 약간 작은 0.43mA씩 소

모한다. 3단의 가변 이득 증폭기는 차동으로 500mVpp (-15dBV)의 출력 레벨을 내도록 설계되었다.

III. 모의실험 결과

제안된 가변이득 증폭기는 CMOS 0.18μm 공정을 이용하여 설계되었다. 그림 6은 설계된 가변 이득 증폭기의 layout이고, 면적은 0.3mm²이다. 그림 7은 이득이 -8dB 일 때, 4MHz, -7dBV 입력신호에 대한 출력신호

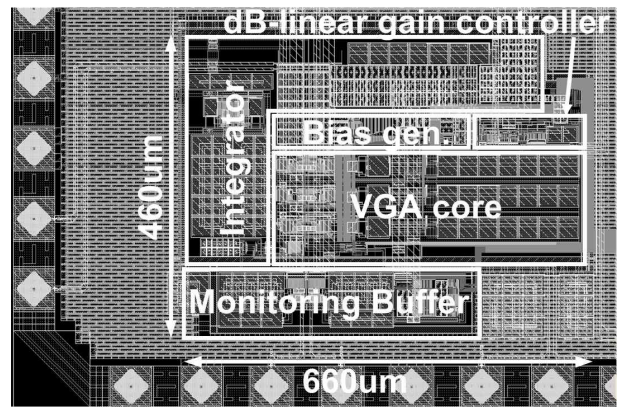


그림 6. 제작된 가변이득 증폭기의 레이아웃
Fig. 6. Layout of the VGA.

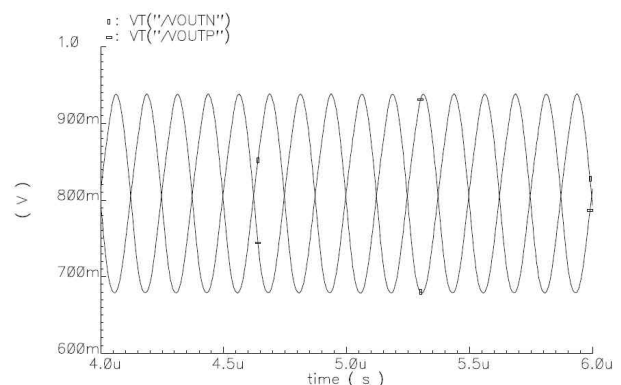


그림 7. 가변 이득 증폭기의 출력파형
Fig. 7. Output waveform of the VGA.

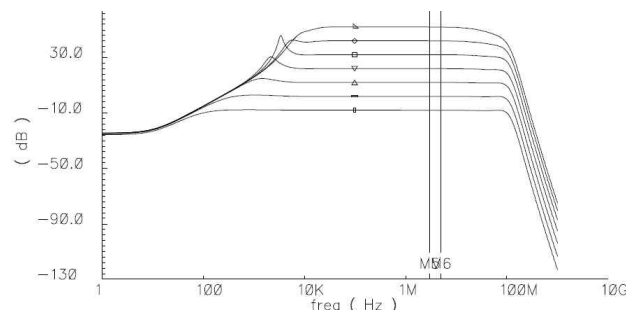


그림 8. 가변 이득 증폭기의 주파수 특성
Fig. 8. Frequency responses of the VGA.

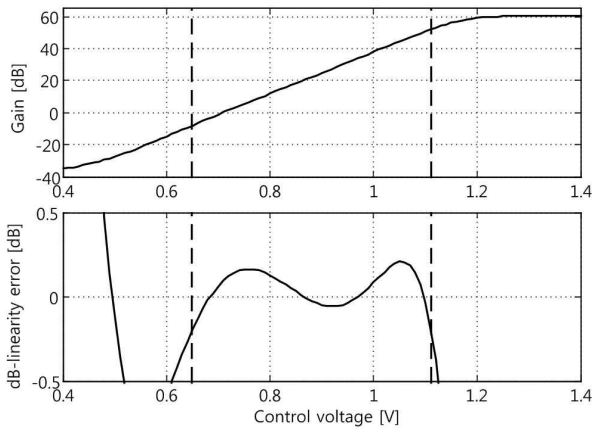


그림 9. 가변 이득 증폭기의 이득 특성과 dB-선형성 오차

Fig. 9. Gain characteristic and its dB-linearity error.

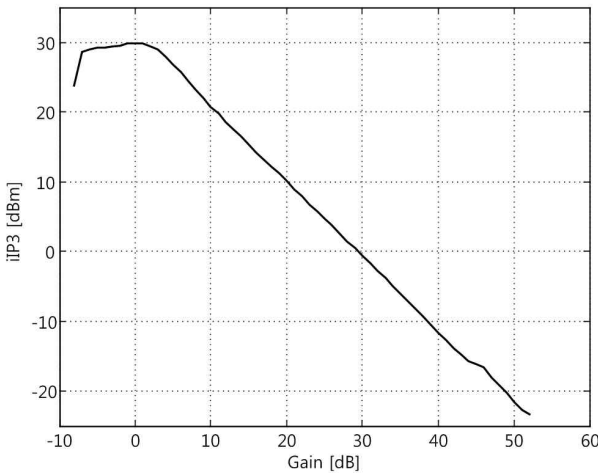


그림 10. 이득에 따른 IIP3

Fig. 10. IIP3 versus VGA gain

표 1. 성능 비교

Table 1. Performance comparison.

Performance	This work	[7]	[11]
Technology	0.18 μm	0.18 μm	0.18 μm
Supply	1.8 V	1.8 V	1.8 V
Power consumption	3.04mW	6.5mW	1.8mW
Gain range	-8dB ~ 55dB	-52dB ~ 43dB	0dB ~ 16dB
Gain linearity error	$\pm 0.2\text{dB}$	$\pm 1\text{dB}$	-
IIP3	-24dBm ~ 30dBm	-48dBm ~ -17dBm*	3dBm
3-dB bandwidth	35MHz ~ 106MHz	32MHz ~ 1.05GHz	8MHz
Active area	0.3mm ²	0.4mm ²	-

* P1dB

의 모의실험 결과이다. 출력신호는 차동으로 500mVpp (-15dBV)의 진폭을 가진다. 그림 8은 여러 이득에서의 주파수 특성이다. 3-dB 주파수는 이득에 따라 35MHz ~ 106MHz이다. 가변 이득 증폭기의 이득 조절 전압 (V_C)에 대한 이득의 변화와, 그 dB-선형성 오차를 그림 9에 보였다. 이득의 dB-선형성 오차는 $\pm 0.2\text{dB}$ 로 나타났다. dB-선형 전류발생기의 dB-선형성은 $\pm 0.15\text{dB}$ 였으나, 전류 나뉠셈기 및 가변이득 증폭기의 비 이상적 특성으로 인해 선형성 오차가 $\pm 0.05\text{dB}$ 증가하였다. 하지만 참고문헌 [7]의 $\pm 1\text{dB}$ 에 비해 선형성 오차가 1/5 이하로 감소하였다. IIP3는 그림 10에서 알 수 있듯이 최소 이득일 때의 24dBm에서 최대 이득일 때의 -24dBm의 범위를 갖는다. 설계된 가변 이득 증폭기는 1.8V 전원 전압에서 1.69mA의 전류를 소모한다. 설계된 가변 이득 증폭기의 성능을 표 1에 정리하였다. 표 1에서 알 수 있듯이 이득의 dB-선형성 오차가 작고 증폭기의 선형성의 지표인 IIP3가 높음을 알 수 있다.

IV. 결론

본 논문에서는 GPS 수신기를 위한 가변 이득 증폭기를 제안하였다. 개선된 dB-선형 전류 발생기는 dB-선형성 오차를 $\pm 0.15\text{dB}$ 로 감소 시켰다. 개선된 전류 발생기를 이용하여 설계된 가변 이득 증폭기는 60dB의 이득 범위를 가지며 이득의 dB-선형성은 $\pm 0.2\text{dB}$ 이내를 만족한다. 주파수 특성은 이득에 따라 35MHz ~ 106MHz의 3-dB 주파수를 성능을 보인다. 가변 이득 증폭기는 CMOS 0.18 μm 공정을 이용하여 설계되었으며 1.8V 전원 전압에서 1.69mA의 전류를 소모한다. 본 논문에서 제안한 가변 이득 증폭기는 높은 선형성과 개선된 이득의 dB-선형성을 필요로 하는 GPS 수신기로 적합할 것으로 기대 된다.

참고 문헌

[1] T. Yamaji, N. Kanou and T. Itakura, "A temperature stable CMOS variable gain amplifier with 80-dB linearly controlled gain range," *IEEE Journal of Solid-State Circuits*, p.553-558, 2002.
 [2] W.-M. Christopher, "A variable gain CMOS amplifier with exponential gain control," *Digest technical papers IEEE symposium VLSI Circuits*, p.146-149, 2000.

- [3] C.-C. Chang, M.-L. Lin and S.-I. Liu, "CMOS current-mode exponential-control variable-gain amplifier," *Electronics Letters*, 37, p.868-869, 2001.
- [4] W.-M.-C. Sansen and R.-G. Meyer, "Integrated wideband variable-gain amplifier with maximum dynamic range," *IEEE Journal Solid-State Circuits*, SC-9, p.159-166, 1974.
- [5] Q.-H. Duong and S.-G Lee, "CMOS exponential Current-to-Voltage circuit based on newly proposed approximation method," *International symposium on circuit and systems*, p.866-868, 2004.
- [6] M. Cloutier, T. Varelas, C. Cojocaru, F. Balteanu, "A 4-dB NF GPS Receiver Front-End with AGC and 2-b A/D," *IEEE Custom Integrated Circuits Conference*, p.205-208, September, 1999
- [7] Q.-H. Duong, L. Quan, C.-W. Kim and S.-. Lee, "A 95-dB linear low-power variable gain amplifier," *IEEE Transactions on circuits and systems-I: regular papers*, p.1648-1657, 2006.
- [8] J. Ko, J. Kim, S. Cho, K. Lee, "A 19-mW 2.6 mm² L1/L2 Dual-Band CMOS GPS Receiver," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 7, p.1414-1425, July 2005.
- [9] B. Razavi, *RF Microelectronics*, Englewood Cliffs, NJ: Prentice-Hall, 1998.
- [10] C. Dualibe, M. Verleysen, P. Jespers, "Two-quadrant CMOS analogue divider," *Electronics Letters*, vol. 34, no. 12, p.1164 - 1165, June 1998.
- [11] F. Gatta D. Manstreetta, P. Rossi, F. Svelto, "A fully integrated 0.18-um CMOS direct conversion receiver front-end with on-chip lo for UMTS," *IEEE Journal of Solid-State Circuits*, vol. 39, no. 1, p.15 - 23, Jan. 2004.

 저 자 소 개



조 준 기(학생회원)
 2005년 한양대학교 전자전기
 공학부 학사 졸업.
 2007년 한양대학교 전자컴퓨터
 통신공학과 석사 졸업.
 2007년~현재 한양대학교 전자컴
 퓨터통신공학과 박사과정.

<주관심분야 : 아날로그 및 음성 신호 회로 설
 계>



유 창 식(정회원)
 1992년 서울대학교 전자공학과
 학사 졸업.
 1994년 서울대학교 전자공학과
 석사 졸업.
 1998년 서울대학교 전자공학과
 박사 졸업.

2002년~현재 한양대학교 전자컴퓨터통신공학부
 부교수.

<주관심분야 : 유무선 통신용 음성 신호 회로 설
 계>