

논문 2011-48SD-10-7

선택적으로 클럭 신호를 입력하는 저 전력 전류구동 디지털-아날로그 변환기

(A Low Power Current-Steering DAC Selecting Clock Enable Signal)

양 병 도*, 민 제 중*

(Byung-Do Yang and Jae-Joong Min)

요 약

본 논문에서는 선택적으로 클럭 신호를 입력하는 저 전력 전류구동 10비트 D/A 변환기 회로를 제안하였다. 제안된 DAC에서는 데이터가 변하지 않는 전류원 셀에 클럭 신호를 제한하여 클럭 전력 소모를 줄였다. 제안된 DAC는 1.2V 0.13 μ m CMOS 공정을 사용하여 제작되었으며, DAC 칩 면적은 0.21mm²였다. 200MHz 샘플링 주파수와 1MHz 입력 신호 주파수에서, 제안된 DAC의 전력 소모량은 4.46mW였다. 클럭 신호에서 소모되는 전력은 입력 주파수가 1.25MHz와 10MHz일 때 각각 30.9%와 36.2%로 감소되었다. 측정된 SFDR은 입력주파수가 1MHz와 50MHz일 때 각각 72.8dB와 56.1dB였다.

Abstract

This paper proposes a low power current-steering 10-bit DAC selecting clock enable signal. The proposed DAC reduces the clock power by cutting the clock signal to the current-source cells in which the data will not be changed. The proposed DAC was implemented using a 0.13 μ m CMOS process with V_{DD} =1.2V. Its core area is 0.21mm². It consumes 4.46mW at 1MHz signal frequency and 200MHz sampling rate. The clock power is reduced to 30.9% and 36.2% of a conventional DAC at 1.25MHz and 10MHz signal frequencies, respectively. The measured SFDRs are 72.8dB and 56.1dB at 1MHz and 50MHz signal frequencies, respectively.

Keywords : data-dependant, clock enable signal, digital-to-analog converters (DAC), low-power

I. 서 론

전류구동 DAC는 넓은 대역폭과 큰 SFDR를 보장함과 동시에 빠른 속도를 가지고 있어서 널리 사용되고 있다. 그림 1은 이진 가중치(binary weighted) 전류원 셀과 세그먼트 구조(segmented structure)를 기본으로 한 10비트 전류구동 DAC 블록 다이어그램이다. 이

DAC 구조에서는 높은 성능을 위하여, 많은 수의 전류원 셀과 높은 샘플링 주파수가 요구된다. 그러나 전류원 셀과 샘플링 주파수의 증가는 클럭 버퍼 회로의 전력소모를 증가시키는 원인이 된다.

고성능 전류구동 DAC의 많은 전류원 셀들을 가지고 있다. 또한, 매 클럭 사이클 마다 모든 전류원 셀들의 데이터를 업데이트 시켜야 하기 때문에, 모든 전류원 셀들에는 클럭 신호를 받는다. 따라서 전류원에 연결된 클럭 신호에서 소모되는 전력소모가 매우 크다. 그러나 대부분의 전류원 셀들의 데이터 값은 변하지 않고 작은 수의 전류원 셀들의 데이터 값들만 변하게 된다. 따라서 데이터가 변하지 않은 전류원 셀에 연결된 클럭 신호에서 많은 전력이 낭비되고 있는 것이다. 본 논문

* 정회원, 충북대학교 전자정보대학
(College of Electrical and Computer Engineering,
Chungbuk National University)

※ 이 논문은 2010년도 충북대학교 학술연구지원사업의 연구비 지원에 의하여 연구되었음.

※ 이 논문은 반도체설계교육센터(IDECE)의 지원을 받아 수행되었음

접수일자: 2011년6월30일, 수정완료일: 2011년10월10일

서는, 데이터가 변경되는 전류원 셀들에 선택적으로 클럭을 입력하는 저 전력 전류구동 DAC를 제안하였다. 이 기법을 이용하여 낭비되고 있는 클럭 전력 소모를 크게 줄였다.

II. 제안하는 DAC

그림 1의 10비트 전류구동 DAC는 MSB(Most Significant Bit) 6비트, ULSB(Upper Least Significant Bit) 2비트, LLSB(Lower Least Significant Bit) 2비트로 구성된 6+2+2 세그먼트 구조의 DAC이다. MSB 6비트 중 UMSB(Upper Most Significant Bit) 3비트는 row 디코더에 사용되고 나머지 LMSB(Lower Most Significant Bit) 3비트는 column 디코더에 사용된다. 제안된 DAC의 전류원 셀 어레이는 255개의 단위 전류원 셀과 이진 가중치 전류원 셀로 구성되고, 이진 가중치 전류원 셀을 포함한 256개의 전류원 셀은 4개의 동일한 구조의 64개의 전류원 셀로 이루어진다. 4개의 셀 어레이는 전류원의 공정상 오차를 보정하기 위하여, 2차원 중심 대칭구조 기법의 전류원 셀 배열의 형태로 배치하였다. 64개 셀 어레이는 각각의 디코더에서 만들어진 8개의 row 신호와 8개의 column 신호를 이용하여 전류원 셀들을 구동한다.

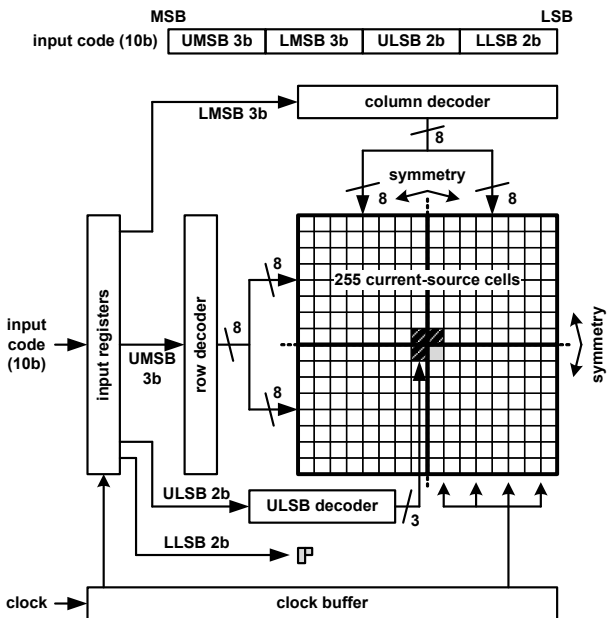


그림 1. 10비트 전류구동 DAC의 블록 다이어그램
Fig. 1. Block diagram of the 10-bit current steering DAC.

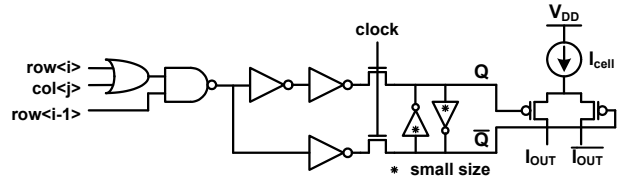


그림 2. 전류원 셀 회로
Fig. 2. Schematic of a current-source cell.

그림 2는 전류원 셀 회로이다. 전류원 셀의 데이터는 매 클럭마다 신호가 인가되어 셀의 데이터를 업데이트한다. 많은 수의 전류원 셀들에 의한 증가한 기생 커패시턴스 때문에, 클럭 신호 라인들에서는 큰 전력이 소모된다.

그림 3(a)와 그림 3(b)는 MSB 6비트의 입력 신호에 따른 셀 어레이의 데이터가 변하는 모습이다. Input sequence #2 동안, row<4>에서만 데이터의 변했다. 따라서 row<4>에 해당하는 8개의 전류원 셀에는 클럭

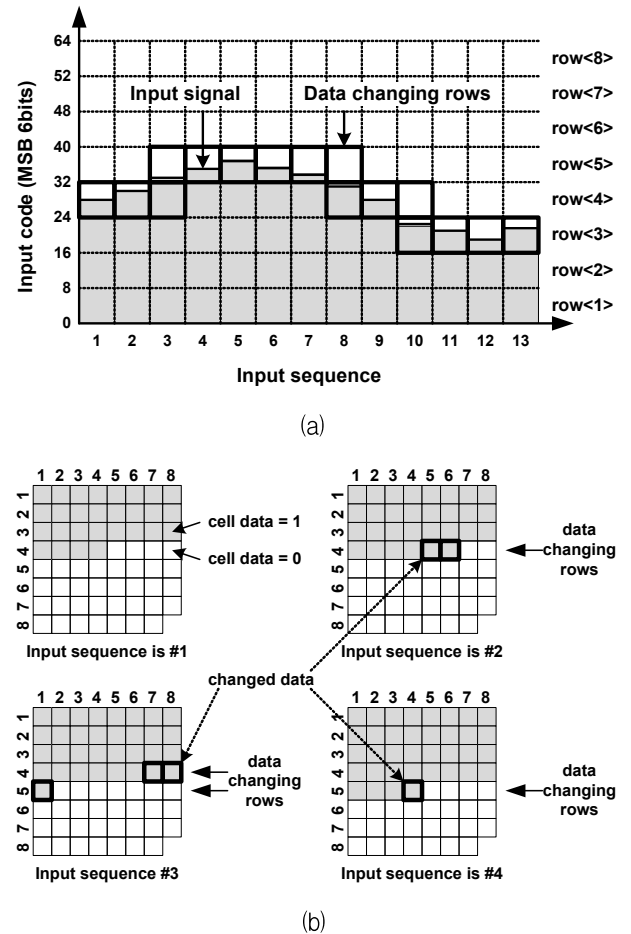


그림 3. (a) 입력 신호에 따른 MSB 6비트 입력 코드
(b) 셀 어레이에서 변화된 데이터
Fig. 3. (a) The MSB 6-bit input codes of input signal.
(b) The changed data in a sub cell array.

신호를 인가해야 한다. 그러나 row<4>를 제외한 다른 row에서는 데이터가 변하지 않기 때문에, 이들 row에는 클럭 신호를 인가하지 않아도 된다. Input sequence #3에서는 row<4>와 row<5>에서만 데이터의 변했기 때문에, row<4>와 row<5> 두 개의 row에만 클럭 신호를 인가해도 된다. 즉, 데이터가 변화하는 row에만 선택적으로 클럭 신호를 인가하여도 DAC의 동작은 같기 때문에, 선택적인 클럭 신호를 인가하는 방식으로 클럭 신호의 전력 소모를 줄일 수 있다.

그림 4(a)와 그림 4(b)는 각각 입력 주파수 또는 입력 신호의 크기에 따라, DAC 내부의 8개 row에 인가되는 평균 클럭 수를 그래프로 표현한 것이다. 그림 3에서 확인 할 수 있듯이, 입력 신호의 주파수 또는 입력 신호의 크기가 감소할수록 row에 인가되는 평균 클럭 수가 감소하는 것을 확인 할 수 있다. 200MHz의 샘플링 주

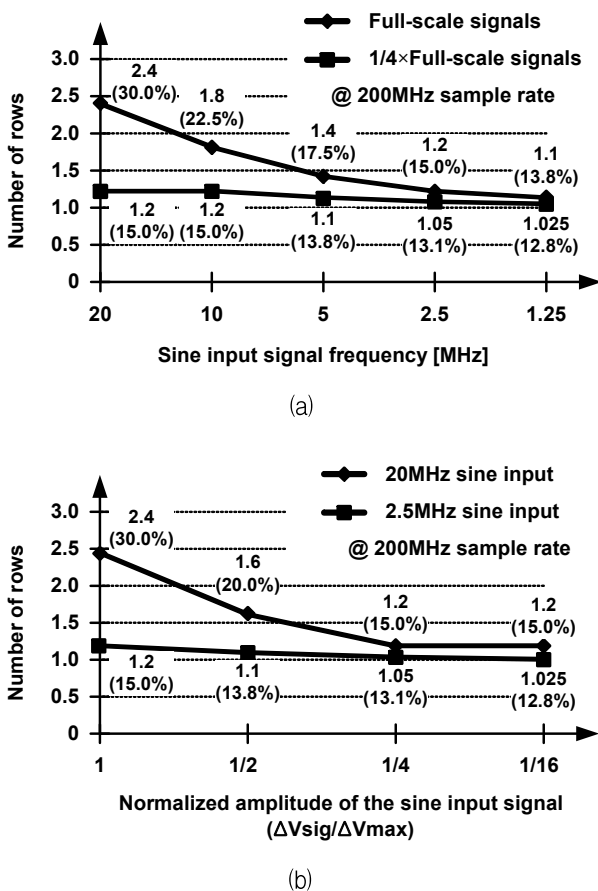


그림 4. (a) 입력 주파수 (b) 입력 신호 크기에 따른, DAC내의 8개 row에 인가되는 평균 클럭 수

Fig. 4. The number of average clock-enabled rows among the eight rows in the DAC according to (a) the input signal frequency (b) the normalized amplitude of the sine input signal.

파수일 때, 입력 신호 주파수가 20MHz에서 1.25MHz로 감소할수록 row에 인가되는 평균 클럭 수가 2.4개 (30%)에서 1.1개(13.8%)로 감소한다.

그림 5는 전류원 셀의 선택적인 클럭 입력을 위한 디코더이다. 제안된 row 디코더는 일반적인 Thermal 디코더와 7비트 D-플립플롭, 그리고 8비트 row 클럭 게이팅 회로로 구성된다. Thermal 디코더는 그림 2와 같은 전류원 셀의 현재의 row 데이터(row<1:7>)를 출력한다. D-플립플롭은 이전 클럭에 만들어진 이전 row 데이터(row_pre<1:7>)를 저장하고 있다. row 클럭 게이팅 회로는 이전 row 데이터(row_pre<1:7>)와 현재 row 데이터(row<1:7>)를 비교하여, 데이터 변화가 있는 row에만 클럭 신호를 인가하고 데이터 변화가 없는 row에는 클럭 신호를 인가하지 않는다. 그림 6은 제안

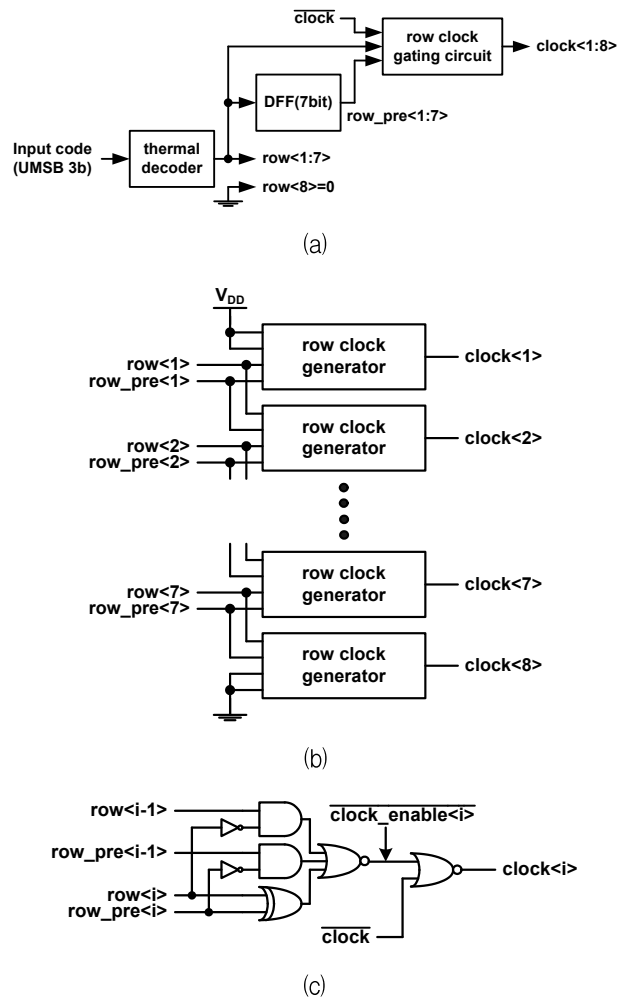


그림 5. (a) 제안된 row 디코더 (b) row 클럭 게이팅 회로 (c) row 클럭 발생기

Fig. 5. (a) Proposed row decoder (b) row clock gating circuit (c) row clock generator.

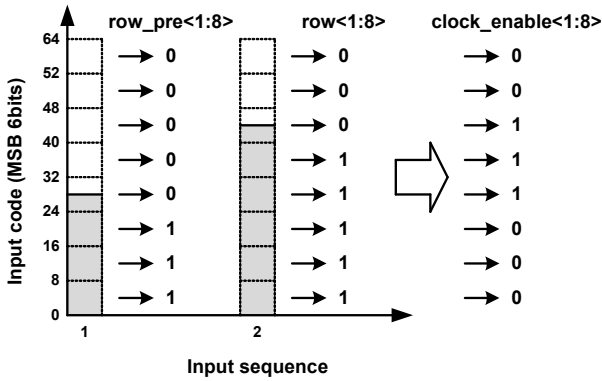


그림 6. 클럭 신호 인가의 예
 Fig. 6. An example of the clock-enable signals.

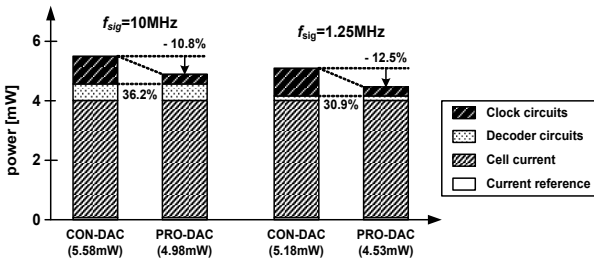


그림 7. 10비트 DAC의 전력 비교 @ 200MS/s
 Fig. 7. Power comparison of 10-bit DACs @ 200Ms/s.

표 1. 10비트 DAC의 전력 소모 @ 200MS/s
 Table 1. Power Consumption of 10-bit DACs @ 200Ms/s

	기존 DAC (A) [mW]		제안된 DAC (B) [mW]		비율 (B/A) [%]	
	10	1.25	10	1.25	10	1.25
입력 신호 [MHz]	10	1.25	10	1.25	10	1.25
클럭 회로	0.94	0.94	0.34	0.29	36.2	30.9
디코더 회로	0.56	0.16	0.56	0.16	100	100
셀 전류	4	4	4	4	100	100
전류 레퍼런스 회로	0.08	0.08	0.08	0.08	100	100
합계	5.58	5.18	4.98	4.53	89.2	87.5

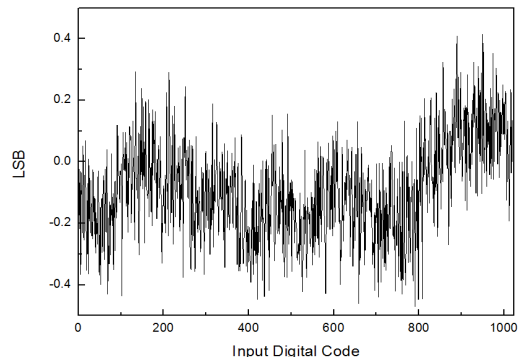
된 row 디코더에서 클럭 신호 인가하는 경우의 예시이다. row 데이터가 바뀔 경우에만, 해당하는 row의 클럭 허용 신호 (clock_enable=1)를 발생하고, 그림 5(c)와 같이 클럭을 인가한다.

그림 7과 표 1은 10비트 DAC들의 전력 소모량을 비교한 결과이다. 기존 DAC와 본 논문에서 제안한 DAC는 1.2V, 0.13 μ m CMOS 공정에서 제작되었다. 또한 10비트 DAC는 같은 구조의 세그먼트 구조(6+2+2)를 가지고 있다. 그림 7은 입력 주파수 10MHz, 1.25MHz일 때, 클럭 회로(clock circuit), 디코더 회로(decoder circuit), 셀 전류(cell current), 전류 레퍼런스 회로(current reference circuit)에서 소모한 전력을 각각 측

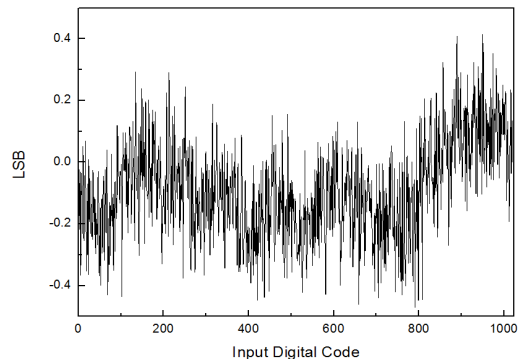
정한 결과이다. DAC 아날로그 신호의 출력 전류는 약 3.33mA이다. 제안된 DAC의 클럭 전력 소모량은 기존 DAC보다 10MHz와 1.25MHz에서 36.2%와 30.9%로 감소했다. 제안된 DAC는 10MHz와 1.25MHz의 입력 주파수에서 4.98mW와 4.53mW의 전력을 소모했다. 결과적으로, 제안된 DAC는 10MHz와 1.25MHz의 입력 주파수에서 전력 소모량을 10.8%와 12.5%만큼 줄였다.

III. 실험

본 논문에서 제안된 10비트 DAC는 1.2V 0.13 μ m CMOS공정을 사용하여 제작하였다. 모든 측정에서 아날로그 출력 전류는 3.33mA이다. 그림 8은 측정된 INL과 DNL의 결과이고, 그림 9는 측정된 DAC 출력 스펙트럼이다. 측정된 SFDR은 1MHz와 50MHz 입력 주파수에서 각각 72.8dB와 56.1dB이다. 그림 10은 각 주파수에서 측정된 주파수 스펙트럼의 값이다. 그림 11은 제작된 DAC의 칩 사진이고 칩 면적은 0.21mm²이다. 표 2에는 제작된 DAC 칩의 성능을 요약하였다. 제안된

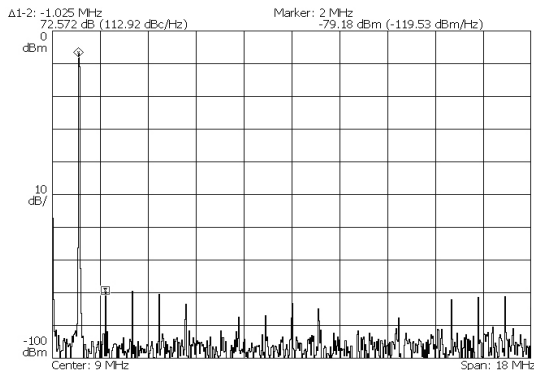


(a)

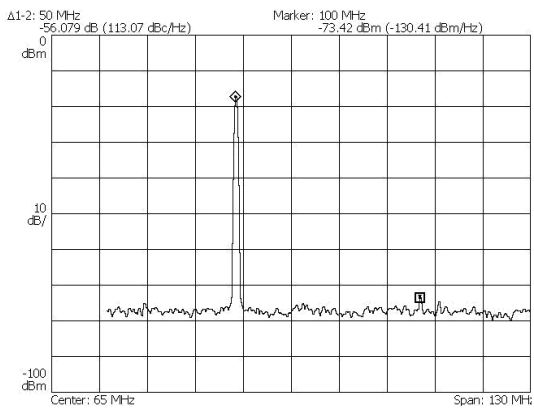


(b)

그림 8. (a) 측정된 INL (b) 측정된 DNL
 Fig. 8. (a) Measured INL (b) Measured DNL.



(a)



(b)

그림 9. 측정된 DAC 출력 Spectrum.

(a) $f_{sig}=1\text{MHz}$ (b) $f_{sig}=50\text{MHz}$

Fig. 9. Measured spectrums of the DAC output.

(a) $f_{sig}=1\text{MHz}$ (b) $f_{sig}=50\text{MHz}$

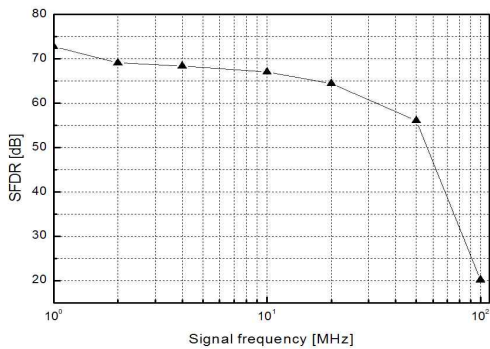


그림 10. 측정된 SFDR 그래프

Fig. 10. Measured SFDR plot.

DAC는 1MHz 입력 주파수에서 4.46mW의 전력을 소모하였다. 표 3은 제안된 DAC의 시뮬레이션 값과 실제 측정값을 비교한 결과이고, 표 4는 10비트 전류구동 DAC들의 성능과 전력 소모량을 비교한 것이다.

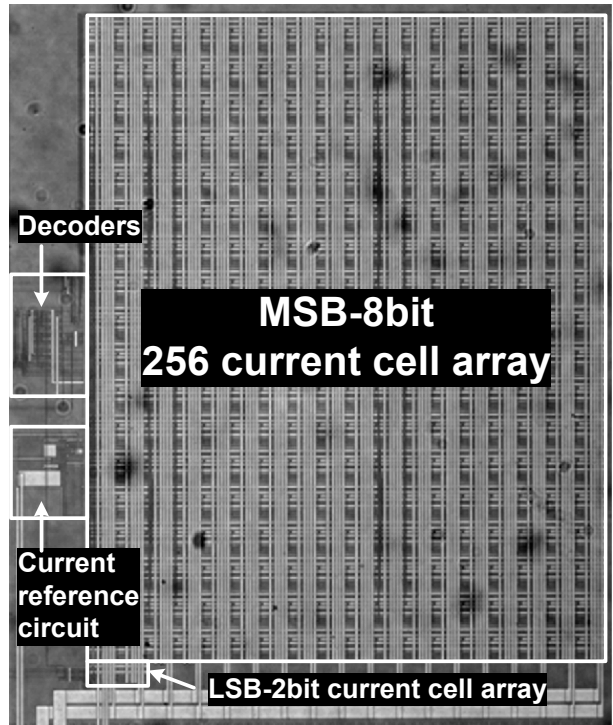


그림 11. 칩 사진

Fig. 11. The chip microphotograph.

표 2. 측정된 성능 요약

Table 2. Summary of Measured Performance.

Technology	0.13 μm CMOS
Resolution	10-bit
Supply Voltage	1.2V
Load current	3.3mA
Output Swing	0.5 (single) 1V (differential)
INL	< 0.47 LSB
DNL	< 0.46 LSB
Sampling rate(f_{CLK})	200MHz
SFDR @ $f_{CLK}=200\text{MHz}$	72.8dB @ 1MHz 56.1dB @ 50MHz
Power @ $f_{CLK}=200\text{MHz}$	4.46mW @ $f_{sig}=1\text{MHz}$
Active area	0.21mm ²

표 3. DAC 칩 전력 비교 @ 1MHz & 200MS/s

Table 3. Power Comparison of the DAC Chip @ 1MHz & 200MS/s.

	Proposed DAC [mW]	
	Simulation	Measurement
Clock	0.28	0.38
Digital	0.14	
Cell current	4.00	4.00
Current reference	0.08	0.08
Total	4.50	4.46

표 4. 10비트 전류구동 DAC 비교

Table 4. Comparison of 10-bit Current-Steering DACs.

	[2]	[7]	This work	
Number of bits	10	10	10	
Sample rate	500MS/s	250MS/s	200MS/s	
SFDR	>51dB @240MHz	>60dB @122.5MHz	72.8dB @ 1MHz 56.1dB @ 50MHz	
Technology	0.35 μ m CMOS	0.18 μ m CMOS	0.13 μ m CMOS	
Supply voltage	3.3V	1.8V	1.2V	
Load current	18mA	10mA	3.3mA	
Power	Total	125mW @ 100MS/s	22mW @ 250MS/s	4.5mW @ 1MHz & 200MS/s
	Digital	66mW	4mW	0.4mW
	Analog	59mW	18mW	4.1mW
Area	0.6mm ²	0.35mm ²	0.21mm ²	

표 5. 전류구동 DAC 비교

Table 5. Comparison of Current-Steering DACs.

Ref.	#of bits	Tech	f _{CLK}	Area [mm ²]	Power[mW]			FOM [μ W/MSPS]
					Analog Digital	Total		
[1]	12	0.5 μ m	300	3.2	66	254	320	1,067
[2]	10	0.35 μ m	500	0.6	66	59	125	251
[3]	10	0.35 μ m	1,000	0.35	48	62	110	110
[4]	14	0.13 μ m	100	0.1	15	1.7	16.7	167
[5]	12	0.18 μ m	320	0.44	69.4	12.6	82	256
[6]	14	0.13 μ m	200	2.9	-	-	90	450
[7]	10	0.18 μ m	250	0.35	18	4	22	88
[8]	14	0.18 μ m	225	2.25	15	16	31	137
[9]	12	65nm	2,900	0.31	125	63	188	65
This	10	0.13 μ m	200	0.21	4.1	0.4	4.5	22

IV. 결 론

본 논문에서는 데이터가 변경되는 전류원 셀들에 선택적으로 클럭을 입력하는 저 전력 전류구동 DAC를 제안하였다. 기존 DAC에서 낭비되는 클럭 전력 소모를 줄이기 위하여, 제안된 DAC에서는 데이터가 변화하는 row에 있는 전류원 셀만 클럭을 인가하여 클럭 전력 소모를 줄였다. 제안된 10비트 DAC는 1.2V 0.13 μ m CMOS 공정을 사용하여 제작되었다. 제작된 DAC는 1MHz 입력 주파수에서 4.46mW의 전력을 소모하였다. 제안된 DAC의 클럭 전력 소모량은 기존 DAC보다 10MHz와 1.25MHz에서 36.2%와 30.9%만큼 감소했다.

참 고 문 헌

- [1] J.Bastos et al., "A 12-Bit Intrinsic Accuracy High-Speed CMOS DAC," IEEE J.Solid-State Circuits, vol. 33, no.12, pp. 1959-1969, Dec. 1998.
- [2] C-H. Lin and K. Bult, "A 10-b, S-MSample/s CMOS DAC in 0.6 mm²," IEEE J.Solid-state Circuits, vol. 33, no.12, pp. 1948-1958, Dec.1998.
- [3] A. Van den Bosch et al., "A 10-bit 1-GSample/s Nyquist Current-Steering CMOS D/A Converter," IEEE J.Solid-State Circuits, vol. 36, no.3, pp.315-324, Mar 2001.
- [4] Y. Cong et al., "A 1.5-V 14-Bit 100-MSample/s Self Calibrated DAC," IEEE J. Solid-State Circuits, vol. 38, no. 12, pp. 2051-2060, Dec. 2003.
- [5] K. O'Sullivan et al., "A 12-bit 320-MSample/s Current-Steering CMOS D/A Converter in 0.44 mm²," IEEE J. Solid-State Circuits, vol. 39, no. 7, pp. 1064-2060, July 2004.
- [6] J. A. Starzyk et al., "A Cost-Effective Approach to the Design and Layout of a 14-b Current-Steering DAC Macrocell," IEEE Trans. Circuits Sys. I, Reg. Papers, vol. 51, no. 1, pp. 196-300, Jan. 2004.
- [7] J. Deveugele et al., "A 10-bit 250-MS/s Binary-Weighted Current-Steering DAC," IEEE J. Solid-State Circuits, vol. 41, no. 2, pp. 320-329, Feb. 2006.
- [8] D. A. Mercer, "Low-Power Approaches to High-Speed Current-Steering Digital-to-Analog Converters in 0.18- μ m CMOS," IEEE J. Solid-State Circuits, vol. 42, no. 8, pp. 1688-1698, Aug. 2007.
- [9] C.-H. Lin et al., "A 12 bit 2.9 GS/s DAC With IM3 < -60 dBc Beyond 1 GHz in 65 nm CMOS," IEEE J. Solid-State Circuits, vol. 44, no. 12, pp. 3285-3293, Dec. 2009.
- [10] D.-H. Lee et al., "Low-Cost 14-Bit Current-Steering DAC With a Randomized Thermometer-Coding Method," IEEE Trans. Circuits Sys. II, Exp. Brief, vol. 56, no. 2, pp. 137-141, Feb. 2009.
- [11] M.-H. Shen et al., "Random Swapping Dynamic Element Matching Technique for Glitch Energy Minimization in Current-Steering DAC," IEEE Trans. Circuits Sys. II, Exp. Brief, vol. 57, no. 5, pp. 369-373, May 2010.

— 저 자 소 개 —



양 병 도(정회원)
 1999년 한국과학기술원 전자전산학과 전기및전자공학전공 학사 졸업
 2001년 한국과학기술원 전자전산학과 전기및전자공학전공 석사 졸업

2005년 한국과학기술원 전자전산학과 전기및전자공학전공 박사 졸업
 2005년~2006년 삼성전자 반도체 사업부 책임 연구원
 2006년~2007년 충북대학교 전기전자컴퓨터공학부 전자공학전공 전임강사
 2008년~현재 충북대학교 전기전자컴퓨터공학부 전자공학전공 조교수
 <주관심분야 : 메모리 설계, 아날로그 IC 설계, 전력변환 IC 설계>



민 제 중(정회원)
 2010년 충북대학교 전자공학부 졸업
 2011년 현재 충북대학교 반도체공학과 석사과정

<주관심분야 : 아날로그 IC 설계, 디지털 IC 설계>