

논문 2011-48TC-6-5

Cognitive Radio 시스템의 NC-OFDM을 위한 저전력 FFT 설계

(Low-Power FFT Design for NC-OFDM in Cognitive Radio Systems)

장인걸*, 정진균**

(In-Gul Jang and Jin-Gyun Chung)

요약

최근 무선통신 기술의 발전과 함께 주파수 자원의 부족현상이 심화되고 있다. 따라서 주파수 자원을 효율적으로 사용하기 위한 방안의 하나로 CR(Cognitive Radio) 시스템에 대한 연구가 활발히 진행되고 있다. CR 시스템에서는 incumbent user에게 할당된 주파수영역이 사용되지 않을 경우 이를 secondary user에게 할당하여 주파수 사용의 효율을 높인다. CR 시스템에 NC-OFDM 방식을 이용할 경우 incumbent user가 사용하는 주파수 대역에 해당하는 FFT의 입력은 '0'으로 할당된다. 본 논문에서는 CR 시스템에서 사용하는 FFT에 '0'의 입력이 많은 특성을 이용하여 효율적인 Zero flag 생성회로 설계기법, 이를 이용한 메모리 access 감소기법, 덧셈 및 곱셈 연산 횟수의 감소기법을 제안한다. Cognitive Radio 시스템에 적용하기 위해 Radix-2⁴ SDF(Single-Path Delay Feedback) 구조의 2048포인트 FFT를 Verilog HDL을 이용하여 설계하였으며 제안된 방법으로 FFT를 구현할 때 기존의 방법에 비해 메모리, 덧셈기 및 곱셈기의 전력소모가 크게 감소하며 입력 중 '0' 신호의 비율이 증가함에 따라 전력소비 감소효율이 더욱 증가함을 보인다.

Abstract

Recently, the investigation of the cognitive radio (CR) system is actively progressed as one of the methods for using the frequency resources more efficiently. In CR systems, when the frequency band allocated to the incumbent user is not used, the unused frequency band is assigned to the secondary user. Thus, the FFT input signals corresponding to the actually used frequency band by the incumbent user are assigned as '0'. In this paper, based on the fact that there are many '0' input signals in CR systems, a low-power FFT design method for NC-OFDM is proposed. An efficient zero flag generation technique for each stage is first presented. Then, to increase the utility of the zero flag signals, modified architectures for memory and arithmetic circuits are presented. To verify the performance of the proposed algorithm, 2048 point FFT with radix-24SDFstructureisdesignedusingVerilog HDL. The simulation results show that the power consumption of FFT is reduced considerably by the proposed algorithm.

Keywords : Cognitive Radio, FFT, NC-OFDM, Power consumption, Memory access

I. 서론

최근 무선통신 기술의 급격한 발전과 함께 주파수 자원의 부족 현상이 더 심화되고 있다. 따라서, 통신서비스 증가에 대한 수요를 만족시키기 위해서는 한정된 주파수자원의 효율적 사용방안이 개발되어야한다.

FCC(미국연방 통신 위원회)에서 조사된 자료에 따르면 미국 대부분의 지역에서 주파수 사용률이 평균 30%

* 학생회원, ** 정회원, 전북대학교 전자공학부, IT융합 연구센터

※ 본 연구는 지식경제부 및 한국산업기술평가관리원의 IT산업원천기술개발사업[B1120-0901-0002, IT특화연구소설립], 교육과학기술부와 한국연구재단의 지역혁신인력양성사업, 2단계 BK21 사업의 일환으로 수행된 연구결과임.

접수일자: 2010년11월25일, 수정완료일: 2011년6월15일

이하로 매우 저조한 상태이다^[1]. 무선인지(Cognitive Radio, CR) 기술은 한정된 주파수 대역에서 기존의 저조한 주파수 사용률을 획기적으로 높여줄 수 있는 대안으로 부각되어 최근에 많은 연구가 진행 중이다 중이다^[2~3]. CR(Cognitive Radio) 시스템에서는 스펙트럼 센싱을 통해 주파수대역 중 주사용자(incumbent user)가 사용하지 않는 비어있는(idle) 대역을 부사용자(secondary user)가 사용하도록 처리하여 주파수 대역 사용률을 높인다.

CR 시스템에서 적용 가능한 NC-OFDM(Non-Contiguous Orthogonal Frequency Division Multiplexing)은 무선 채널에서 고속 데이터 전송에 적합한 방식으로 N 개의 부 반송파에 데이터를 전송하기 때문에 다중경로 페이딩 채널에 강하다. 이러한 장점에 CR 시스템의 표준이라고 할 수 있는 IEEE 802.22에서 고속 데이터 전송을 위해 OFDM 방식이 사용되고 있다^[4].

OFDM 시스템에서 FFT(Fast Fourier Transform)는 전력소모 및 면적 면에서 큰 부분을 차지하는 블록 중의 하나이므로 효율적인 FFT의 구현은 OFDM 시스템의 성능향상에 큰 영향을 끼친다^[5]. 본 논문에서는 CR 시스템에 사용되는 FFT의 경우 '0' 입력이 많다는 사실^[6]에 근거하여 메모리 access, 덧셈 및 곱셈 연산 회로를 수정하여 FFT에서 소모되는 power를 크게 감소시킬 수 있는 방법을 제안한다.

II장에서는 NC-OFDM System의 구조 및 특성에 대하여 설명하고, III장에서는 스펙트럼 센싱을 통해 검출한 주파수대역 사용 유무에 따른 FFT의 파워 감소 방법을 제안한다. IV장에서는 제안한 방법으로 Radix-2⁴ SDF 구조의 CR 시스템을 위한 2048포인트 FFT를 설계하여 결과를 비교하고, 끝으로 V장에서 결론을 맺는다.

II. NC-OFDM System

NC-OFDM 시스템의 송·수신부 모델을 그림 1에 나타내었다. 고속의 데이터열 $x(n)$ 은 modulator를 거쳐 다양한 방식으로 변조된다. 변조된 데이터열은 IFFT에 입력되기 전 S/P (serial to parallel) 변환된다. 이 때 NC-OFDM 송신기는 모든 subcarrier에 데이터를 전송하지 않고 dynamic spectrum sensing과 같은 다양한 방법의 채널 추정을 통해 사용할 수 있는 빈 주파수대

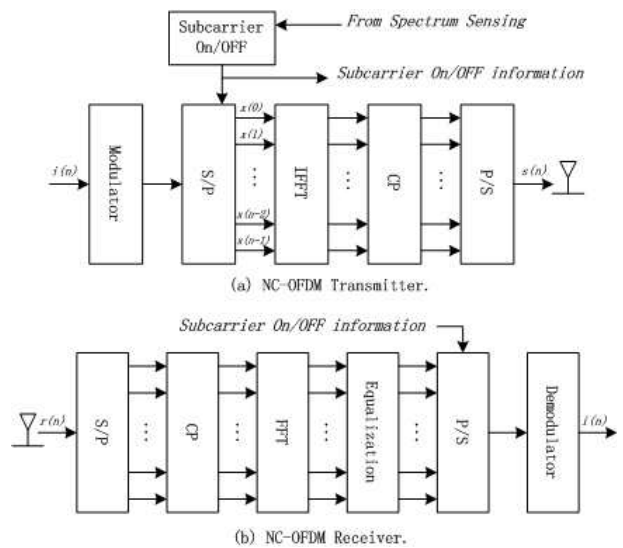


그림 1. NC-OFDM시스템의 송·수신부 구조
Fig. 1. Tx-Rx Architecture of NC-OFDM system.

역에 데이터를 할당한다. 또한 ISI(intersymbol interference)를 최소화하기 위해 CP(cyclic prefix) 블록을 이용하여 channel delay spread 보다 더 큰 guard interval을 NC-OFDM 심볼에 추가하여 전송한다^[7].

수신기는 송신기의 반대 역할을 수행한다. RF 신호에서 baseband 신호 $r(n)$ 을 생성하고 S/P converter를 거친 후 CP를 제거하고 FFT의 입력으로 들어가게 된다. FFT의 출력은 Equalizer를 거친 후 parallel에서 serial 신호로 변환되고 demodulator를 통해 수신신호 $i'(n)$ 을 얻게 된다.

위에서 살펴본 바와 같이 NC-OFDM 시스템에서 IFFT/FFT는 아주 큰 부분을 차지한다. 특히 2048 포인트 등 큰 사이즈의 FFT를 사용하는 요즘의 무선통신 시스템에서는 FFT의 효율적인 설계가 시스템의 성능에 큰 영향을 미친다.

III. Proposed Zero-check Technique

OFDM 송신기는 스펙트럼 센싱을 거쳐 그림 2에 나타난 바와 같이 사용대역과 비사용대역을 구분한다. 사용대역에는 이미 주사용자(incumbent user)가 데이터를

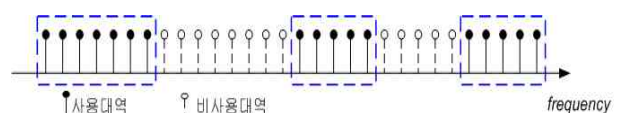


그림 2. 스펙트럼 센싱을 통한 subcarrier 분포
Fig. 2. Subcarrier distribution through spectrum sensing.

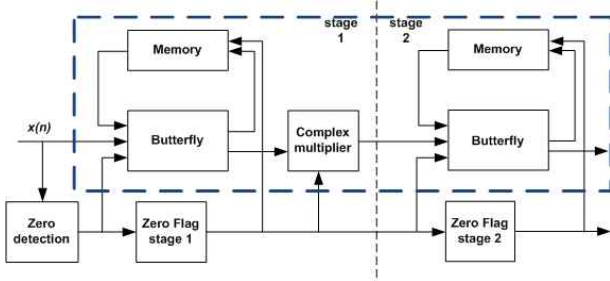


그림 3. 제안된 저전력 FFT 구조
Fig. 3. Proposed low power FFT architecture.

보내고 있기 때문에 송신기 입장에서는 사용할 수 없으므로 이 대역의 subcarrier에는 데이터를 보내지 않는다. 따라서, 사용대역에 해당하는 FFT 입력은 '0'으로 할당한다. 본 절에서는 많은 '0'입력을 가지는 FFT의 효율적 구현 방안을 제시한다.

일반적인 SDF(Single Delay Feedback) 구조의 FFT는 그림 3에서 점선으로 표시된 부분과 같다. 제안하는

FFT 구조는 그림 3에 보인 바와 같이 Zero detection, 각 스테이지별 Zero flag, 연산 및 메모리 access 제어부로 구성된다.

1. Zero Flag 회로

그림 4는 각 stage의 Zero flag 회로를 나타낸다. 처음 스테이지의 Zero flag 사이즈는 $(N/2) \times 1$ 이며 각 스테이지를 통과할 때마다 Zero flag의 사이즈는 1/2씩 감소한다. 스테이지 i 의 Zero flag 사이즈는 $N/2^i \times 1$, $i = 1, 2, \dots, \log_2 N$ 이다.

스테이지 1에서 Zero flag의 사이즈에 해당하는 처음 $N/2$ 클럭 사이클 동안은 Zero detection 결과가 Zero flag에 직접 저장되나 다음 $N/2$ 클럭 사이클 동안은 입력되는 Zero detection 결과와 $N/2$ 클럭 사이클 전에 저장된 Zero detection 결과의 OR 연산된 값이 Zero flag로 저장된다. N 클럭 사이클이 지나면 Zero flag가 reset되고 다시 처음과 같은 동작이 반복된다.

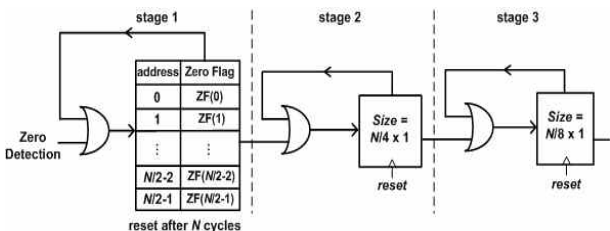


그림 4. 각 스테이지별 Zero Flag 구조
Fig. 4. Zero Flag architecture of each stage.

나머지 스테이지에서의 동작도 첫 번째 스테이지와 유사하나 스테이지 i 의 경우 Zero flag 사이즈에 해당하는 $N/(2^i)$ 클럭 사이클을 주기로 Zero flag에 저장 및 update가 이루어지고 $N/2^{(i-1)}$ 클럭 사이클이 지나면 Zero flag가 reset된다. 이와 같이 생성된 Zero flag를 이용하여 각 스테이지에서 메모리 access 및 연산 횟수를 감소시킨다.

2. Memory Access

각 스테이지별 메모리 부분은 그림 5에서 볼 수 있는 $(N/2^{(i+1)} - 1) \times W$ 사이즈의 single port RAM을 2개 사용하여 구현할 수 있다^[8]. 첫 번째 스테이지에서 원래 입력이 W -bit인 N -point FFT에서 입력을 저장하기 위한 메모리 블록은 $N/4 \times W$ 사이즈의 RAM이 2개 필요하다. (단, 여기서는 첫 번째 스테이지에 해당하며 두 번째 스테이지부터는 반으로 계속 줄어들게 된다.) 하지만 본 논문에서 사용하는 구조를 사용하면 $(N/4 - 1)$

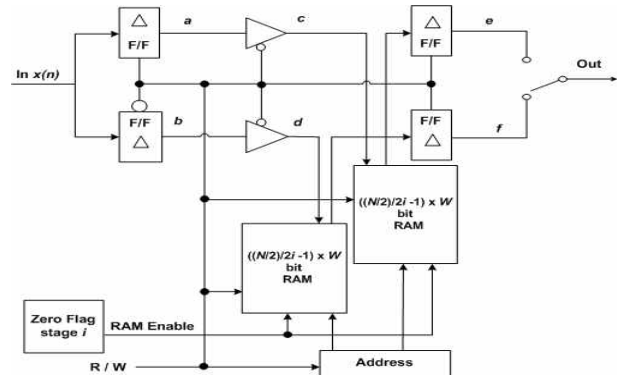


그림 5. 2개의 single port RAM을 사용하기 위한 메모리 구조
Fig. 5. Memory architecture for using two single port RAM.

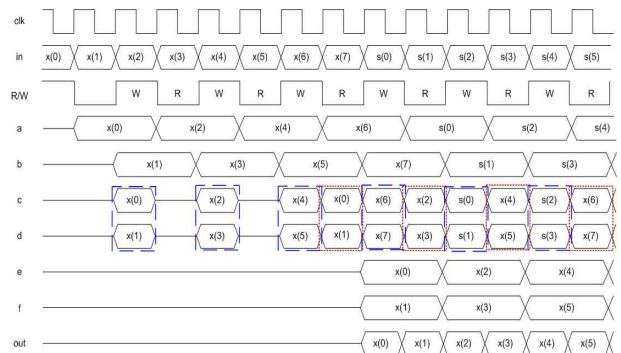


그림 6. 메모리 블록에서 2개의 single port RAM을 이용한 타이밍도(16 point FFT 설계)
Fig. 6. Data timing diagram using two single port RAMs in Memory block for 16-point FFT.

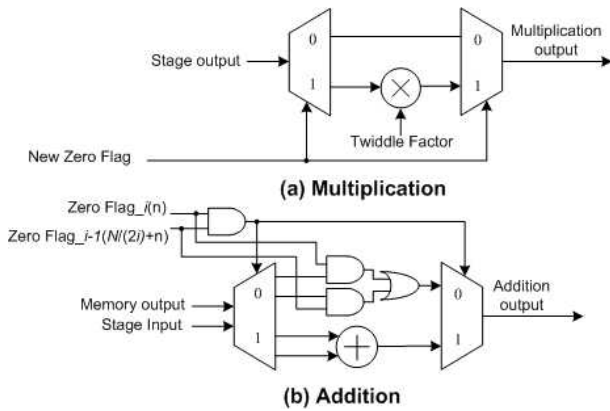


그림 7. Zero Flag를 이용한 덧셈 및 곱셈 구조:
(a) 곱셈, (b) 덧셈

Fig. 7. Addition and Multiplication architectures using zero flags: (a) multiplication and (b) addition.

XW 으로 RAM의 크기를 줄일 수 있다. 그림 5의 메모리 구조를 사용하기 위한 동작을 16포인트 FFT 설계 기준으로 그림 6을 이용하여 나타내었다. R/W 신호는 1, 0을 번갈아가며 Read/Write를 하고 zero 검출에 의한 Zero Flag bit가 그림 5에서 볼 수 있듯이 RAM의 Enable 신호로 사용된다. 처음에 메모리가 다 쓰여지기 전까지는 Write만 수행되고 다 쓰여진 이후부터는 Read와 Write가 번갈아 수행된다. 하지만 Write하거나 Read 하여야할 데이터가 zero인 경우 Zero flag를 이용하여 Read와 Write를 생략시킨다. 입력에 zero가 검출되면 RAM의 Write사이클에 Write하지 않고 Flag에 의해 $N/(2i)$ 클럭 후 Read 사이클에 Read 하지 않는다.

3. 덧셈, 뺄셈, 곱셈에서의 Flag의 이용

FFT의 덧셈, 뺄셈 및 곱셈 연산에 Zero flag를 제어 신호로 작용하여 연산횟수를 감소시킬 수 있다. 그림 7과 표 1에 Zero flag에 따른 연산의 종류 및 구조를 나타내었다. 그림 7에서 $Zero\ flag_i(n)$ 및 $Zero\ flag_i-1(N/(2i))$ 은 각각 스테이지 i 의 n 번째 및 스테이지 $i-1$ 의 $N/(2i)$ 번째 클럭에 입력된 데이터에 대한 Zero flag를 나타낸다.

Case i의 경우 현재의 입력과 이전입력이 '0'임을 의미하므로 계산 없이 '0'을 출력하고 현재의 Zero flag는 '0'을 유지한다. Case ii와 iii의 경우는 두 입력중 하나의 입력이 '0'이므로 덧셈/뺄셈에서는 해당 입력을 bypass하고 곱셈연산은 수행한다. 마지막으로 Case iv의 경우는 기존의 FFT와 동일하게 연산을 수행한다.

Y_{mux} 는 반도체 공정 라이브러리에서 제공되는 파라

표 1. Zero Flag의 조합에 따른 덧셈 및 곱셈 연산표
Table 1. Addition and multiplication table for various combination of Zero flags.

Case	Zero flag $_i(n)$	Zero flag $_i-1(N/(2i)+n)$	New Zero flag	덧셈/뺄셈 연산	곱셈 연산
i	0	0	0	'0' 출력	'0' 출력
ii	0	1	1	bypass	연산
iii	1	0	1	bypass	연산
iv	1	1	1	연산	연산

표 2. Ymux 파라미터에 따른 RAM 사이즈

Table 2. RAM size according to Ymux parameter.

Parameters		$Y_{mux} = 4$	$Y_{mux} = 8$	$Y_{mux} = 16$	$Y_{mux} = 32$
Words	Min	32	64	128	256
	Max	2,048	4,096	8,192	16,384
	Step	16	32	64	128
Bits	Min	1	1	1	1
	Max	128	64	32	16
	Step	1	1	1	1

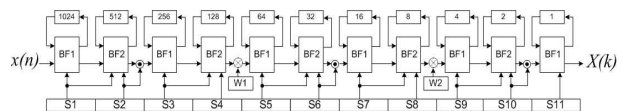


그림 8. Radix-2⁴ SDF 2048 포인트 FFT 구조

Fig. 8. Radix-2⁴ SDF 2048-point FFT structure.

미터로서 공정 이용 시에 제공되는 매크로셀 중 생성 가능한 RAM 사이즈는 Y_{mux} 파라미터에 따라 달라진다. 표 2는 삼성 0.13 μ m공정에서 제공하는 SPSRAM_HD(High Density Single Port Synchronous Static RAM)의 생성 가능한 RAM 사이즈를 나타낸다. 예를 들어 $Y_{mux}=8$ 로 선택했을 경우 word 수는 최소 64부터 32씩 증가하여 최대 4,096까지 확장할 수 있고, 각 word의 bit 수는 최소 1부터 1씩 증가하여 최대 64까지 선택할 수 있다. 따라서, 구체적 응용에 따라 적절히 Y_{mux} 파라미터를 선택한다.

그림 8은 CR 시스템에서 사용하는 2048포인트 FFT 구조이다. 각 스테이지별 RAM 어드레스 사이즈는 스테이지 1에서 1024, 스테이지 2에서 512 등과 같이 스테이지를 지남에 따라 반으로 감소된다. 표 3은 FFT의 '0'입력의 비율과 Y_{mux} 에 따른 덧셈, 뺄셈 연산의 횟수와 비율을 나타낸다. Y_{mux} 를 8로 선택했다면, stage

5의 어드레스 사이즈가 64이므로 stage 1부터 stage 5 까지 RAM을 설계할 수 있다. 만약 입력의 '0'비율이 50%라면 기존의 방법을 사용하였을 때는 20,480번의 덧셈/뺄셈 연산이 필요한데 제안한 방법을 사용하면 연산횟수는 16,280번이다. 따라서 제안한 방법을 사용함으로써 기존 방법의 79.49%의 연산만 수행하면 된다. 표 3에서 볼 수 있듯이 입력 중 '0' 입력의 비율이 높아지면 연산 감소율도 증가하여 Ymux=8일 경우 '0' 입력 비율이 90%이면 연산 감소율이 31.7%까지 감소됨을 볼 수 있다.

IV. 시뮬레이션 및 비교

그림 8과 같은 CR 시스템용 Radix-2⁴ SDF 2048포인트 FFT를 제안한 구조와 기존의 구조로 Verilog HDL로 코딩하였고 삼성 0.13μm 라이브러리를 이용해 합성하였다.

본 논문에서 설계한 2048포인트 FFT용 RAM의 최대 어드레스 사이즈는 2048이므로 모든 Ymux 파라미터를 사용할 수 있다. 다만 Ymux별로 최소 어드레스 사이즈가 다르기 때문에 Ymux 파라미터 선택에 따라 특정 스테이지에서는 메모리 블록대신 레지스터를 사용하여야한다. 표 5는 FFT의 '0'입력 비율과 Ymux에 따른 memory access saving 결과를 나타낸다. 예를 들어 Ymux = 4인 경우 최소 RAM 사이즈는 32가 되므로

표 3. FFT의 '0'입력 비율과 Ymux에 따른 덧셈/뺄셈 결과
Table 3. Add/sub results according to '0' input ratio and Ymux.

	Zero input Ratio	Ymux =4 (stage6)	Ymux =8 (stage5)	Ymux =16 (stage4)	Ymux =32 (stage3)
Addition & Subtraction (times)	30%	10,714	8,670	6,624	4,600
	40%	10,310	8,266	6,220	4,190
	50%	9,900	7,862	5,818	3,782
	60%	9,104	7,060	5,014	2,988
	70%	8,270	6,232	4,186	2,156
	80%	6,876	4,834	2,792	958
	90%	4,972	2,934	924	0
	Percentage of Addition & Subtraction (%)	30%	43.6	42.3	40.4
40%		42.0	40.4	38.0	34.1
50%		40.3	38.3	35.5	30.7
60%		37.0	34.5	30.6	24.3
70%		33.6	30.4	25.5	17.5
80%		27.9	23.6	17.0	7.8
90%		20.2	14.3	5.6	0

stage 6까지 RAM을 사용할 수 있고 입력벡터 중 '0'가 30% 일 때 stage 6까지 데이터가 '0'을 유지하여 Memory access(Memory Read/Write) 횟수가 기존의 방법에 비해 1,580번 감소된다는 것을 의미한다. 기존의 방법에 의한 stage 6까지의 Memory Access 횟수는 24,576번이므로 제안한 방법에 의해 Memory access 회수를 6.43% 감소시킬 수 있다. 같은 방법으로 Ymux =

표 4. FFT의 '0'입력 비율과 Ymux에 따른 Addition 결과
Table 4. Multiplication results according to '0' input rate and Ymux.

	Input zero Percentage	Ymux =4 (stage6)	Ymux =8 (stage5)	Ymux =16 (stage4)	Ymux =32 (stage3)
Multiplication (times)	30%	49,004	40,822	32,638	24,454
	40%	48,982	40,796	32,608	24,426
	50%	48,944	40,766	32,592	24,412
	60%	47,372	39,182	31,000	22,830
	70%	45,662	37,482	29,308	21,132
	80%	42,056	33,878	25,700	17,534
	90%	10,816	10,812	10,776	10,608
Percentage of Multiplication (%)	30%	99.7	99.7	99.6	99.5
	40%	99.7	99.6	99.5	99.4
	50%	99.6	99.5	99.4	99.3
	60%	96.4	95.6	94.6	92.8
	70%	92.9	91.5	89.4	86.0
	80%	85.5	82.7	78.4	71.3
	90%	70.5	64.7	55.9	43.1

표 5. FFT의 '0'입력 비율과 Ymux에 따른 memory access saving 결과
Table 5. The memory access saving result according to '0' input ratio and Ymux.

	Zero input Ratio	Ymux =4 (stage6)	Ymux =8 (stage5)	Ymux =16 (stage4)	Ymux =32 (stage3)
Memory access saving (times)	30%	1,290	1,290	1,290	1,276
	40%	1,726	1,726	1,726	1,716
	50%	2,146	2,138	2,134	2,128
	60%	3,348	3,348	3,348	3,328
	70%	4,576	4,564	4,562	4,558
	80%	6,830	6,826	6,820	6,596
	90%	10,816	10,812	10,776	9,686
	Percentage of Memory access saving (%)	30%	5.2	6.3	7.9
40%		7.0	8.4	10.5	14.0
50%		8.7	10.4	13.0	17.3
60%		13.6	16.3	20.4	27.1
70%		18.6	22.8	27.8	37.1
80%		27.8	33.3	41.6	53.7
90%		44.0	52.7	65.8	78.8

표 6. '0' 입력 비율과 Ymux에 따른 전력소모
Table 6. The power consumption of RAMs according to '0' input rate and Ymux.

	Zero input Ratio	Ymux =4 (stage6)	Ymux =8 (stage5)	Ymux =16 (stage4)	Ymux =32 (stage3)
Power Consumption (mW)	30%	365.46	399.68	685.40	841.71
	40%	363.11	396.397	677.98	828.70
	50%	360.21	392.52	669.21	813.68
	60%	352.69	382.14	645.76	772.66
	70%	344.72	371.07	620.89	729.94
	80%	328.80	349.21	571.37	652.32
	90%	300.83	310.81	484.67	545.31

32이고 zero 입력이 50%를 차지할 경우 stage 3까지 Memory access saving 횟수는 2,410이고 감소 비율은 19.61%이다.

표 6에 입력이 10bit이고 각 스테이지를 통과할 때마다 1 비트씩 증가하여 15bit까지 증가하면서 반올림 되는 경우의 각 스테이지별 RAM에서 소비되는 총 전력 소모를 나타내었다. Zero input ratio가 증가할수록 RAM에서의 전력소비는 감소된다. 예를 들어, Ymux=8 인 경우 Zero input ratio 가 90%인 경우 30%인 경우에 비해 총 RAM에서의 전력소모가 22.3%정도 감소된다.

V. 결 론

본 논문에서는 CR 시스템에 사용되는 FFT의 경우 '0' 입력이 많다는 사실에 근거하여 효율적인 Zero flag 설계기법, Zero flag를 이용한 메모리 access 감소기법, 덧셈/뺄셈 및 곱셈 연산 횟수 감소기법을 제시하였다. 제시한 방법은 '0' 입력의 비율이 증가할수록 더욱 효율적임을 시뮬레이션을 통해 보였다.

참 고 문 헌

[1] FCC, "Notice of proposed rule making and order", *ET*, December 2003, Docket No 03-222.
[2] R. W. Brodersen et al.. "CORVUS : A Cognitive Radio Approach for Usage of Virtual no licensed Spectrum," White Paper, *Dept of electrical Engineering and Computer Science University of Berkeley*, July, 2004. http://bwrc.eecs.berkeley.edu/Research/MCMA/CR_White_paper_finall.pdf.
[3] S. Haykin, "Cognitive Radio: Brain Empowered Wireless Communications", *IEEE Journal on*

Selected Areas In Communications, No.2, vol 23, pp. 201-220, Feb 2005.

[4] J. Mitola, III, "Cognitive radio for flexible mobile multimedia communications," in *Proc. IEEE Int. Wksp. Mobile Multimedia Commun.*, vol. 1, (San Diego, CA, USA), pp.3-10, Nov. 1999.
[5] S. B. Weinstein and P. M. Ebert, "Data transmission by frequency division multiplexing using the discretefourier transform," *IEEE Trans. Commun. Technol.*, vol. 19, pp. 628-634, Oct 1971.
[6] J. D. Markel, "FFT Pruning," *IEEE Trans. Audio Electroacoust.*, vol. 19, pp. 305 - 311, Dec. 1971
[7] Rakesh Rajbanshi, Alexander M. Wyglinski, Gary J. Minden, "An Efficient Implementation of NC-OFDM Transceivers for Cognitive Radios", *Cognitive Radio Oriented Wireless Networks and Communications, 2006. 1st International Conference*, pp.1 - 5, June 2006.
[8] Shousheng He and Mats Torkelson, "Design and Implementation of a 1024-point Pipeline FFT Processor", *Custom Integrated Circuits Conference*, 1998, Proceedings of the IEEE pp.131 - 134, May 1998.

저 자 소 개



장 인 걸(학생회원)
2005년 전북대학교
전자공학과 학사 졸업
2007년 전북대학교 정보통신
공학과 석사 졸업
2008년~현재 전북대학교
전자공학부 박사 과정

<주관심분야 : 통신, 신호처리, 반도체>



정 진 균(정회원)
1985년 전북대학교
전자공학 학사 졸업
1989년 미국 미네소타 주립대학
전기공학 석사 졸업
1991년 미국 미네소타 주립대학
전기공학 박사 졸업

<주관심분야 : 통신, 컴퓨터, 신호처리, 반도체>