

InAlAs/InGaAs/GaAs 100 nm-게이트 MHEMT 소자의 에피 구조 최적화 설계에 관한 연구

손 명 식[†]

[†]순천대학교 전자공학과

Optimization Study on the Epitaxial Structure for 100nm-Gate MHEMTs with InAlAs/InGaAs/GaAs Heterostructure

Myung Sik Son[†]

[†]Department of Electronic Engineering, Suncheon National University, KOREA

ABSTRACT

This paper is for improving the RF frequency performance of a fabricated 100nm Γ -gate MHEMT, scaling down vertically for the epitaxy-structure layers of the device. Hydrodynamic simulation parameters are calibrated for the fabricated MHEMT with the modulation-doped In_{0.52}Al_{0.48}As/In_{0.53}Ga_{0.47}As heterostructure grown on the GaAs substrate. With these calibrated parameters, simulations for the vertically-scaled epitaxial layers of the device are performed and analyzed for DC/RF characteristics, including the quantization effect due to the thickness reduction of InGaAs channel layer. A newly designed epitaxy-structure device shows higher extrinsic transconductance, g_m of 1.556 S/mm, and higher frequency performance, f_T of 222.5 GHz and f_{max} of 849.6 GHz.

Key Words : Millimeter wave, HEMT, Metamorphic HEMT (MHEMT), Device simulation, Hydrodynamic transport simulation, Design of Epitaxial layers, Cutoff frequency, Maximum oscillation frequency

1. 서 론

30 GHz에서 3 THz 이르는 밀리미터파 및 서브-밀리미터파 주파수 대역은 현재의 무선통신 및 미래의 광대역 무선 통신의 매체가 되는 소중한 주파수 자원이며, 새로운 융합 응용 가능성이 있는 주파수 대역이다. 차세대 밀리미터파 통신 분야 및 이동 통신 분야에서 기술 선진국과의 기술력 격차를 줄이고 도약을 이루기 위해서는 다양한 통신 시스템을 위한 핵심 소자개발이 필수적이다.

이러한 주파수 대역용 InP 기반 HEMT 소자는 우수한 주파수 특성을 보여 주고 있지만 몇 가지 문제점을 가지고 있다. 이 소자의 가장 큰 문제로 아직은 비용이 GaAs 기반 소자에 비해 비싸며, 4인치 이상의 에피 웨이퍼 생산이 어렵고, 제작 시 깨지기 쉬워 취급하기 어렵다는 문제점을 안고 있다. 이에 대한 대안으로 InP 에

피구조를 GaAs기판 위에 성장시킨 MHEMT (Metamorphic HEMT)에 대한 연구들이 국내에서도 많이 시도되고 진행되어 왔으며 위에서 언급한 InP 기반 MIMIC제작시의 단점을 극복할 수 있는 뛰어난 주파수 특성을 갖는 HEMT 소자로 자리 매김하고 있다[1-2].

본 연구에서는 100nm Γ -게이트 MHEMT 소자 특성에 대해 ISE사의 DESSIS소자 시뮬레이터의 2차원 hydrodynamic 전송 모델을 이용한 파라미터 보정 시뮬레이션을 수행하여 실험 데이터와 잘 일치하는 파라미터 보정 결과를 보이고, 이 시뮬레이션 파라미터들을 사용하여 새로운 에피구조 최적화 설계(수직 스케일링) 연구를 수행하고, 새로이 제안한 에피구조에 대한 DC/RF 특성을 예측하여 에피구조 특성을 분석하였다[3-4].

2. MHEMT 에피구조 최적 설계

그림 1의 제작된 소자 구조의 DC/RF 특성 시뮬레이

[†]E-mail : sonms@sunchon.ac.kr

Cap	In _{0.53} Ga _{0.47} As	6 × 10 ¹⁸ /cm ³	15nm
Barrier	In _{0.52} Al _{0.48} As	undoped	15nm
Top	δ-doping 4.5×10 ¹² /cm ³		
	In _{0.52} Al _{0.48} As	undoped	3nm
Channel	In _{0.53} Ga _{0.47} As	undoped	23nm
	In _{0.52} Al _{0.48} As	undoped	4nm
Bottom	δ-doping 1.3×10 ¹² /cm ³		
Buffer	In _{0.52} Al _{0.48} As	undoped	400nm
Metamorphic Buffer	In _x Al _{1-x} As (x = 0~0.5)	undoped	1000nm
S.I. GaAs substrate			

Fig. 1. Fabricated epitaxial structure of MHEMT.

션을 위해 각 에피 층들의 파라미터 보정 시뮬레이션 을 수행하였다.

본 논문에서는 새로운 에피구조에 대한 시뮬레이션 결과의 타당성을 확보하기 위하여 시뮬레이션 파라미터 보정 결과를 시뮬레이션 결과 분석 장에서 보이고, 이전 연구 논문에서 설정되었던 파라미터와 다른 부분 들만을 모아서 표 1에 정리하여 나타내었고, InP 파라미터는 표2 에 정리하여 나타내었다[3-5].

Table 1. Calibrated simulation parameters.

Schottky Barrier Height (eV)		0.60	
Conduction Band Discontinuity, ΔE_c (eV)		0.525	
Delta Doping (cm ³)		Bottom	
		3.0 × 10 ¹⁸	
Si ₃ N ₄ /InAlAs Interface	Traps Type	Acceptor	
	Density (cm ³)	3.19 × 10 ¹²	
Meta-morphic Buffer Layer	Traps Type	Top Area	Bottom Area
		Acceptor	Acceptor
	Density (cm ³)	1.0 × 10 ¹⁷	1.5 × 10 ¹⁷

2.1. RF 주파수 특성 개선

일반적으로 HEMT 소자의 주파수 특성을 향상시키기 위한 에피구조 개념도를 그림 2에 보였다[2]. 그림 2에서 보는 바와 같이 게이트 길이 L_g 와 채널과 게이트 간 거리 d_{GC} 를 감소시키면 g_m 이 향상되고, 식 (1)의 관련 식에서 차단주파수(cutoff frequency: f_T)가 향상된다. 식 (2)의 관련 식에서 f_T 가 향상되면 직접적으로 최대공진주파수(maximum oscillation frequency: f_{max})가 향상된다.

Table 2. Simulation parameters of InP.

Electron Affinity (eV)	4.37	
Energy Gap (eV)	1.35	
Conduction Band Discontinuity, ΔE_c (eV) (relative to InGaAs)	0.25	
Mobility (cm ² /V·s)	e	h
	4917	151

$$f_T = g_m / (2\pi C_g) \quad (1)$$

여기서, $C_g = C_{gd} + C_{gs}$ 로 표현된다. g_m 은 게이트에 의한 전달전도도, C_{gs} 는 게이트-소스 간 커패시턴스, C_{gd} 는 게이트-드레인 간 커패시턴스이다.

$$f_{max} = f_T / \sqrt{4GA + 0.8C(1 + 2.5C)B^2} \quad (2)$$

여기서,

$$G = g_{ds} / g_m$$

$$A = g_m R_i + (R_s + R_g) / (1/g_m + R_i)$$

$$C = C_{gd} / C_{gs}$$

$$B = (1 + g_m R_s)^2 \text{ 이다.}$$

g_{ds} 은 드레인 전압 변화에 따른 전달전도도이며, R_i 는 게이트 소신호 증방전에 따른 저항을 나타낸다. R_s , R_d , R_g 는 각각 소스 저항, 드레인 저항, 게이트 저항을 나타낸다.

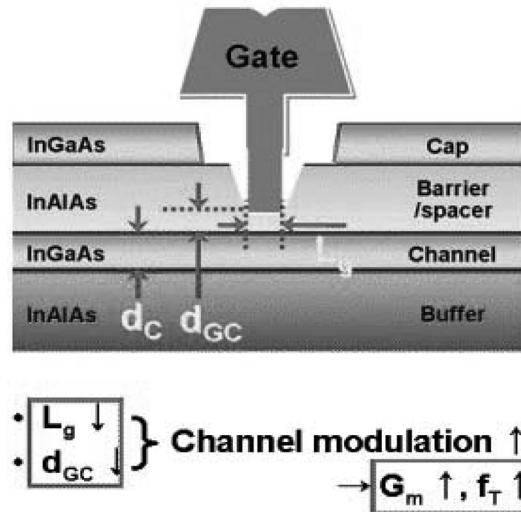


Fig. 2. Cutoff-frequency enhancement of HEMT.

결과적으로 그림 2에 요약해 보인 바와 같이 식 (1) 및 식 (2)를 통해서 게이트 길이 L_g 를 줄여서 C_g 성분을 줄이고, 채널 두께 d_G 및 채널-게이트 간 거리 d_{GC} 를 감소시키면 g_m 을 증가시켜 f_T 및 f_{max} 주파수 특성을 개선할 수 있다. 또한, d_G 를 줄여 전류를 감소시킴으로써 항복 특성을 개선할 수도 있다[5].

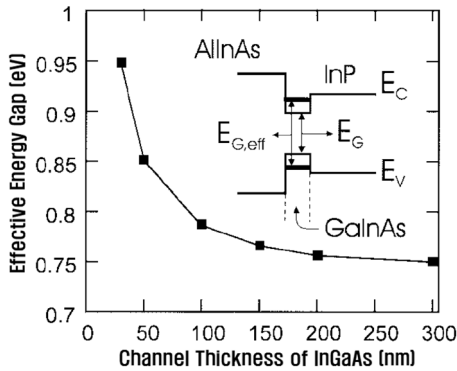


Fig. 3. Quantization effect on the effective energy gap of InGaAs channel layer[5].

2.2. InGaAs 채널층 양자화 효과

그림 3에서 보인 바와 같이 InGaAs 채널층의 두께가 감소하면 전달전도도 g_m 을 향상시킬 수 있지만 채널층의 양자화 효과에 의해서 에너지 갭이 증가하게 된다[5]. 이러한 유효 에너지 갭이 증가하면 ΔE_c 가 감소하게 되어 전류 레벨이 감소하게 된다. 이러한 채널층의 두께 감소에 따른 양자화 효과를 고려하여 수직 스케일링을 수행할 필요가 있다. InGaAs 채널층 두께 감소에 따라 그림 3에서 보인 유효 에너지 갭을 사용하여 시뮬레이션을 수행하였다.

3. 에피구조 최적화 설계 결과 분석

그림 1에서 보인 에피구조에 대하여 g_m 을 향상시켜 RF 주파수 특성을 개선시키기 위하여 게이트 구조 및 길이를 100 nm로 고정하고 수직 스케일링을 진행하였다. InAlAs 장벽층 두께 및 Spacer 두께, InGaAs 채널층 두께를 줄였다. 또한, InAlAs 장벽층의 표면 효과를 제거하기 위하여 InP 식각정지층(etch stopper)을 InGaAs 캡층 및 InAlAs 장벽층 사이에 삽입하였다. 새로이 제안된 에피구조를 그림 4에 보였다.

그림 1의 에피 구조를 갖는 Full-wide 100 nm-게이트 리세스 구조에서 시뮬레이션한 결과(도형 없는 굵은 실선)와 동일한 게이트 리세스 구조에서 InAlAs 장벽층 두

Cap	In _{0.53} Ga _{0.47} As	$1 \times 10^{19}/cm^2$	10nm
Etch Stopper	InP	$1 \times 10^{19}/cm^2$	6 nm
Barrier	In _{0.52} Al _{0.48} As	undoped	7 nm
		Top δ -doping	
Spacer	In _{0.52} Al _{0.48} As	undoped	3nm
Channel	In _{0.53} Ga _{0.47} As	undoped	10nm
Spacer	In _{0.52} Al _{0.48} As	undoped	3nm
		Bottom δ -doping	$1.0 \times 10^{12}/cm^2$
Buffer	In _{0.52} Al _{0.48} As	undoped	400nm
Metamorphic Buffer	In _x Al _{1-x} As ($x = 0 \sim 0.5$)	undoped	1000nm
S.I. GaAs substrate			

Fig. 4. Optimized Epitaxial structure.

께를 15 nm에서 10 nm로 줄이고, InGaAs 채널층 두께를 23 nm에서 7 nm로 줄여서 시뮬레이션한 결과(도형 있는 굵은 실선)를 그림 5에 비교할 수 있도록 측정 데이터(파선)와 동시에 나타내었다. InAlAs 15 nm+InGaAs 23 nm의 측정 데이터와 동일 에피구조에서의 시뮬레이션한 결과가 비교적 잘 일치함을 보여 주고 있다. 또한 InAlAs 10 nm + InGaAs 7 nm로 두께를 줄여 시뮬레이션 결과를 보면 InAlAs 15 nm + InGaAs 23 nm에 비해 동일 게이트 전압에 대해 전류가 감소하였고, g_m 이 향상되어 보다 작은 게이트 전압에서 펀치-오프됨을 보이고 있다.

이러한 전류 감소는 InGaAs 채널층 두께 d_G 감소에 따른 전류 감소(채널층 전류 통과 단면적 감소), InAlAs 장벽층 감소에 따른 게이트-채널간 거리 d_{GC} 감소에 따른 게이트 밑 채널층에서의 공핍 영역 증가에 따른 전류 감소, 또한 InAlAs 장벽층이 감소하면

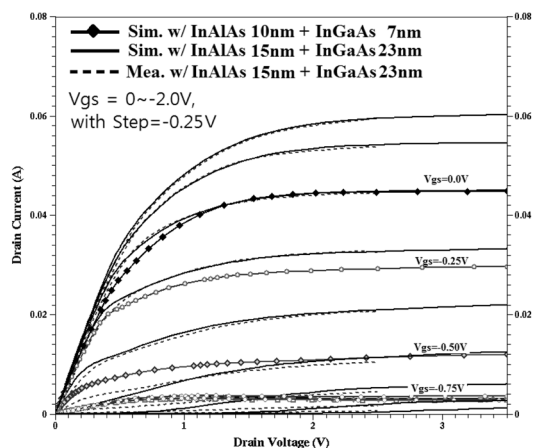


Fig. 5. Comparative simulations of the thickness reduction of InGaAs channel layer.

$\text{Si}_3\text{N}_4/\text{InAlAs}$ 계면과 그 계면 바로 아래 채널층간 거리가 감소하게 되어 InAlAs 장벽층 표면 결합에 기인한 표면 효과가 증가하게 됨으로써 게이트-소스 및 게이트-드레인 간 내부 저항이 증가하게 되어 전류가 감소되는 효과가 동시에 작용한 결과를 보여주고 있다[2-3]. 특히 게이트-드레인 측 InAlAs 장벽층 표면 효과는 게이트-드레인 간 내부 저항 증가와 함께 InAlAs 표면과 드레인 간에 증대된 전계 형성으로 인해 항복 특성 저하 현상을 야기하게 된다[3].

이러한 InAlAs 장벽층의 표면 효과에 의한 내부 저항 증가 및 항복 특성 개선을 위해서는 게이트-소스 및 게이트-드레인 측의 InAlAs 표면과 채널 간의 거리를 증가시켜 주어 표면 효과를 감소시켜 주는 것이 좋다. 반면 g_m 향상을 위해서는 게이트-채널층 간 거리 d_{GC} 를 줄여야 한다.

그림 6에서는 InGaAs 채널층 두께를 10nm로 고정하고 InAlAs 장벽층을 10 nm와 7 nm로 변화시켜 게이트와 채널간 거리를 변화시켰을 때의 결과이다. 그림 5에서 상술한 바와 같이 InAlAs 장벽층이 10 nm에서 7 nm로 변화시키면 전류 감소가 크게 나타나고 g_m 특성도 개선됨을 보여 주고 있다. 모든 시뮬레이션에서 게이트 싱크(sink) 길이를 4 nm로 하였으므로 실질적인 d_{GC} 는 6 nm가 된다. d_{GC} 를 너무 줄이면 게이트 터널링 전류가 증가하게 되어 항복 특성이 나빠질 수 있으므로 개선된 에피구조에서는 InAlAs 장벽층 두께를 7 nm로 설정하였다[2].

그림 7에서는 InGaAs 채널층 두께 10 nm에서 나타나는 양자화 효과를 고려하였을 때와 고려하지 않았을 때의 비교 결과를 나타내었다. InGaAs 채널층 두께가 감소하게 되면 그림 3에서 보인 바와 같이 유효 에너지

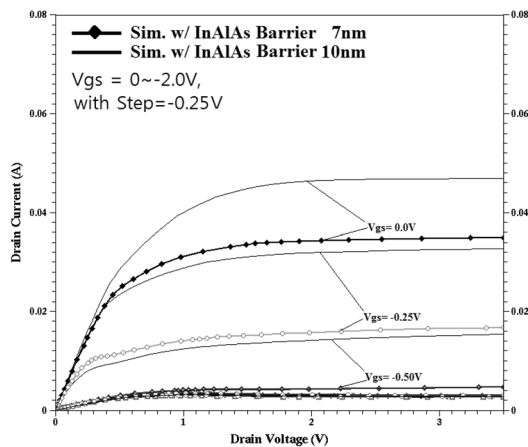


Fig. 6. Comparative simulations of the d_{GC} reduction.

지 갭의 증가로 인해 ΔE_c 가 감소하게 되고, 채널 이동도 또한 감소하게 되어 전류가 감소하게 되는 양자화 효과를 잘 보여 주고 있다.

양자화 효과를 고려한 시뮬레이션을 수행하기 위하여 InGaAs 채널층 10 nm 두께에서 유효 에너지 갭이 0.75 eV에서 0.038 eV 증가한 0.788 eV가 되므로는 0.525 eV에서 0.019 eV 감소한 0.506 eV로 설정하여 시뮬레이션 ΔE_c 하였다. 또한, InGaAs 채널층의 전자 이동도는 9000으로, 정공 이동도는 300으로 감소시켰다[5].

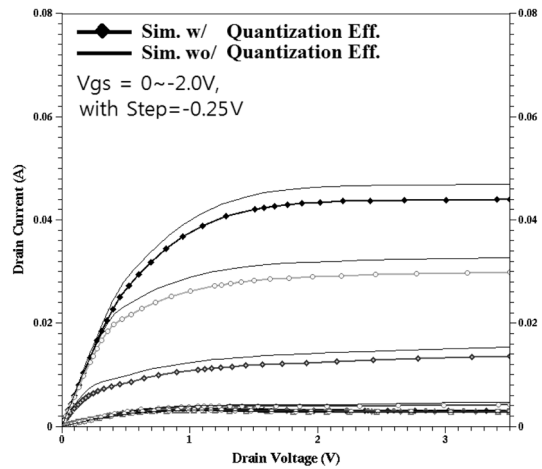


Fig. 7. Quantization effect due to the thickness reduction of InGaAs channel layer.

그림 8에서는 InGaAs 캡층과 InAlAs 장벽층 사이에 6nm의 InP 식각정지층을 삽입하였을 때의 비교 결과를 보였다. 위 그림 5의 설명에서 언급하였던 소스 및 드레인 측의 표면 및 채널 간 거리를 증가시켜 표면 효과를 줄이고 드레인-소스 간의 InGaAs 캡층을 모두 식각해 제거해낸 구조이다. InP 식각정지층만으로 이루어진 Full-Narrow 게이트 리세스 구조가 됨으로 InAlAs 장벽층과 InGaAs 채널층 간 거리를 증가시켜 표면 효과를 감소시킨 구조가 된다. 이러한 InP 식각정지층 삽입으로 인해 표면 효과 감소로 인해 전류가 증가함을 보여 주고 있다. 물론 InP 층 삽입에 따라 InGaAs 캡층 바로 아래에서의 오믹 접촉 저항은 증가하겠지만 이보다는 InAlAs 장벽층 표면 효과 감소에 기인한 내부 저항 감소 효과가 더 크게 나타나게 되어 전류가 증가했다고 해석할 수 있다.

결론적으로 그림 5에서 상술한 InAlAs 장벽층 표면 효과를 감소시키기 위하여 InGaAs 캡층과 InAlAs 장벽층 사이에 6 nm InP 식각정지층을 삽입하였고, 4 nm의 게이트 싱크 길이를 고려하였을 때 실질적인 게

트-채널층 간 거리를 6 nm로 유지하기 위하여 InAlAs 장벽층 두께를 7 nm로 설정하였다. 보다 향상된 g_m 및 항복 특성을 얻기 위하여 InGaAs 채널층 두께를 10 nm로 줄였다. 각각 10 nm인 InGaAs 캡층 및 채널층에서만 양자화 효과를 고려하였다. 채널층 두께 감소 및 양자화 효과로 인한 전류 감소를 상쇄시키기 위해 게이트 풋 아래 부분만 식각한 구조를 고려한 Full-narrow 게이트 리세스 구조를 고려하였다. 게이트 아래의 InGaAs 캡층/InP 식각정지층은 게이트 풋 만큼만 식각하여 모두 제거된 구조가 된다.

본 논문에서는 기존 그림 1의 Full-narrow 게이트 리세스 구조와 유사한 항복 특성을 유지하는 한에서 전력 소자로 쓰기 위해 수치 스케일링을 통해 향상된 주파수 특성을 얻은 그림 7의 결과에 비해 전류 레벨을 증가시켜 DC/RF 특성을 동시에 개선하였다. 이러한 결과를 그림 9에 나타내었다. 전류를 증가시키기 위해 채널층의 Top 델타도핑을 $4.5 \times 10^{12}/\text{cm}^2$ 에서 $5.0 \times 10^{12}/\text{cm}^2$ 으로 증가시켰다.

또한, InP 식각정지층 삽입으로 인해 옴릭 특성이 나

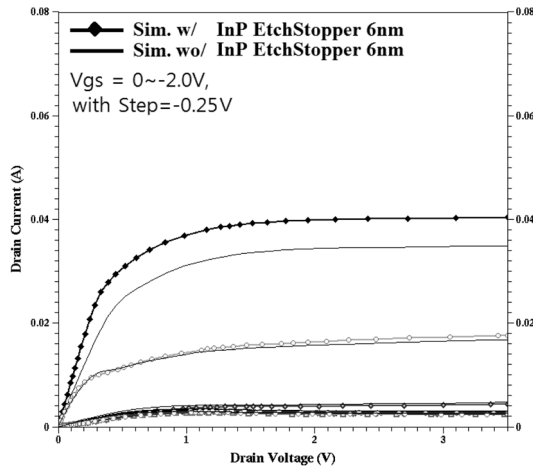


Fig. 8. Comparative results with and without 6nm InP etch stopper.

쁜 경우를 가정하여 30 nm 정도 AuGe 확산 깊이를 줄였고, 이러한 경우의 옴릭 접촉 저항 개선을 위하여 InGaAs 캡층 뿐만 아니라 InP 식각정지층 모두를 $1.0 \times 10^{19}/\text{cm}^3$ 으로 도핑하였다. 그림 1의 에피구조를 토대로 새로이 제안된 그림 4의 최적화 에피 구조에 대해 시뮬레이션을 수행하여 얻은 DC/RF 특성 결과를 표 3에 정리 비교하여 나타내었다. 에피구조 최적화 설계를 통해 차단 주파수는 222.5 GHz, 최대 공진 주파수 849.6 GHz로 향상된 결과를 얻었음을 확인하였다.

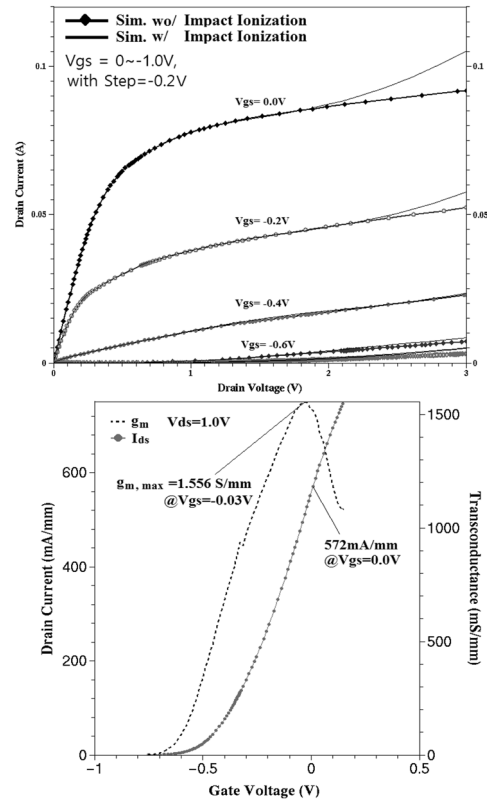


Fig. 9. Simulation results with the optimized epitaxial structure as shown in Fig. 4.

Table 3. DC/RF characteristics of the newly optimized epitaxial structure as shown in Fig. 4.

Full-Narrow (SD-2 μm)	Previous Epi.	New Epi.
I_{dss} @ $V_g = 0.0$, $V_d = 2.5$ V [mA]	117.5	89.2
$g_{m,max}$ @ $V_d = 1.0$ V [mS/mm]	661.6 @ $V_g = -0.62$ V	1556.0 @ $V_g = -0.03$ V
$f_{T,max}$ @ $ h_{21} /20\text{dB}$ [GHz]	140.30 @ $V_g = -0.77$, $V_d = 1.0$ V	222.5 @ $V_g = -0.03$, $V_d = 1.0$ V
$f_{r,max}$ @ MUG = 1 GHz]	353.3 @ $V_g = -0.86$, $V_d = 1.0$ V	849.6 @ $V_g = -0.37$, $V_d = 1.0$ V
BV_{on} [V]	≥ 2.0	≥ 2.0
BV_{off} [V]	≥ 3.0	≥ 3.0

4. 결 론

RF 주파수 특성을 개선시키기 위하여 게이트길이를 100 nm로 고정하고 InAlAs 장벽층 및 InGaAs 채널층 감소에 따른 수직 스케일링 및 그에 따른 표면 효과 개선을 위해 InP 식각정지층 삽입을 통해 에피구조를 최적화 설계하였다. InGaAs 채널층 두께에 따른 에너지 갭 양자화 효과 및 InP 식각정지층 삽입에 의한 표면 효과가 개선됨을 보였다. 제안된 에피구조에서는 g_m 향상으로 인해 항복 특성은 그대로 유지하면서 차단 주파수는 222.5 GHz, 최대 공진 주파수 849.6 GHz로 향상된 결과를 얻었음을 확인할 수 있었다.

g_m 향상과 더불어 C_{gd} 를 줄이기 위해 게이트 풋 부분의 길이를 줄이는 게이트 스케일링을 구현한다면 보다 향상된 RF 주파수 특성을 얻을 수 있으리라 기대된다. 향후에는 50 nm 이하의 게이트 수평 스케일링 연구를 진행하고, 더블-리세스 구조를 고려한 연구를 진행할 예정이다.

참고문헌

1. 김성찬, 안단, 임병옥, 백태종, 신동훈, 이진구, "70 nm MHEMT와 DAML기술을 이용한 94GHz 단일 평형 혼합기", 대한전자공학회 논문지, 제43권 SD편, 제4호, pp.254-261, 2006년 4월.
2. Seong-Jin Yeon, Myunghwan Park, JeHyunk Choi, and Kwangseok Seo, "610 GHz InAlAs/In0.75GaAs Metamorphic HEMT with an Ultra-Short 15-nm-Gate," Proc. of IEDM 2007, pp.613-616, 2007.
3. 손명식, "MHEMT 소자의 DC/RF 특성에 대한 시뮬레이션 연구", 한국진공학회지, 제 20권, 5호, pp.345-355, 2011년 9월.
4. ISE-DESSIS manual, pp. 12-288, Ver. 9.5
5. Gaudenzio Meneghesso, Andrea Neviani, Rene Oesterholt, Mehran Matloubian, Takyiu Liu, Julia J. Brown, Claudio Canali, "On-state and Off-state Breakdown in GaInAs/InP Composite-Channel HEMT's with Variable GaInAs Channel Thickness," IEEE Trans. On Electron Devices, vol. 46, no. 1, pp.2-9, Jan. 1999.

접수일: 2011년 11월 15일, 1차심사일: 2011년 11월 29일,
2차심사일: 2011년 12월 9일, 게재확정일: 2011년 12월 15일