

저전력 비휘발성 메모리 STT-MRAM의 연구동향

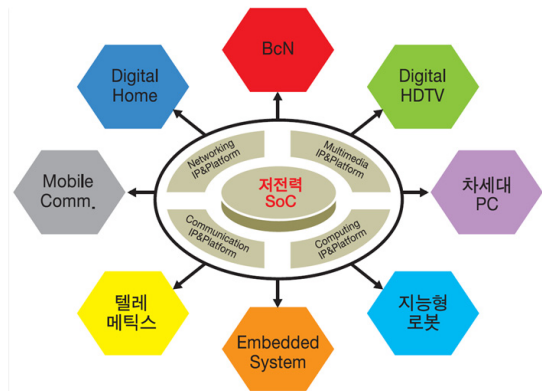
정성욱 (연세대학교)

I. 저전력 기술의 중요성

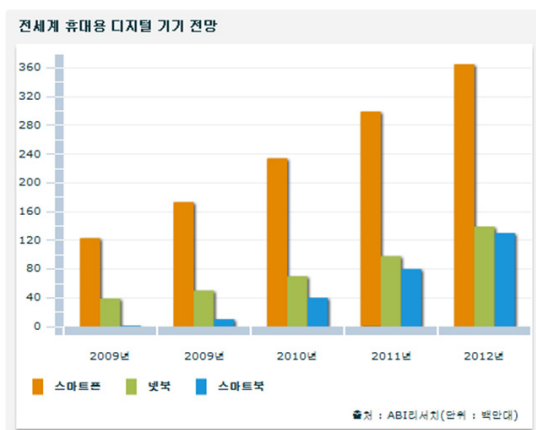
유비쿼터스 기술의 발전에 따라 배터리로 구동되는 스마트폰, 태블릿과 같은 모바일 IT 기기의 사용이 증가하고, 모바일 IT 기기의 고성능화가 급속도로 진행되고 있다. <그림 1>에서는 모바일 디지털 기기중 비중이 가장 큰 3가지 품목의 전세계 사용량 추이를 보여준다. 이러한 모바일 기기 경쟁력의 핵심은 배터리이다. 1990년대에 사용된 리튬이온 전지는 기존 전지에 비해 에너지 밀도가 2배로 크지만 그 이후 발전 속도가 정체되고 있고, 현재 리튬을 대신할 물질은 찾지 못하였다.

한편, 지속적인 산업성장과 경쟁력 제고를 위하여 IT와 기존의 전통적 산업을 적극적으로 융합해야 할 필요성에 대한 인식이 광범위하게 확산되고 있다. IT융합기술은 여러 가지 기능을 동시에 수행함은 물론 모든 산업분야에 적용될 수 있으므로 고성능 집적화에 따른 저전력 기술이 수반되어야 한다. '뉴 IT산업 3대 전략분야' 내에는 '전 산업과 융합하는 IT 산업(Convergence IT) 포함 되어 있다. 또한, 2007년 지식경

제부에서 가전 및 IT 제품의 에너지 효율을 2012년까지 2007년 대비 최고 20%까지 제고하겠다는 정책 목표를 제시하였다.^[1] 이와 같은 이유로 저전력 SoC는 대기전력 절감을 위한 가전기기와 지능형 로봇 등 전 산업분야에서 널리 필요로 한다(그림 2).



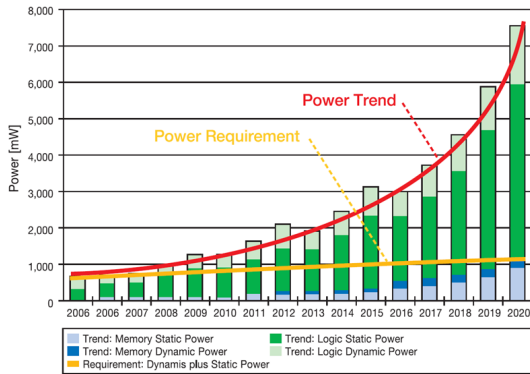
<그림 2> 저전력 Soc의 활용^[3]



<그림 1> 휴대용 디지털 기기 전망^[2]

II. 저전력 비휘발성 메모리의 중요성

고성능화 되는 IT기술의 발전에 따라 요구되는 전력이 커짐에 따라 근본적으로 이를 줄일 수 있는 저전력 시스템을 통한 소모전력 효율성의 개선이 요구 되고 있다. <그림 3>에서 보듯이 메모리의 대기전력(static power)이 전체 소모 전력에서 큰 비중을 차지하고 꾸준히 증가하는 것을 알 수 있다. 비휘발성 시스템 구조를 모바일 프로세서에 적용할 경우 외부의 전원 없이 데이터를 보존 할 수 있게 되어 대기전력을 소비하지 않게 되고(그림 4) 비휘발성 시스템 구조의 경우 부팅

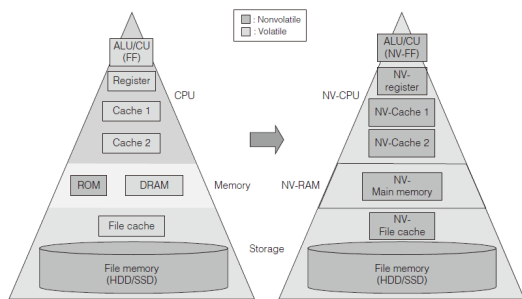


〈그림 3〉 Power Density Trend VS Power Design Requirement^[3]

시간이 단축되어 성능향상을 기대할 수 있다는 장점이 있다.

또한, 대기모드에서 로직에서 소모되는 전력의 대부분은 플립플롭에서 데이터를 유지하기 위한 대기전력과 부가적인 회로에서 소모된다. 하지만 spintronics logic 기술을 사용한 비휘발성 플립플롭은 대기 전력 소모를 줄일 수 있고, 부가적인 회로 구성이 필요 없으므로 고집적화, 고성능의 로직회로를 구현할 수 있다.^[4] 현재 미국, 일본 등을 중심으로 MTJ를 기반으로 하는 spintronics logic 연구가 활발하게 진행되고 있지만 국내에서는 아직 미흡한 단계에 있다.

현재 상용화 된 시스템 메모리인 SRAM과 DRAM은 모두 Data를 유지하기 위한 대기전력이 필요하다. 뿐만 아니라 대표적으로 사용되는 메모리들 중 SRAM의 경우 면적이 크고, DRAM의 경우 전력을 많이 소비하고, Flash memory의 경우 상대적으로 속도가 느리다는 단점이 존재한다. 하지만 차세대 비휘발성 메모리인 STT-MRAM의 경우 이러한 단점들을 모두 보완 할 수 있다(그림 5). 우리나라는 전 세계 메모리 시장 점유율 50%이상을 상회하고 있으나 핵심 소자구조 등 원천기술은 해외에 의존하고 있다. 2015년 STT-MRAM 시장은 530억 달러에 이를 것으로 전망되며 이에 대비한 차세대 메모리 반도체 기술개발이 시급하다(그림 6). 특히 앞에서 언급한 비휘발성 시스템 구조를 구현하기 위해서는 SRAM을 대체하기 위한 초고속 STT-MRAM에 대한 연구와 DRAM을 대체하기 위한 고집적 STT-MRAM에 대한 연구가 필요하다.



〈그림 4〉 비휘발성 컴퓨팅 구조^[4]

	VOLATILE		NONVOLATILE		EMERGING NONVOLATILE	
Type	SRAM	DRAM	Flash-NOR	MRAM	PCRAM	FRAM
Cell components*	6T	1T1C	1T-2T	1T1MTJ	1T1R	1T1C
Cell	Latch	Stack/b trench capacitor	Floating gate/charge trap	Magnetoresistive	Phase change	Ferroelectric
Minimum cell size (F= feature size)	24F ²	6-8F ²	8-12F ²	6-10F ²	6-10F ²	6-10F ²
Incremental masks	0	4-6	6-8	3-4	3-4	3-4
Read/write speed	1 ns/1 ns	5 ns/5 ns	100 ns/5 ms	10 ns/10 ns	20 ns/50 ns	10 ns/10 ns
Endurance (cycles)	Infinite	Infinite	10 ³ to 10 ⁵	>10 ⁸	>10 ⁸	>10 ⁸
Application	Cache	Main memory	Storage	Storage	Storage	Storage

*T = transistor; C = capacitor; MTJ = magnetic tunneling junction; R = resistance/phase-change element.

〈그림 5〉 메모리 종류에 따른 특징^[5]



〈그림 6〉 STT-MRAM 세계 시장 전망^[6]

Ⅲ. 저전력 비휘발성 메모리연구 동향 및 문제점

1. 비휘발성 플립플롭 연구현황 및 기존연구의 문제점

가. A. Cross-coupled inverter 구조^[7~10]

지금까지 발표된 비휘발성 플립플롭의 대부분은 cross-coupled inverter 구조를 가지고 있다. Cross-coupled inverter 구조의 비휘발성 플립플롭은 일반적으로 사용되는 cross-coupled inverter 구조를 갖는 CMOS 기반의 휘발성 플립플롭에서 inverter 상단 혹은 하단에 MTJ가 삽입되는 구조이다. 동작 모드에서는 CMOS 기반의 휘발성 플립플롭과 같은 원리로 동작 한다. 따라서 동작 모드에서는 cross-coupled inverter 내의 존재하는 MTJ는 사용되지 않지만 MTJ의 저항 값 때문에 CMOS 기반의 휘발성 플립플롭과 비교하여 C-Q delay가 느린 단점이 있다. 대기 모드로 진입하기 전에 플립플롭의 데이터를 MTJ에 저장하기 위한 추가적인 write 회로가 요구된다. 따라서 CMOS 기반의 휘발성 플립플롭과 비교하여 집적도가 떨어진다. MTJ를 이용한 비휘발성 플립플롭은 magnetic field로 write하는 MRAM에 사용되는 MTJ를 사용하여 구현한 경우와 전류로 write하는 STT-MRAM에서 사용되는 MTJ를 사용하여 구현한 경우로 구분된다. 하지만 magnetic field로 write하는 방식은 공정이 미세화 됨에 따라 요구되는 write current가 증가하므로 초미세 공정에서는 STT 방식의 MTJ를 사용해야 한다. 대기 모드

에서 동작 모드로 전환 시 MTJ의 저장된 데이터를 sensing 하는 동작이 필요한데, 여러 논문에서 각기 다른 방식의 sensing 방법을 제안하고 있다. STT-MRAM에서 사용되는 MTJ를 사용한 경우에는 큰 sensing 전류가 데이터를 잃게 하므로 sensing 전류가 작은 sensing 방법이 요구된다.

나. Sensing circuit 구조^[11]

North China 대학교 소속의 Jiang이 2009년에 ICASID에서 발표한 것으로 cross-coupled inverter 방식과 비교하여 뚜렷한 장점이 없지만 유일하게 cross-coupled inverter 방식이 아닌 비휘발성 플립플롭이다. 동작 모드에서 클럭의 rising edge에서 입력 D에 따라 MTJ의 state를 바꿔주는 방식이기 때문에 대기모드로 진입할 때 추가적인 동작이 필요 없다. Flip-flip의 출력 Q는 sensing 회로를 이용하여 MTJ의 state를 출력한다. 즉, 입력 D로부터 출력 Q가 출력되는 과정에서 MTJ의 write 동작과 read 동작이 모두 포함되므로 cross-coupled inverter 방식과 비교하여 동작속도가 느리고 전력 소모가 크다는 단점이 있다.

〈표 1〉 비휘발성 플립플롭의 기존 연구

	저널명/학회명	소속	MTJ type	공정	플립플롭 원리
[7]	JSSC 2009	NEC	Conv.	150nm	Cross-coupled inverter 구조
[8]	ICSICT 2006	University of Paris & STMicro electronics	STT	90nm	Cross-coupled inverter 구조
[9]	EL 2010	University of Paris & STMicro electronics	STT	130nm	Cross-coupled inverter 구조
[10]	TMAG 2006	University of Idaho	Conv.	250nm	Cross-coupled inverter 구조
[11]	ICASID 2009	North China University	Conv.	500nm	Sensing circuit type 구조

2. 비휘발성 content-addressable memory (CAM) 연구현황 및 기존연구의 문제점

가. NOR-type CAM 구조^[12]

미국 Rensselaer Polytechnic Institute와 Seagate가 공동 연구를 통해 2008년에 IEEE ISCAS에서 발표하고 2009년에 IEEE TVLSI에 실린 논문에서 발표된 구조이다. Mismatch인

CAM cell이 precharge된 match line을 discharge하는 NOR-type CAM 구조이다. CMOS 기반의 CAM cell 구조에서는 SRAM cell 방식이 사용되지만 이 구조에서는 2개의 MTJ에 데이터가 저장 된다. 따라서 CAM cell의 저장된 데이터는 전원을 제거해도 유지할 수 있다. CMOS 기반의 CAM cell 구조에서 사용되는 SRAM cell의 출력은 VDD와 GND 값을 갖기 때문에 discharge 트랜지스터를 완벽히 끄거나 켤 수 있다. 반면 이 구조에서는 직렬로 연결된 2개의 MTJ의 저항차이로 인한 전압을 discharge 트랜지스터의 게이트 전압으로 사용하는데 이 전압은 High일 때 VDD보다 작고 Low일 때 GND보다 크기 때문에 discharge 트랜지스터를 완벽히 끄거나 켜는 것이 어렵다. 따라서 이 구조는 precharge된 match line의 전압을 유지하는 것이 어렵고 match line에 연결된 CAM cell의 수가 증가할수록 이 문제는 더 부각되므로 작은 전압 변화로 트랜지스터를 끄거나 켜기 위한 연구가 요구된다.

나. Current-comparison type CAM 구조^[13]

MRAM 분야의 많은 연구 업적을 가지고 있는 일본 Tohoku 대학교와 Hitachi가 공동 연구를 통해 2009년에 Applied Physics Express 2에 실린 논문에서 발표된 구조이다. CMOS 기반의 CAM 구조와 다른 새로운 구조로서 CAM cell은 2개의 MTJ와 2개의 트랜지스터로 구성 되어 있다. CAM cell은 match일 때 낮은 저항 값을 갖고 mismatch일 때 높은 저항 값을 갖고 있다. Match line에 다수의 CAM cell이 연결되고 match line에서 다수의 CAM cell로 흐르는 전류를 reference 값과 비교하여 match인지 mismatch인지 판단한다. 하나의 CAM cell이 mismatch인 경우와 모든 CAM cell이 match인 경우는 전류차이가 매우 작기 때문에 전류 비교 회로의 설계가 매우 어렵고 PVT variation에 취약하다. 특히 미세화 공정에서는 PVT variation에 의한 효과가 두드러지기 때문에 이것을 극복하기 위한 연구가 요구된다.

3. High speed STT-MRAM 연구현황 및 기존연구의 문제

가. 1-Mbit embedded MRAM by NEC^[15]

일본의 NEC社에서는 SRAM을 대체하기 위한 MRAM을 개발하기 위해 지속적으로 high speed MRAM에 대한 연구를 진행하였고, 그 연구 결과를 2007년 ASSCC에서 1-Mbit embedded MRAM을 주제로 논문을 발표 했다. 이 논문에서는 동작 속도를 증가시키기 위해 메모리 아키텍처를 개선하였는데, 비트라인을 계층적으로 구성하고 DRAM에서 사용되던 folded 비트라인 구조를 사용하여 비트라인 커패시턴스와

저항을 감소시켰다. 또한 sensing 회로의 부스트 트랜지스터를 사용하여 sensing 시간을 단축시켜 동작속도를 증가시켰지만, 기존의 집적도를 유지하고 위해 기존의 cell 구조를 사용하였기 때문에 SRAM와 비슷한 동작속도는 얻지 못했다. 하지만 기존의 MRAM과 비교하여 250MHz의 빠른 동작속도를 얻었다. 이 논문에서는 magnetic field로 write하는 MTJ를 사용하여 구현하였지만 제안된 방법들을 STT-MRAM에 그대로 적용하는 것이 가능하다.

나. 5T2MTJ cell 구조^[16]

이 논문 또한 NEC에서 2007년 IEEE JSSC에서 발표된 것으로, 동작 속도를 극대화시키기 위해 직접도가 감소함에도 불구하고 5 트랜지스터와 2 MTJ로 구성된 큰 cell을 사용하였다. 이 cell 구조는 500MHz의 동작속도로 테스트되었고 GHz 수준의 빠른 동작속도가 가능하다고 발표되었는데, 이 논문의 구조는 magnetic field로 write하는 MRAM에 맞도록 설계되어 있기 때문에 STT-MRAM에 적용시키기 위해 write 구조에 대한 연구가 추가적으로 요구된다.

〈표 3〉 Cell 구조와 메모리 아키텍처를 개선하여 high speed를 얻은 기존연구

	저널명/학회명	소속	Cell 구조	동작 속도	구현 방법
[14]	VLSI-TSA 2007	ITRI	1T2 MTJ	100 MHz	Four state sense amp.를 이용하여 2bit 씩 sensing 함
[15]	ASSCC 2007	NEC	2T1 MTJ	250 MHz	계층적 메모리아키텍처를 구성하여 기생성분 감소 sensing 회로를 개선하여 동작속도 증가
[16]	JSSC 2007	NEC	5T2 MTJ	500 MHz	Cell 면적을 증가시켜 동작속도 증가 계층적 메모리 아키텍처를 구성하여 기생성분 감소

4. High density STT-MRAM 연구현황 및 기존연구의 문제점

가. 9T8MTJ cell 구조^[17]

일반적으로 많이 사용되는 2T1MTJ 구조에서 하나의 트랜지스터는 write 전류를 증가시키기 위해 사용 되는데, 9T8MTJ는 write 전류를 증가시키기 위한 트랜지스터를 인접한 MTJ가 공유하는 방식으로 2T1MTJ 구조에 비해 메모리 면적을 30% 감소시킬 수 있다. 0.15um CMOS 공정과 0.24um MRAM 공정을 사용하여 설계되었기 때문에 면적 효율을 증가시켰음에도 집적도의 한계가 있고, 이 논문의 구조는 magnetic field로 write하는 MRAM에 맞도록 설계되어 있기

때문에 STT-MRAM에 적용시키기 위해 write 구조에 대한 연구가 추가적으로 요구된다.

나. 1T4ToggleMTJ cell 구조^[18]

1T4ToggleMTJ cell 구조를 사용하여 메모리 면적을 35.7% 감소시켰다. Toggle MTJ이기 때문에 write 동작을 하기 전에 cell에 저장된 데이터를 read 해야 한다. 이 논문의 구조는 magnetic field로 write하는 MRAM에 맞도록 설계되어 있기 때문에 STT-MRAM에 적용시키기 위해 write 구조에 대한 연구가 추가적으로 요구된다.

〈표 4〉 Cell 구조를 개선하여 high density를 얻은 기존연구

	저널명/학회명	소속	Cell 구조	구현 방법
[17]	ASSCC 2007	NEC	9T8 MTJ	write selection 트랜지스터를 공유하여 면적 감소
[18]	NVSMW 2007	Renesas	1T4 MTJ	1 cell에 4개의 MTJ를 사용하여 4bit를 저장

IV. 결론

비휘발성 시스템 구조는 대기전력을 없애고 부팅시간을 단축할 수 있어 모바일 프로세서에서 소비전력의 감소와 더불어 사용자의 편리성을 더할 수 있을 것으로 예상된다. 하지만 비휘발성 시스템을 구현하기 위해 요구되는 구성요소에 대한 연구는 아직 미비한 상황이다. 본문에서 설명한 것과 같이, 기존의 연구들은 대부분 미세화에 적합하지 않은 magnetic field로 write하는 방식의 MTJ를 사용하고 경쟁력을 갖기 어려운 큰 공정에서 구현되었다. 따라서 미세공정에 적합한 STT 방식의 MTJ를 사용하여 미세공정에 구현하기 위한 연구가 요구된다.

MTJ를 이용한 비휘발성 시스템은 향후 반도체산업의 핵심 기술이 될 것으로 예상되고 있으나 대부분의 원천기술에서 미국과 일본이 앞서있다. 향후에는 비휘발성 시스템 구조에 대한 원천기술 확보할 수 있고 다양한 산업분야에 적용시킬 수 있는 STT-MRAM과 spintronics logic 기술 확보가 시급할 것으로 보인다. 비휘발성 시스템 구조를 고려하지 않더라도 이에 대한 연구는 차세대 메모리 시장에서의 원천기술 확보로 이어질 수 있다. 2015년 STT-MRAM 시장은 530억 달러에 이를 것으로 예상되며 우리나라는 이 가운데 45%를 차지한다는 목표를 세우고 있다. 그렇기 때문에 원천기술을 확보하면 차세대 메모리 시장의 우위를 점할 수 있을 것으로 기대 된다.

참고문헌

- [1] IT 융합기술 R&D 동향과 전망, 한국경영학회 2009
- [2] 전세계 휴대용 디지털 기기 전망, ABI Research 2010
- [3] 전자부품연구원(KETI)선정, 이것이 2010년 10대 유망 기술이다, KETI 2010
- [4] Scalable Spin-Transfer Torque RAM Technology for Normally-Off Computing, MDT 2010
- [5] Searchnig for the Dream Embedded Memory, JSSC 2009
- [6] STT-MRAM 세계 시장 전망, 아이서플라이 2009
- [7] Nonvolatile Magnetic Flip-Flop for Standby-power-free SoCs, JSSC 2009
- [8] Integration of Spin-RAM technology in FPGA circuits , ICSICT 2006
- [9] Low power, high reliability magnetic flip-flop, TMAG 2010
- [10] Magnetic Flip Flops for Space Applications, TMAG 2006
- [11] Design and Implementation of MTJ-based Register, ICASID 2009
- [12] Design of Spin-Torque Transfer Magnetoresistive RAM and CAM/TCAM with High Sensing and Search Speed, TVLSI 2008
- [13] Standby-Power-Free Compact Ternary Content-Addressable Memory, JAP 2009
- [14] A novel 1T2UMTJ toggle MRAM with high read write bandwidth interface, VLSI-TSA 2007
- [15] A 250-MHz 1-Mbit Embedded MRAM Macro using 2T1MTJ cell with bitline separation and half pitch shift architecture, ASSCC 2007
- [16] MRAM Cell Technology for Over 500-MHz SoC, JSSC 2007
- [17] A 4-Mb MRAM macro comprising shared write-selection transistor cells and using a leakage-replication read scheme, ASSCC 2007
- [18] A 1Mb High-Density Toggle-MRAM with Symmetrical ReadWrite Operations, NVSMW 2007



정 성 욱

1987년 2월 연세대학교 전자공학과 학사.
1989년 2월 연세대학교 전자공학과 석사.
2002년 5월 University of Illinois at Urbana-Champaign,
Dept. of Electrical Engineering, 공학박사.
2006년 9월 연세대학교, 전전자공학과.
2003년 11월-2006년 08월 Qualcomm Inc.
2001년 6월-2003년 11월 T-RAM Inc.
1989년 2월-2001년 04월 삼성전자, 반도체 사업본부.
(관심 분야) 저전력 회로 및 시스템, PVT 변화에 내성을
갖는 회로, 차세대 메모리 기술, Mixed mode 회로
및 시스템