논문 2011-48SD-1-5

온 칩 아이 오프닝 모니터링을 탑재한 10Gb/s 적응형 Decision Feedback Equalizer 설계

(Design of 10-Gb/s Adaptive Decision Feedback Equalizer with On-Chip Eye-Opening Monitoring)

성 창 경*, 임 진 수*, 최 우 영**

(Chang-Kyung Seong, Jinsoo Rhim, and Woo-Young Choi)

요 약

고속 전송 시스템에 대한 수요가 증가함에 따라 채널의 제한된 대역폭을 극복하기 위한 적응형 등화기가 수신기에 널리 사용되고 있다. 수신기 칩의 테스트 비용을 절감하기 위하여 칩 내부에서 데이터의 아이 열림 정도를 측정할 수 있는 온 칩 eye-opening monitoring (EOM) 기술이 사용될 수 있다. 본 논문에서는 EOM 기능을 탑재한 10Gb/s 적응형 2탭 look-ahead decision feedback equalizer (DFE)를 제안한다. 제안된 EOM 회로는 기존의 방식과 달리 look-ahead DFE의 등화 신호를 모니터링 할 수 있다. 수신 신호의 아이로부터 포스트 커서의 크기를 측정한 후, 등화 계수가 제안된 알고리즘에 의하여 계산된다. 제안된 회로는 90nm CMOS 공정에 설계되었으며 알고리즘과 함께 post-layout 시뮬레이션을 통하여 동작을 검증하였다. DFE 코어는 110X95μm^{2}의 면적을 가지고 1.2V의 전원에서 11mW를 소모한다.

Abstract

With the increasing demand for high-speed transmission systems, adaptive equalizers have been widely used in receivers to overcome the limited bandwidth of channels. In order to reduce the cost for testing high-speed receiver chips, on-chip eye-opening monitoring (EOM) technique which measures the eye-opening of data waveform inside the chip can be employed. In this paper, a 10-Gb/s adaptive 2-tap look-ahead decision feedback equalizer (DFE) with EOM function is proposed. The proposed EOM circuit can be applied to look-ahead DFEs while existing EOM techniques cannot. The magnitudes of the post-cursors are measured by monitoring the eye of received signal, and coefficients of DFE are calculated using them by proposed adaptation algorithm. The circuit designed in 90nm CMOS technology and the algorithm are verified with post-layout simulation. The DFE core occupies 110X95μm^2 and consumes 11mW in 1.2V supply voltage.

Keywords : Equalizer, decision feedback equalizer, adaptation, eye-opening monitoring

I. 서 론

고속 전송 시스템에 대한 수요가 증가함에 따라 채널의 대역폭 제한에 의하여 전송 송도가 제한되는 문제가 부각되고 있다. 이에 따라 제한된 대역폭을 보상해주기 위한 등화기가 사용되어 왔으며, 특히 다양한 채널 특성을 자동으로 최적 보상하기 위한 적응형 등화기에 대한 연구가 활발히 진행되고 있다.

* 학생회원, ** 정회원-교신저자, 연세대학교 전기전자공학과
(Department of Electrical and Electronic Engineering, Yonsei University)

※ 본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)의 일환으로 수행하였으며 [KI002145 , 차세대 광통신용 디지털 신호처리 기반 초고속 CMOS회로 설계 기술], IDEC의 설계 툴 지원을 받아 수행하였음.
접수일자: 2010년11월16일, 수정완료일: 2010년12월29일

등화기 구조 중 가장 널리 사용되는 것은 Continuous-Time (CT) 필터와 Decision Feedback Equalizer(DFE) 이다. 이 중 CT 필터는 구조가 간단하고 고속 동작에 유리한 장점으로 인하여 널리 사용되지만 고주파 잡음 증폭에 의한 성능 저하와 수동 소자의 사용으로 인한 불안정성 등의 단점이 있다[1~2]. 반면 DFE는 고주파 잡음을 증폭하지 않으므로 성능 면에서 장점을 가진다. 그러나 일반적인 구조의 DFE는 첫 번째 피드백 루프에서의 타이밍 마진 문제로 수 Gb/s 이상의 고속 전송 시스템에 사용되기 힘들다. 따라서 피드백 루프를 제거한 look-ahead 구조의 DFE가 수 Gb/s 이상의 고속 응용 분야에 사용되어 왔다[3~5].

한편 다양한 적응 기법들이 사용되고 있다. 이 중에서 on-chip eye-opening monitoring (EOM) 기법은 칩 내부에서 수신되는 신호의 eye diagram을 측정하여 수신 신호의 상태를 자체적으로 관찰하는 데에 사용 된다[6~7]. EOM의 활용함으로써 얻을 수 있는 가장 큰 장점은 테스트 비용의 절감이다. 제작된 칩을 자동적으로 테스트하여 pass/fail 결과를 출력함으로써 테스트 시간 및 노력을 경감할 수 있다. 자동 테스트 기능 외에도 EOM 기술은 샘플링 포인트 또는 등화기 계수 최적화 등에 활용하여 수신기의 상태를 최적화하는 데에도 응용될 수 있다[8~10].

본 논문에서는 10-Gb/s 급 2-tap look-ahead DFE를 설계하였으며, 이에 적용 가능한 EOM 기법을 제안 및 설계하였다. 또한 이를 활용한 DFE 적응 기법 알고리즘을 제안한다.

II. DFE 및 EOM 구조 제안

1. 심볼 간 간섭 계산

하나의 심볼이 채널을 통과하면 채널의 고주파 감쇄 특성에 의하여 심볼이 늘어지는 현상이 발생하고, 이는 다음 심볼에 간섭을 일으키는 ISI (Inter-Symbol Interference)로 작용한다. 채널을 linear time-invarient 시스템으로 가정하면 샘플링 포인트에서의 수신 신호 샘플 $\tilde{r}$은 다음과 같다.

$$\tilde{r} = \sum_{i=-a}^{b} d_{-i} c_i \tag{1}$$

단, d_i는 i번째 심볼의 크기이며, c_i는 i번째 임펄스 응답의 크기, a와 b는 각각 프리 및 포스트 커서의 개수이다. 편의상 전송 심볼이 0인 경우, 심볼의 크기를 -1로 하여 $d_i \in \{-1, 1\}$임을 가정한다. 본 논문에서는 2-tap DFE가 보상 가능한 2개의 포스트 커서가 존재하는 채널을 가정한다. 즉, 커서의 크기를 c_0, 두 포스트 커서의 크기를 차례로 c_1및 c_2라고 가정하면, $\tilde{r}$은 다음과 같이 간략화 된다.

$$\tilde{r} = c_0 d_0 + c_1 d_{-1} + c_2 d_{-2} \tag{2}$$

수식 (2)에서 $\tilde{r}$은 최근 3개 심볼의 조합에 의하여 결정되므로, 총 8가지의 경우의 수가 발생한다. $\tilde{r}_{D_{-2}D_{-1}D_0}$를 최근 세 비트 패턴이 D_{-2}, D_{-1}, D_0인 경우에 수신되는 샘플의 크기로 가정하자. 포스트 커서의 크기를 역으로 계산하기 위하여 이 중 적절히 3개의 방정식을 선택할 수 있다. 예를 들어,

$$\begin{aligned} \tilde{r}_{011} &= -c_2 + c_1 + c_0 \\ \tilde{r}_{101} &= +c_2 - c_1 + c_0 \\ \tilde{r}_{111} &= +c_2 + c_1 + c_0 \end{aligned} \tag{3}$$

와 같은 식들을 선택하였을 때, 두 포스트 커서의 크기는 각각 다음과 같이 구할 수 있다.

$$\begin{aligned} c_1 &= (\tilde{r}_{111} - \tilde{r}_{101})/2 \\ c_2 &= (\tilde{r}_{111} - \tilde{r}_{011})/2 \end{aligned} \tag{4}$$

2. 2-tap look-ahead DFE 구조

일반적인 구조에서 피드백 루프의 타이밍 문제를 완화하기 위하여 피드백 루프가 형성되지 않는 look-

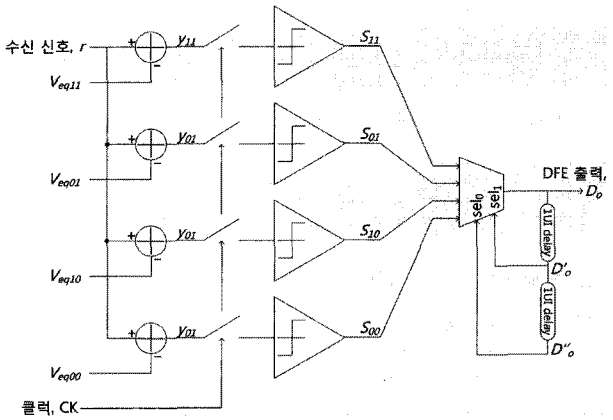


그림 1. Full-rate 클럭을 사용한 2-tap look-ahead DFE의 블록 다이어그램

Fig. 1. Block diagram of full-rate 2-tap look-ahead DFE.

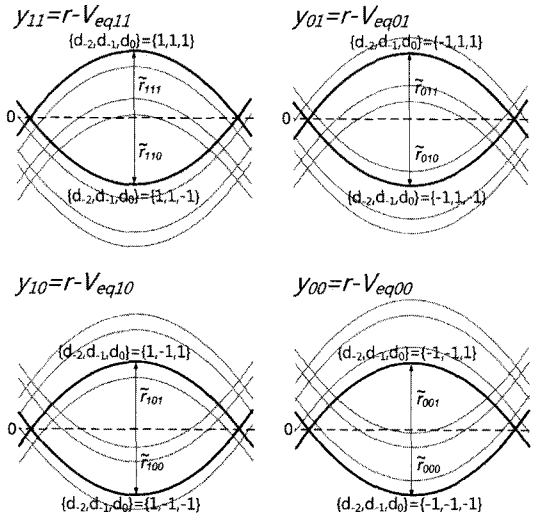


그림 2. 최적의 등화 계수를 가질 때 DFE의 후보 신호
Fig. 2. Candidate signals of DFE with optimal equalization coefficients.

ahead 구조를 채택한 경우가 널리 사용되어 왔다. 그림 1은 full-rate 클럭을 사용한 2-tap look-ahead DFE의 블록 다이어그램이다. 수신된 신호에서 각각 네 개의 등화 계수 V_{eq11}, V_{eq01}, V_{eq10}, V_{eq00}를 뺀 값은 각각 y_{11}, y_{01}, y_{10}, y_{00}으로 나타내어지며, 본 논문에서 이들은 후보 신호라 부르도록 한다. 이 신호들은 모두 클럭 CK에 의하여 샘플링 된 후, 각각 디지털 값인 S_{11}, S_{01}, S_{10}, S_{00}으로 decision된다. 이 네 개의 후보 중 이전 두 비트에 따라 하나의 데이터만 4:1 multiplexer(MUX)에 의하여 선택되어 최종 DFE 출력이 된다.

그림 2는 최적의 등화 계수가 정해졌을 때, 네 개의 후보 신호들을 간단하게 그림으로 나타낸 것이다. 그림에서 아이 다이어그램은 2개의 포스트 커서에 의하여 8개의 선으로 나타내어진다. 이 때, 각각의 노드에는 등화 계수에 의하여 이전 두 비트 패턴이 같은 각각의 신호가 zero-crossing을 가지게 된다. 예를 들어 y_{11} 노드에는 이전 두 비트가 모두 1이고, 현재 비트가 각각 1과 0인 두 신호가 0을 문턱 레벨로 가지게 된다. 따라서 DFE에 의하여 이전 두 비트가 모두 1이었음이 판명되면, 다른 노드들에서 이루어지는 과정과 달리 y_{11}에서 decision되는 과정이 최적의 bit-error rate(BER)를 보이는 것을 알 수 있다. 따라서 이미 결정된 이전 두 비트는 4:1 MUX로 되먹임 되어 네 개의 후보 데이터 중 y_{11}로부터 생성된 S_{11}을 최종 데이터로 선택한다. 다른 경우의 이전 두 비트 패턴이 나타났을 때에는 다른 후보 데이터 중 하나가 최종 데이터로 선택된다.

역으로, 네 개의 등화 계수들은 각각 이전 두 비트가 같은 두 신호들의 중간 값들을 가질 때 최적의 등화가 이루어지게 된다. 즉,

$$\begin{aligned} V_{eq11} &= (\tilde{r}_{111} - \tilde{r}_{110})/2 = c_2 + c_1 \\ V_{eq01} &= (\tilde{r}_{011} - \tilde{r}_{010})/2 = c_2 - c_1 \\ V_{eq10} &= (\tilde{r}_{101} - \tilde{r}_{100})/2 = -c_2 + c_1 \\ V_{eq00} &= (\tilde{r}_{001} - \tilde{r}_{000})/2 = -c_2 - c_1 \end{aligned} \quad (5)$$

와 같이 나타낼 수 있다. 따라서 적응 알고리즘에 의하여 우변에 나타나는 포스트 커서의 크기를 측정한다면 등화 계수를 계산해낼 수 있다.

3. Look-ahead EOM 기법

일반적인 구조의 DFE를 포함한 다른 등화 필터와 달리 look-ahead DFE 구조에서는 최종 등화된 파형이 하나의 노드에 존재하지 않는다. 따라서 일반적인 EOM 기법과 같이 한 노드에 나타나는 신호의 아이 다이어그램을 그리는 것으로 모니터링이 불가능하다.

그림 3은 제안된 EOM의 블록 다이어그램이다. 관찰되어야 할 4개의 후보 신호는 각각 EOM 전압 V_{EOM}과 비교되어 EOM 클럭 CK_{EOM}에 의하여 샘플링 및 비교된다. 그러나 이전 두 비트의 패턴에 따라 4개의 후보 신호 중 하나만 유효하다. 따라서 DFE에서 decision된 이전 두 비트 D'_o 및 D''_o가 EOM 회로에 반영되어 4:1 MUX에서 하나의 비교 값만 최종적으로 선택된다. 상기 과정은 look-ahead DFE에서 이루어지는 동작과 같으므로, 본 논문에서는 이러한 EOM의 동작을 look-ahead EOM이라 부르도록 한다.

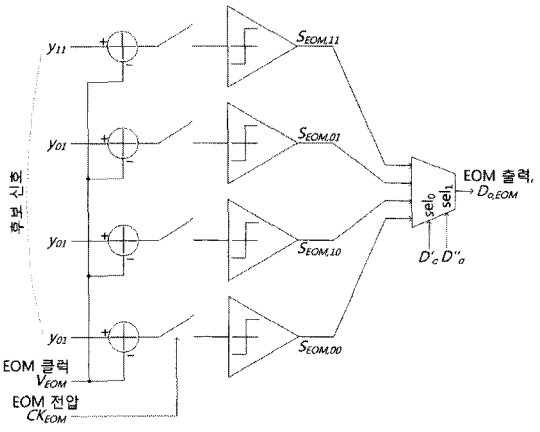


그림 3. Full-rate 2-tap look-ahead EOM의 블록 다이어그램
Fig. 3. Block diagram of full-rate 2-tap look-ahead EOM.

V_{EOM}과 CK_{EOM}을 각각 범위 내에서 스윕함으로써 1 unit interval (UI)에 대한 아이 다이어그램을 그릴 수 있다. 본 논문에서는 CK_{EOM}을 아이의 중앙에 정렬한 상태에서 V_{EOM}만을 스윕하여, 아이 중앙에서의 신호 분포만 측정하고 이를 이용하여 2-tap DFE를 채널에 적응 시키는 범위만 다루도록 한다.

4. 적응 알고리즘

그림 4는 앞서 설명한 EOM 회로로부터 출력된 비교값들을 이용하여 채널의 심볼 응답을 계산하고 더 나아가 DFE를 적응화하기 위하여 제안된 알고리즘의 순서도이다.

EOM의 레벨 범위를 -1에서 1 사이라고 가정하면, 초기화 과정에서 V_{EOM}을 최소값인 -1로 정하고, 리셋 과정에서는 모든 레지스터를 0으로 리셋한다. 최근 세 비트의 패턴에 따라 각각 다른 세 개의 레지스터 $n_{h,011}$, $n_{h,101}$, $n_{h,111}$에 $D_{o,EOM}$을 누적하는 과정이 모든 비트 패턴이 N_S번 나타날 때까지 반복된다. 누적된 값은 레지스터 H_{011}, H_{101}, H_{111}의 특정 위치에 각각 저장된다. 이러한 과정은 V_{EOM}이 최대값인 1이 될 때까지 V_{EOM}을 ΔV_{EOM}씩 증가시키며 반복된다. 전압값 스윕에 의하여 획득한 세 레지스터의 값은 각각 미분되어 실제 수신 신호 샘플의 분포를 나타낸다. 각각의 레지스터에서 최대값의 위치를 찾음으로써 $\tilde{r}_{011}$, $\tilde{r}_{101}$, $\tilde{r}_{111}$을 측정할 수 있다. 최종적으로 수식 (4)와 수식 (5)를 이용하여 등화기의 등화 계수를 계산하여 DFE를 적응화한다.

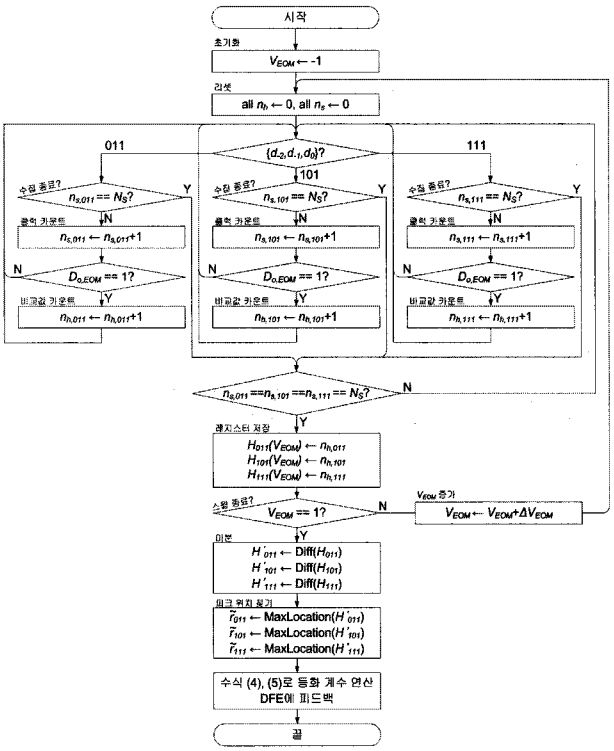


그림 4. EOM을 이용한 적응 알고리즘의 순서도
Fig. 4. Flow chart of adaptation algorithm with EOM.

III. 회로 설계

고속 DFE 구조에는 샘플링 및 decision에 활용되는 회로들의 속도 부담을 경감하기 위하여 look-ahead와 interleaving 방식이 결합된 방식이 널리 사용 된다.

본 논문에서는 그림 5와 같은 사분율 클럭을 사용한 2-tap look-ahead DFE 구조를 제안한다. 설계된 DFE 필터는 총 4개의 샘플러 모듈과 4개의 4:1 MUX로 구성된다. 하나의 샘플러 모듈은 그림 6과 같이 뺄셈기 역할을 수행하는 오프셋 증폭기와 5개의 track-and-hold (T/H), 5개의 클럭 센스 앰프, 그리고 5개의 D-flipflop (DFF)로 구성된다. 수식 (5)에서 보듯이 V_{eq11}과 V_{eq00}, 그리고 V_{eq01}과 V_{eq10}이 각각 서로 반대 부

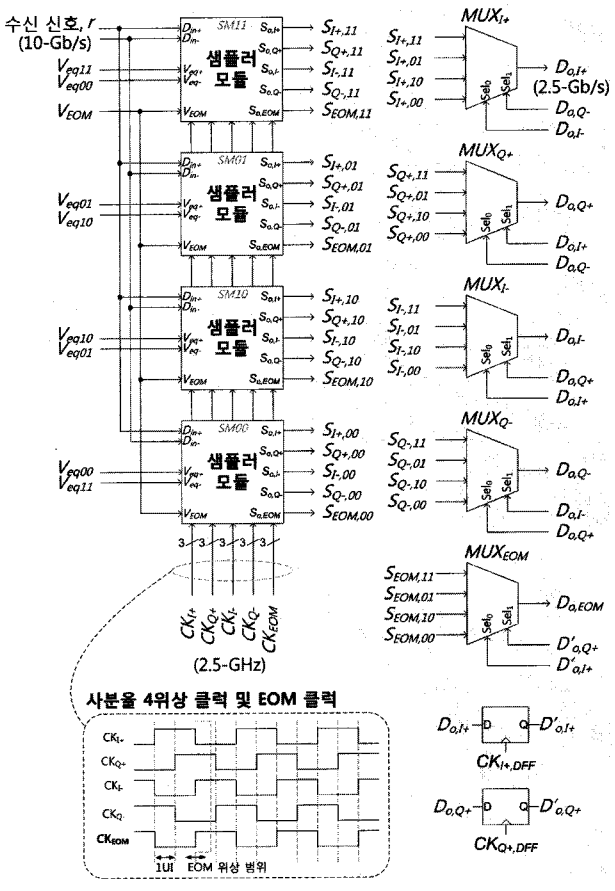


그림 5. 제안된 DFE 회로도
Fig. 5. Schematic of proposed DFE.

호를 가지고 있으므로 간단히 차동 등화 계수를 구성할 수 있다. 모듈 내부에서는 먼저 차동 10Gb/s 입력 데이터 D_{in}+/-에서 차동 등화 계수 V_{eq}+/-를 뺀 후에, 각각 90도 위상 간격을 가지는 4개의 2.5GHz 클럭을 이용하여 track 및 hold 동작을 수행하고, 다시 비교기에 의하여 비교된다. 결과적으로 하나의 탭 계수와 비교된 결과가 1/4의 속도로 interleaving 되어 decision된다. 총 4개의 샘플러 모듈에는 각각 다른 4 가지 구성의 차동 등화 계수가 적용되고, 총 16개의 데이터가 decision되어 출력되어 각각 4개씩 하나의 4:1 MUX로 입력된다. 하나의 MUX는 같은 위상에서 decision된 4개의 데이터를 입력 받아서 이 중 하나를 최종 결정한다. 이 과정에서 사용되는 이전 두 비트 패턴은 다른 위상에서 동작하는 다른 MUX의 출력에서 제공된다. EOM 기능을 위한 추가적인 하나의 샘플링 경로에서도 같은 동작이 이루어진다. 단 본 회로에서는 1UI의 아이 다이어그램을 그리는 경우를 가정하여, CK_{EOM}의 위상이 CK_{I-}의 위상을 기준으로 +/- 0.5UI 범위에서 변화 가능함을 고려하였다.

실제 회로 설계에서는 EOM의 대상 신호가 EOM 범위 내에 있도록 오프셋 증폭기와 EOM 범위를 결정하는 digital-to-analog converter (DAC)의 출력 신호 범위가 고려되어야 한다. 그림 7(a)와 (b)는 각각 DAC 및 replica bias의 회로도이다. DAC는 5 bit 해상도를 가지며 binary-weighted 코드에 의하여 선형적으로 증가하는 출력 전압을 내보낸다. Replica bias는 DAC의 최소

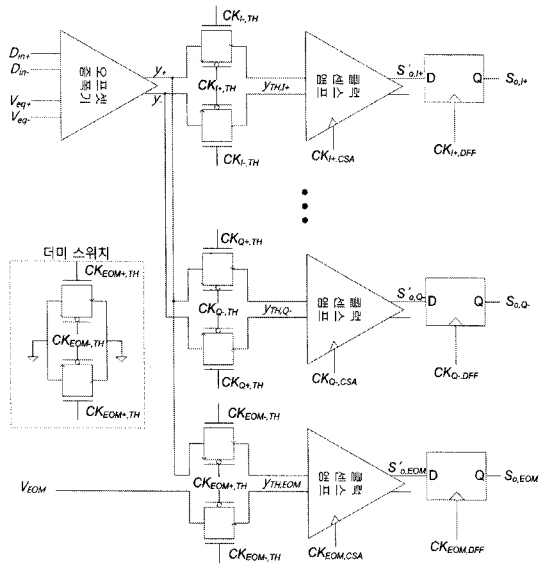


그림 6. 샘플러 모듈 회로도
Fig. 6. Schematic of sampler module.

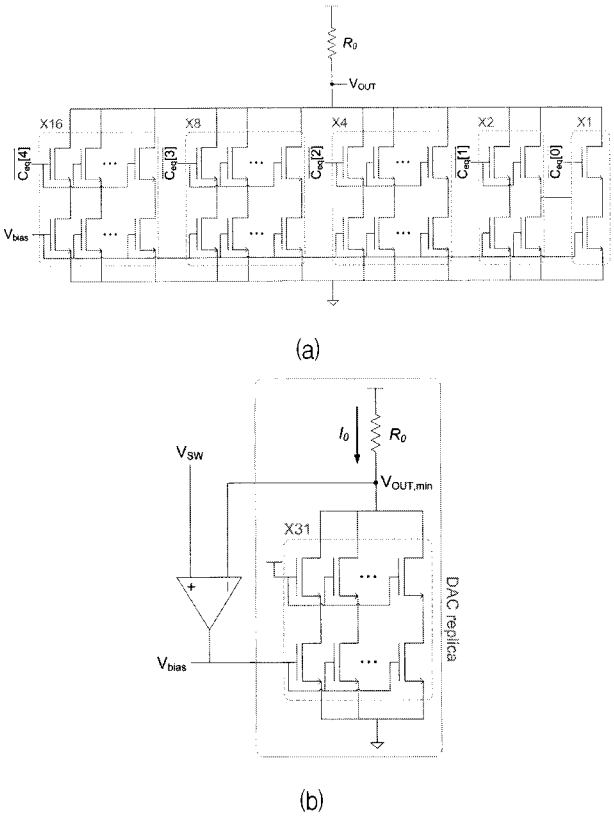


그림 7. (a) DAC의 회로도 (b) replica bias 회로도
Fig. 7. (a) Schematic of DAC
(b) Schematic of replica bias.

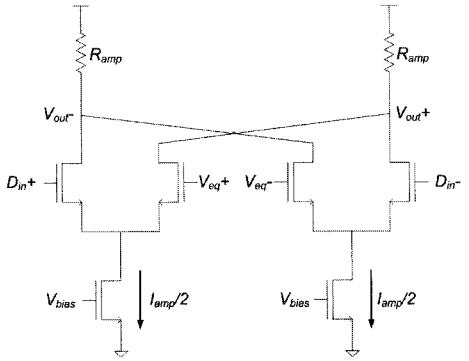


그림 8. 오프셋 증폭기 회로도
Fig. 8. Schematic of offset amplifier.

전압이 V_{SW}이 되도록 negative 피드백을 구성한다. 따라서 이 replica bias에 의하여 bias가 결정되는 회로에서 $I_0 \cdot R_0$와 같은 전류와 부하 저항의 곱을 가지는 경우에 출력 전압의 범위가 V_{DD}에서 V_{SW}로 일정하다.

그림 8은 오프셋 증폭기의 회로도이다. 두 차동 입력 신호의 차이가 다시 차동 신호의 형태로 출력된다. 단, $I_{amp} \cdot R_{amp}$를 $I_0 \cdot R_0$와 같도록 설계함으로써 출력 전압의 범위가 V_{EOM}의 범위를 벗어나지 않도록 하였다.

그림 9는 4:1 MUX의 회로도이다. 전체적으로 두 단

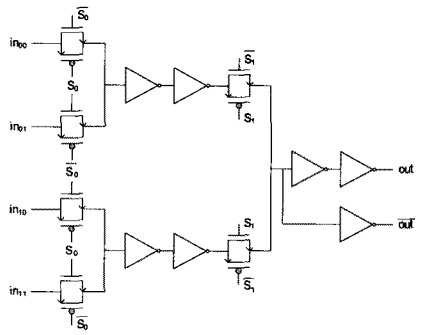


그림 9. 4:1 MUX의 회로도
Fig. 9. Schematic of 4-to-1 MUX.

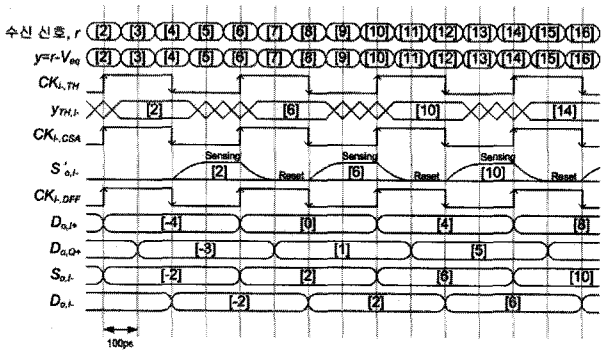


그림 10. DFE 타이밍 다이어그램
Fig. 10. Timing diagram of DFE.

의 2:1 MUX로 구성되어 순차적인 선택 동작이 수행된다. 각 2:1 MUX단에서 발생하는 게이트 지연 값이 100ps가 되도록 설계함으로써 이전 위상에서 생성된 decision 데이터를 지연시키기 위한 추가적인 회로 없이 skew 문제를 해결하였다.

그림 10은 제안된 DFE의 타이밍 다이어그램을 CK_{I-} 위상을 기준으로 나타낸 것이다. 수신 신호에서 생성된 후보 신호 y는 $CK_{I-,TH}$에 의하여 hold 된 후 $CK_{I-,CSA}$에 의하여 샘플링 된다. 클럭 센스 앰프는 $CK_{I-,CSA}$가 *"low"*인 동안 센싱을 하고 *"high"*인 동안 리셋을 하므로, 결과 파형은 return-to-zero (RZ) 신호 형태를 띤다. 이후 단에서의 사용을 용이하게 하기 위하여 다시 DFF를 이용한 샘플링 과정이 추가된다. 결과적으로 생성된 네 개의 $S_{o,I-}$ 중 하나가 다른 위상에서 생성된 $D_{o,I+}$, $D_{o,Q+}$에 의하여 MUX에서 선택되어 $D_{o,I-}$로 출력된다.

그림 11은 EOM 회로의 타이밍 다이어그램이다. 제안된 구조에서는 CK_{EOM}의 위상이 CK_{I-}의 위상 주변에 있도록 설계하였으므로, 샘플링 타이밍에서의 동작을 가정했을 때 그림 10에서와 같은 시점에 hold 동작이 이루어진다. Hold 된 후보 신호는 다시 절반의 주파수

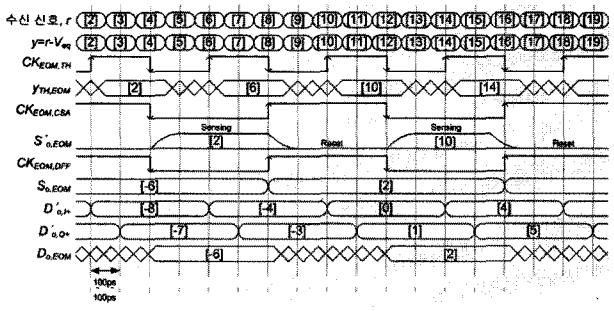


그림 11. EOM 타이밍 다이어그램
Fig. 11. Timing diagram of EOM.

를 가지는 $CK_{EOM,CSA}$에 의하여 센싱 된 후 $CK_{EOM,DFF}$에 의하여 샘플링된다. 여기서 절반 주파수의 클럭을 사용하는 이유는 CK_{EOM}의 위상이 스윕을 위하여 CK_{I-}의 위상 주변에서 +/-0.5UI 변화할 경우에 발생하는 skew로 인한 지터 및 타이밍 마진 감소를 방지하기 위한 것이다. 최종적으로 네 개의 $S_{o,EOM}$ 중 하나가 $D'_{o,I+}$, $D'_{o,Q+}$에 의하여 선택되어 최종 EOM용 비교값 $D_{o,EOM}$으로 출력된다.

Ⅳ. 시뮬레이션 결과

그림 12는 90nm CMOS 공정에 설계된 회로의 레이아웃이다. DFE와 함께 클럭 생성기, 클럭 트리 등이 설계되었으며, DFE 코어는 총 110X95μm^{2}의 면적을 차지한다.

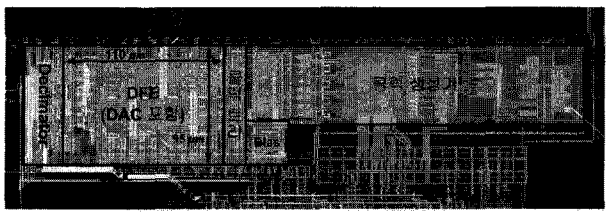
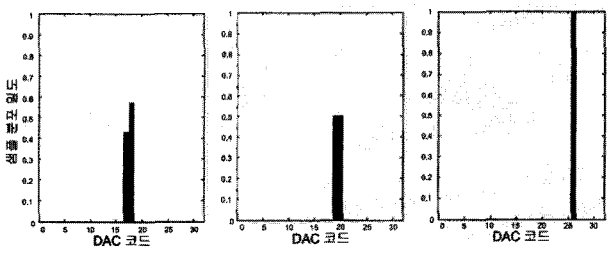
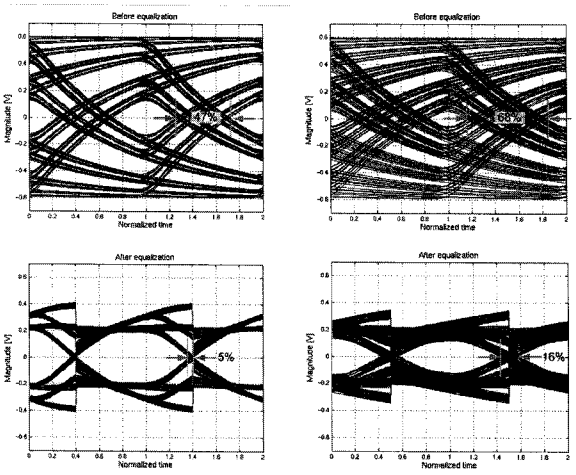


그림 12. 전체 칩 레이아웃
Fig. 12. Layout of entire chip.



(a) (b) (c)

그림 13. 샘플 분포 밀도
Fig. 13. Layout of entire chip.



(a) (b)

그림 14. 수신 신호(위) 및 등화 신호(아래)의 아이 다이어그램 (a) 2.2GHz 대역폭의 채널 (b) 1.3GHz 대역폭의 채널

Fig. 14. Eye diagrams of received (above) and equalized signals (below) for channels having bandwidth of 2.2GHz and 1.3GHz each.

제안된 구조의 동작을 검증하기 위하여 post-layout 시뮬레이션을 수행하였다. EOM 및 DFE 적응 알고리즘은 별도의 field programmable gate array (FPGA)로 구현하는 것을 가정하였으며, 시뮬레이션에서는 MATLAB을 이용한 post-process를 통하여 동작을 검증하였다.

그림 13은 2.2GHz의 대역폭을 가지는 채널을 통과한 10Gb/s pseudo random bit sequence (PRBS) 데이터를 이용한 시뮬레이션 결과이다. 샘플링 포인트에서 VEOM을 생성하기 위한 DAC 코드를 스윕하여 얻은 샘플 분포를 획득하였다. 단축된 post-layout 시뮬레이션 시간을 통하여 동작을 검증하기 위하여 ns를 NS 동안 샘플을 획득하는 대신 주어진 ns로 nh로 나누어 정규화하는 방법을 사용하여 샘플 분포 밀도로 대신하였다. 세 가지 비트 패턴에 대하여 샘플 분포 밀도의 최대값이 위치하는 DAC 코드값을 찾은 후 수식(4) 및 (5)를 이용하여 DFE를 적응화하였다. 그림 14 (a)의 위쪽 그림은 채널을 통과하여 수신된 신호의 아이 다이어그램이고, 아래쪽 그림은 적응 알고리즘에 의하여 얻은 등화된 신호의 아이 다이어그램을 MATLAB을 통하여 그린 effective 아이 다이어그램이다[11]. 결과적으로 47%의 peak-to-peak 지터가 5%로 감소하여 성공적으로 적응이 완료되는 것을 확인할 수 있다. 그림 14(b)는 1.3GHz의 대역폭을 가지는 채널에 대하여 같은 시뮬레이션을 수행한 것이다. 결과적으로 68%의 지터가 16%로 감소하는 것을 확인할 수 있다.

표 1. 기존 DFE와의 성능 비교

Table 1. Performance comparison with reported DFEs.

	[3]	[4]	[5]	본 논문 (post-layout simulation)
공정	90-nm CMOS	90-nm CMOS	45-nm SOI CMOS	90-nm CMOS
동작 속도	6-Gb/s	10-Gb/s	12-Gb/s	10-Gb/s
필터 형태	Soft decision	Switched-Capacitor	Current-integration	Look-ahead
인터리빙	1/4	1/4	1/2	1/4
탭 수	2	1	5	2
전력 소모	5-mW	6.0-mW	11-mW	11-mW
면적	4,410μm^2	10,500μm^2	3,650μm^2	10,450μm^2
적응 알고리즘	없음	없음	없음	EOM을 이용한 ISI측정

표 1은 기존에 발표된 주요 고속 저전력 DFE들과 본 논문에서 제안한 DFE의 비교이다.

V. 결 론

본 논문에서는 10Gb/s 사분율 2-tap look-ahead DFE를 설계하여 동작을 검증하였다. 설계된 DFE는 추가적인 EOM 기능을 가지며 등화된 신호의 아이 다이어그램을 그릴 수 있도록 특정 위상에서 기준 전압과의 비교 결과를 제공한다. 이를 이용해 채널에서 발생하는 포스트 커서의 크기를 측정하여 DFE를 채널에 적응하는 알고리즘을 제안하였다. 설계된 칩은 post-layout 시뮬레이션으로 동작을 검증하였으며, 110×95μm^{2}의 면적을 차지하고 1.2V 전원에서 11mW의 전력을 소모한다.

참 고 문 헌

[1] Jian-Hao Lu and Shen-Iuan Liu, "A 50-Gb/s 10-mW Analog Equalizer Using Transformer Feedback Technique in 65-nm CMOS Technology," IEEE Trans. Circuit and Systems, vol. 56, no. 10, pp. 783-787, Oct. 2009.

[2] Chih-Fan Liao and Shen-Iuan Liu, "A 40Gb/s CMOS Serial-Link Receiver with Adaptive Equalization and CDR," ISSCC Dig. Tech. Papers, pp. 100-101, Feb. 2008.

[3] Koon-Lun Jackie Wong, Alexander Rylyakov,

and Chih-Kong Ken Yang, "A 5-mW 6-Gb/s Quarter-Rate Sampling Receiver With a 2-Tap DFE Using Soft Decisions," IEEE J. Solid-State Circuits, vol. 42, No. 4, pp. 881-888, Apr. 2007.

[4] Azita Emami-Neyestanak, et al., "A 6.0-mW 10.0-Gb/s Receiver With Switched-Capacitor Summation DFE," IEEE J. Solid-State Circuits, vol. 42, No. 4, pp. 889-896, Apr. 2007.

[5] Timothy O. Dickson, John F. Bulzacchelli, and Daniel J. Friedman, "A 12-Gb/s 11-mW Half-Rate Sampled 5-Tap Decision Feedback Equalizer With Current-Integrating Summers in 45-nm SOI CMOS Technology," IEEE J. Solid-State Circuits, vol. 44, No. 4, pp. 1298-1305, Apr. 2009.

[6] M. Kawai, H. Watanabe, T. Ohtsuka, and K. Yamaguchi, "Smart Optical Receiver With Automatic Decision Threshold Setting and Retiming Phase Alignment," J. Lightwave Technol., vol. 7. no. 11, Nov. 1989.

[7] Behnam Analui, et al., "A 10-Gb/s Two-Dimensional Eye-Opening Monitor in 0.13-um Standard CMOS," IEEE J. Solid-State Circuits, vol. 40, no. 12, pp. 2689-2699, Dec. 2005.

[8] Tobias Ellermeyer, et al., "A 10-Gb/s Eye-Opening Monitor IC for Decision-Guided Adaptation of the Frequency Response of an Optical Receiver," IEEE J. Solid-State Circuits, vol. 35, no. 12, pp. 1958-1963, Dec. 2000.

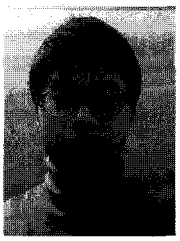
[9] F. Buchali, S. Lanne, J. -P. Thi´ery W. Baumert, and H. B¨ulow, "Fast Eye Monitor for 10 Gbit/s and its Application for Optical PMD Compensation," Tech. Digest OFC, 2001, TuP5

[10] Yasumoto Tomita, et al., "A 10-Gb/s Receiver With Series Equalizer and On-Chip ISI Monitor in 0.11-m CMOS," IEEE J. Solid-State Circuits, vol. 40, no. 4, pp. 986-993, Apr. 2005.

[11] Jaeha Kim, et al., "Equalizer Design and Performance Trade-offs in ADC-based Serial Links," Custom Integrated Circuits Conf., Sep. 2010, invited paper

저 자 소 개

성 창 경(학생회원)
2004년 연세대학교 전기전자 공학과 학사 졸업.
2006년 연세대학교 전기전자 공학과 석사 졸업.
2006년~현재 연세대학교 전기 전자공학과 박사과정.
<주관심분야 : 고속 아날로그 및 혼성 모드 회로 설계, 네트워크 동기 회로 설계>



임 진 수(학생회원)
2009년 연세대학교 전기전자공학과 학사 졸업.
2009년~현재 연세대학교 전기전자공학과 석박사통합과정.
<주관심분야 : 고속 인터페이스 회로, 클럭 복원 회로, 이퀄라이져 회로>

최 우 영(정회원)-교신저자
1986년 MIT, EECS, B.S.
1988년 MIT, EECS, M.S.
1994년 MIT, EECS, Ph.D.
1994년~1995년 일본 NTT 광전자연구소 Post-Doctoral Fellow.
1995년~현재 연세대학교 전기전자공학과 정교수.
<주관심분야 : 고속 회로 및 시스템, 광전자 및 마이크로 웨이브 포토닉스>