

논문 2011-48SD-1-7

IF 대역의 중심주파수 조절을 위한 새로운 구조를 갖는 4차 SC Bandpass Sigma-Delta Modulator

(A Tunable Bandpass SC Sigma-delta Modulator For Intermediate Frequency With Novel Architecture)

조 세 진*, 조 성 익**

(Se-Jin Jo and Seong-Ik Cho)

요 약

본 논문은 Feedback 적분기 계수를 이용하여 IF 대역의 중심주파수 조절이 가능한 Bandpass SC Sigma-delta 변조기를 제안한다. 제안한 구조는 Feedback loop에 적분기를 추가함으로써 동일 차수의 기존 구조에 비해 중심주파수 조절에 필요한 계수와 계수를 결정하는 커패시터의 수를 줄이고 기본적인 비증첩 클럭 이외의 추가적인 클럭 및 클럭에 대한 부가회로가 필요하지 않다. 따라서 설계가 용이하며, 고차 구성이 가능하면서 더 높은 해상도를 가진다. 0.18 μm CMOS 공정을 이용하여 설계하였으며, 200 kHz의 대역폭, 80 MHz의 샘플링 주파수에서 15 MHz, 20 MHz, 25 MHz 의 중심주파수 일 때 12 bit 이상의 해상도를 가진다.

Abstract

In this paper, Intermediate frequency tunable 4th order Switched Capacitor(SC) bandpass Sigma-Delta(Σ - Δ) modulator using feedback integrator using feedback integrator coefficients is proposed. The center frequency of the modulator can be easily changed than conventional structure because of a number of integrator coefficients which is decided rate of capacitors in circuit is reduced. In addition additive clocks and additive clock generating circuit are not necessary. The purposed modulator was implemented in 0.18 μm CMOS technology. The resolution of the modulator within 200 kHz bandwidth and 80 MHz sampling frequency under f_{in} = 15 MHz, 20 MHz, 25 MHz are over 12 bit.

Keywords : Sigma-Delta modulator, Bandpass, Tunable, Σ - Δ modulator

I. 서 론

통신 시스템은 정보화 사회의 발달로 수요가 증가하고 있고, 아날로그 디지털 변환기(Analog to Digital Converter, ADC) 기술은 통신시스템에서 통신용 변복조기, 음성, 영상 신호처리 등 핵심적인 역할을 하고 있

다. 최근 신호처리 시스템은 CMOS 공정 기술의 발전으로 아날로그 회로보다 신뢰성이 높고, 공정의 scaling 이 가능한 CMOS 디지털 회로로 대체되고 있다. 또한 통신시스템에 있어 하나의 채널만을 이용한 통신 보다 다채널을 이용하는 경우가 늘고 있어 중심주파수 가변 이 가능한 ADC에 대한 연구가 진행되고 있다. 예를 들어 디지털 라디오의 수신부에서 주파수 조절이 가능한 국부 발진기와 가능하지 않은 국부발진기를 이용하여 채널 선택과 주파수를 기저대역으로 하향변환하고, 중심주파수가 고정된 Bandpass ADC를 이용하여 복조하는 형태에서 주파수가 고정된 두개의 국부 발진기 이용

* 정회원, ** 정회원-교신저자, 전북대학교 전자정보공학부

(Division of Electronics and Information Engineering, Chonbuk University)

접수일자: 2010년10월29일, 수정완료일: 2010년12월15일

하여 중심 주파수를 하향변환하고, 중심주파수 조절이 가능한 ADC와 DSP(Digital Signal Processor)를 이용하여 복조하도록 대체 되었다^[1~2].

연속시간 밴드패스 시그마델타 ADC는 대역폭과 충분한 SNR(Signal to Noise Ratio)을 위해 높은 OSR(Oversampling Rate)을 요구하며, 높은 샘플링 주파수를 위해서는 BiCMOS 혹은 HBT 공정을 이용해야 한다^[3].

이와 같은 디지털 시스템으로의 대체와 연속시간 밴드패스 시그마델타 ADC의 단점으로 인해 SC Sigma-Delta 데이터 변환기가 다양한 분야에 응용되고 있고, IF(Intermediate Frequency) 통신대역에서 사용이 가능한 SC Bandpass Sigma-Delta 데이터 변환기에 대한 다양한 연구가 진행되고 있다. 따라서 CMOS 공정을 이용하여 수십 MHz의 신호 대역폭과 높은 해상도가 요구되어지는 IF 통신 시스템에서 여러 채널의 데이터를 변환할 수 있도록 중심주파수 조절이 가능한 데이터 변환기에 대한 관심이 고조되고 있다^[4]. SC (Switched Capacitor) Bandpass Sigma-Delta 변조기는 해상도가 높고 중간주파수 조절이 가능해 다 채널에 사용할 수 있지만 설계가 어렵거나, 4차 변조기를 설계가 힘들다는 단점이 있다.^[5~6]

본 논문에서는 이러한 단점을 개선한 중간주파수 조절이 용이한 새로운 구조의 4차 SC Bandpass Sigma-Delta 변조기를 제안한다. 본 논문에서 제시한 Tunable SC Bandpass Sigma-Delta 변조기를 이용하면 비교적 고차의 변조기 설계가 간단하며, 적분기의 하나의 커패시터 값을 변경하여 채널 변경을 용이하게 할 수 있다.

II. Tunable Sigma-Delta Modulator

1. 기존 구조의 Bandpass Sigma-Delta 변조기

Bandpass Sigma-Delta 변조기는 잡음전달함수(NTF, Noise Transfer Function)의 영점에 따라 Bandpass Sigma-Delta 변조기의 중심주파수가 결정되므로 잡음 전달함수의 영점을 조절하는 것이 관건이다.

그림 1은 2차 Lowpass Sigma-Delta 변조기의 구조로 그림 2와 같이 Lowpass 공진기를 Bandpass 공진기로 치환함으로써 그림 3의 중심주파수 조절이 가능한 Tunable Bandpass Sigma-Delta 변조기의 구현이 가능하다.

$$S_{LP}(z) = \frac{B(z)}{A(z)} = \frac{z^{-1}}{1-z^{-1}}$$

$$\rightarrow S_{BP}(z) = \frac{B(z)}{A(z)} = \frac{\alpha z^{-1} - z^{-2}}{1-2\alpha z^{-1} + z^{-2}} \quad (1)$$

with $\alpha = \frac{\cos(\omega_c)}{\cos(B/2)}$

$$NTF(z) = \frac{(\alpha_1 z - 1)(\alpha_2 z - 1)}{D_{P1}z^4 + D_{P2}z^3 + D_{P3}z^2 + D_{P4}z + D_{P5}}$$

$$D_{P1} = 1$$

$$D_{P2} = A_1 B_0 B_1 \alpha$$

$$D_{P3} = A_1 B_0 (B_1 + \alpha)$$

$$D_{P4} = 2A_1 B_0 \alpha$$

$$D_{P5} = A_1 B_0 \quad (2)$$

그림 3은 중심주파수 조절이 가능한 Tunable Bandpass Sigma-Delta 변조기의 기존 구조로[5-6] 식 (1)과 같이 Lowpass 공진기 특성으로부터 주파수 변환을 통해 Bandpass 공진기로 치환하여 중심주파수 조절이 가능한 Tunable Bandpass Sigma-Delta 변조기를 구현한다. 구현된 회로의 잡음 전달함수는 식 (2)와 같고, 중심주파수는 잡음 전달함수의 계수 α 에 의해 조절된다. 식(1)의 ω_c 는 Bandpass Sigma-Delta 변조기의 중간 주파수이고, B는 Bandpass Sigma-Delta 변조기의 대역폭이다.

그림 3의 구조를 회로로 구현하기 위해서는 비중첩 클럭 10개와 4차 공진기 구현을 위한 2개의 OP-Amp가 요구되어지며, 중심주파수를 조절하기 위해 4개의 계수

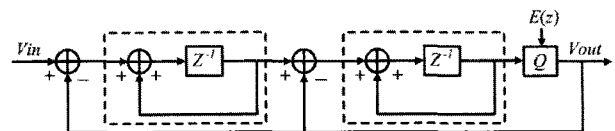


그림 1. 2차 Lowpass sigma-delta 변조기의 블럭도
Fig. 1. Block diagram of the 2nd order Lowpass sigma-delta modulator.

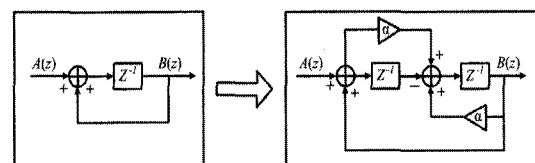


그림 2. 1차 Lowpass 공진기를 2차 Bandpass 공진기로 치환
Fig. 2. Substitution 2nd order Bandpass resonator for 1st order Lowpass resonator.

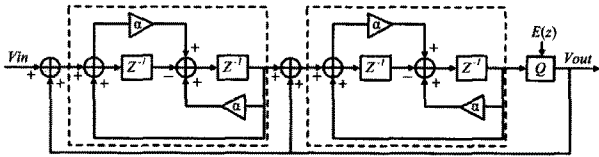


그림 3. 중심주파수 조절이 가능한 4차 Bandpass Sigma-Delta 변조기의 블럭도
Fig. 3. Block diagram of tunable 4th order Bandpass Sigma-Delta modulaotr.

와 계수값 조절을 위한 커패시터 16개가 필요하다.^[5-6] 또한 더블 샘플링 방식을 사용하여 그림 3의 구조를 구현하면, 더블 샘플링회로 구동을 위한 부가적인 회로를 필요로 한다.

2. 제안한 구조의 Bandpass Sigma-Delta 변조기

그림 4는 제안한 중심주파수 조절이 가능한 4차 Bandpass Sigma-Delta 변조기이다. 제안한 구조는 적분기의 출력을 Feedback 적분기를 통과시킴으로서 밴드패스 형태의 전달함수를 만들고, Feedback 되는 두 개의 계수 값만으로 중심 주파수를 조절할 수 있다.

식 (3)은 제안한 구조의 잡음 전달함수이다. 잡음전

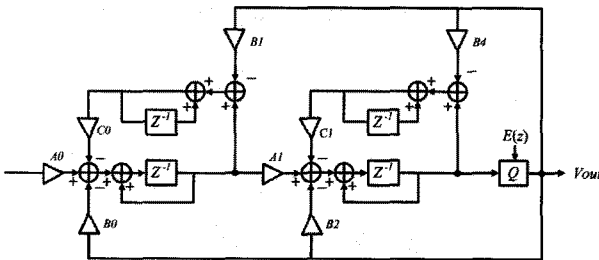


그림 4. 제안한 중심주파수 조절이 가능한 Bandpass Sigma-Delta 변조기
Fig. 4. Proposed Intermediate Frequency Tunable Bandpass Sigma-Delta modulator.

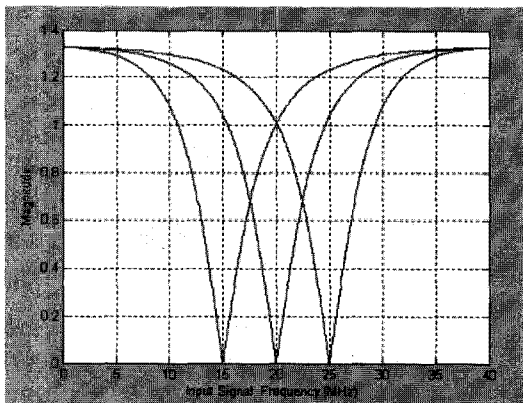


그림 5. 제안한 구조의 잡음 전달함수
Fig. 5. Noise Transfer Function of Proposed Structure.

달함수의 영점은 C0과 C1의 계수 값에 의해 결정이 되며, C0과 C1의 계수 값을 조절함에 따라 Bandpass Sigma-Delta 변조기의 중심주파수가 변한다. 그림 5는 매틀랩 툴을 통해 C0과 C1의 계수 값에 따라 중심주파수 각각 표 1과 같이 설정하여 중심주파수의 변화를 검증한 것이다.

$$NTF = \frac{(z^2 + (C_0 - 2)z + 1)(z^2 + (C_1 - 2)z + 1)}{D_{P1}z^4 + D_{P2}z^3 + D_{P3}z^2 + D_{P4}z + D_{P5}}$$

$$D_{P1} = 1$$

$$D_{P2} = C_0 + C_1 + B_2 - B_3C_1 - 4$$

$$D_{P3} = C_0C_1 - A_2B_1C_0 + A_2B_0 + 2B_3C_1 + B_2C_0 - 2C_0 - 2C_1 - A_2B_1C_0 - B_3C_0C_1 - 3B_2 + 6$$

$$D_{P4} = C_0 + C_1 + 3B_2 + A_2B_1C_0 - 2A_2B_0 - B_3C_1 - B_2C_0 - 4$$

$$D_{P5} = A_2B_0 - B_2 + 1$$

표 1. 기존 구조와 제안한 구조의 회로 구현에 따른 비교

Table 1. Comparison according to circuit implementation of the existing architecture and the proposed architecture.

	기존 구조[3]	제안한 구조
회로구현에 필요한 모든 계수의 수	14	10
중심 주파수 조절에 필요한 계수의 수	4	2
필요한 OP-AMP의 수	2	4
중심주파수 조절에 관계된 커패시터의 수	16	4
필요한 클락 수	10	2

III. Circuit Implementation

제안한 구조를 이용하여 구현한 4차 SC Bandpass SDM의 회로는 그림 6과 같다. 구현한 회로는 4개의 공진기(Resonator)와 1bit 비교기로 구성되며, 기본적인 비중첩 클록을 사용하여 설계했다. 타이밍 마진 확보와 간단한 회로구성을 위해, 그림 6의 1번째와 3번째 공진기를 CLK2에 동작하도록 하였다. 스위치는 입력레벨에 따라 발생하는 스위치 ON저항의 변화와 왜곡이 적고, 클럭 피드스투를 감소 할 수 있는 CMOS 스위치를 사용하였다. 또한 설계된 회로에서 사용된 Folded

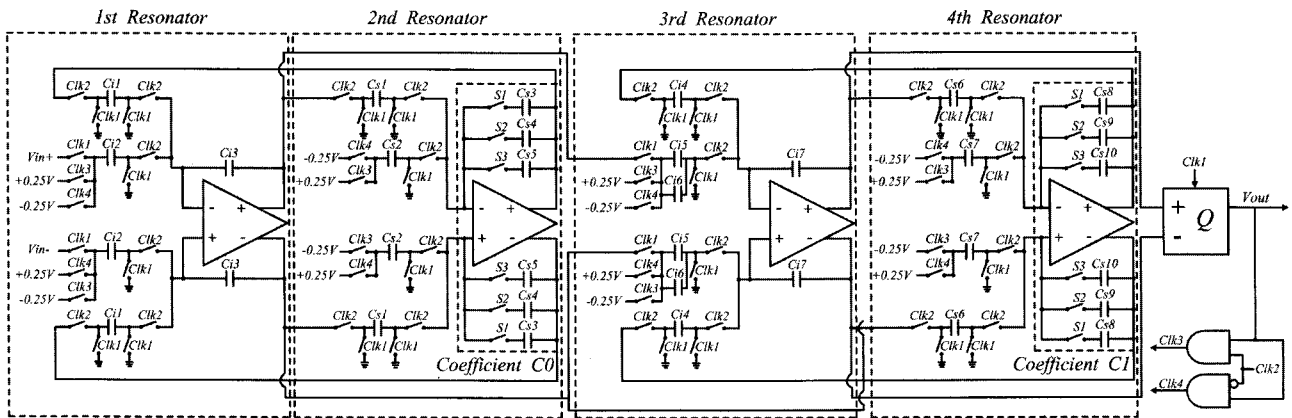


그림 6. 제안된 구조의 회로

Fig. 6. Circuit implementation using proposed architecture.

표 2. Folded cascode OP-Amp의 특성

Table 2. Performance of Folded cascode OP-Amp.

DC Gain	75 dB
Unity Gain Frequency	340 MHz
Phase Margin	65°
Slew Rate	226 V/ μ s
Load capacitance	5pF

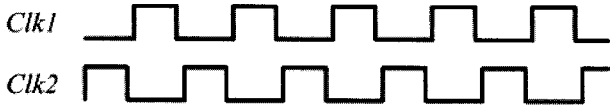


그림 7. 회로에 사용된 클락

Fig. 7. Used clock.

Cascode OP-Amp의 특성은 표 2와 같으며 회로에 사용된 클락은 그림 7과 같다.

IV. 모의실험 및 고찰

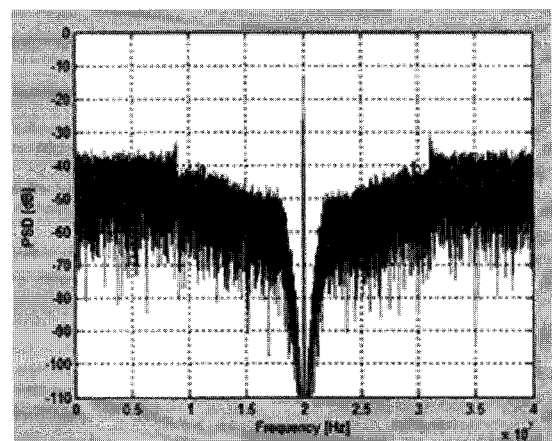
모의실험은 0.18 μ m CMOS 공정의 파라미터를 이용하여 샘플링 주파수 80 MHz, 중심주파수 15 MHz, 20 MHz, 25 MHz, 대역폭을 200 kHz의 조건으로 실행 하였다. 위의 조건에서의 동작특성은 표 3과 같고, 파워스펙트럼(PSD) 시뮬레이션 결과는 그림 8과 같다. 표 1은 기존구조와 제안한 구조의 회로 구현에 따른 비교를 정리한 것이다.

C0, C1의 계수에 해당하는 커패시터의 가변을 위해 연결된 스위치의 기생 커패시터의 영향으로 중심주파수가 10% 가량의 오차를 가질 수 있지만, 스위치와 스위치의 기생 커패시터의 영향을 최적화 하여 문제를 해결 하였다.

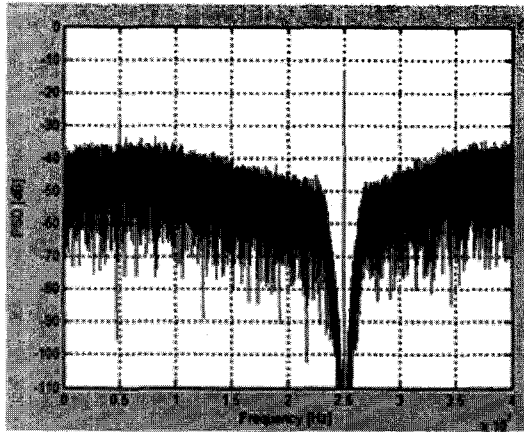
표 3. 제안한 4차 SC Bandpass SDM의 동작특성

Table 3. Performance of Proposed 4th Order SC Bandpass Sigma-Delta Modulator.

Intermediate Frequency	15MHz	20 MHz	25 MHz
Sampling Rate	80MHz	80 MHz	80 MHz
Signal Bandwidth	200 kHz	200 kHz	200 kHz
SNR	77.1 dB	76.8 dB	76.6 dB
Dynamic Range	70.4 dB	70.1 dB	70.0 dB
Resolution	12.52 bit	12.47 bit	12.51 bit



(a) 중심주파수가 20 MHz일 때 PSD



(b) 중심주파수가 25 MHz일 때 PSD

그림 6. 파워스펙트럼(PSD) 시뮬레이션 결과

Fig. 6. Result of Power Spectral Density Simulation.

V. 결 론

본 논문에서는 피드백 적분기를 삽입하여 2개의 계수 값만 변경하여 중심주파수 조절이 가능한 새로운 구조의 SC Bandpass Sigma-Delta 변조기를 설계하였다. 기존의 중심주파수 조절이 가능한 SC Bandpass Sigma-Delta 변조기에 비해 설계에 필요한 계수를 6개 줄이고, 중심주파수 조절에 필요한 스위치와 커패시터를 12개 줄였다. 또한 기본적인 비중첩 클럭 만을 사용하여 부가적인 회로가 필요 없으며, 설계가 용이하다는 장점이 있다.

제안한 구조는 두 개의 계수값 C_0 , C_1 의 크기변화에 의해 중심주파수가 변하기 때문에 계수값을 결정하는 커패시터의 정확한 매칭이 요구된다. 따라서 계수값을 결정하는 커패시터에 연결된 스위치의 비이상성과 저항을 최소화 하고자 CMOS 스위치를 사용하였으며, 최적화를 통한 설계로 스위치와 커패시터의 기생성분의 영향을 최소화 하였다.

제안된 중간주파수 조절이 가능한 SC Bandpass Sigma-delta 변조기의 동작특성은 80 MHz의 샘플링 주파수, 200 kHz 대역폭에서 각각의 중심 주파수에서 12bit 이상의 해상도를 가진다. 제안한 구조를 이용하면, 중심주파수 조절이 용이 하기 때문에 GSM, DECT 등 중심주파수 조절이 필요한 IF대역의 통신에서 데이터 변환을 효율적으로 할 수 있으리라 사료된다. 그리고 앞으로 설계된 회로를 공정을 통하여 칩의 특성을 확보해야 할 것이다.

참 고 문 헌

- [1] Kentaro Yamamoto, Anthony Chan Carusone, and Francis P. Dawson, "A Delta-Sigma Modulator with a Widely Programmable Center Frequency and 82-dB Peak SNDR", IEEE Journal of solid-state Circuits, vol. 43, no. 8, AUGUST 2008.
- [2] O. Shoaie and W.M.Snelgrove, "Design and Implementation of a Tunable 40 MHz-70 MHz Gm-C Bandpass Modulator.", IEEE Transaction on Circuits And Systems. II: Analog and Digital Signal Processing, vol. 44, no. 7, pp. 521-530, 1997.
- [3] G. Raghavan, J. F. Jensen, J. Laskowski, M. Kardos, M. G. Case, M. Sokolich, and S.T. III, "Architecture, Design, and Test of Continuous time Tunable Intermediate-Frequency Bandpass Delta-Sigma Modulators", IEEE Journal of solid-state Circuits, vol. 36, no. 1, pp.5-13, 2001.
- [4] Rusu, Delia Rodriuez de Llera Gonzalez, and Mohammed Ismail, "Reconfigurable ADCs Enable Smart Radios for 4G Wireless Connectivity", IEEE Circuits & Devices Magazine, May/June 2006.
- [5] Chien-Hung Kuo, Chang-Hung Chen, Huang Shin Lin, and Shen-Iuan Liu, "A Tunable Bandpass $\Delta\Sigma$ Modulator Using Double Sampling" IEEE press, 2005.
- [6] L. Cardelli, L.Fanucci, V. Kempe, F.Mannozi, and D. Strle, "Tunable bandpass sigma delta modulator using one input parameter" Electronics Letters, 23rd, vol. 39, No. 2, January 2003.

저 자 소 개



조 세 진(정회원)
 2009년 전북대학교 전자정보
 공학부 학사 졸업.
 2009년~현재 전북대학교 전자
 정보공학부 석사 과정.
 <주관심분야 : Low-voltage
 Low-power analog circuit, ADC/
 DAC>



조 성 익(정회원)-교신저자
 1987년 전북대학교 전기공학과
 학사 졸업.
 1989년 전북대학교 전기공학과
 석사 졸업.
 1994년 전북대학교 전기공학과
 박사 졸업.
 1996년~2004년 Hynix 반도체 메모리 연구소
 책임연구원.
 2004년~현재 전북대학교 전자정보공학부
 조교수.
 <주관심분야 : 저전압/고속 Graphic DRAM,
 Low-voltage Low-power analog circuit, High
 speed data interface circuit, ADC/DAC, Filter,
 PLL/DLL>