논문 2011-48SD-1-8

RF PLL용 프로그램 가능한 14GHz 주파수분할기의 설계

(Design of Programmable 14GHz Frequency Divider for RF PLL)

강 호 용*, 채 상 훈**

(Ho-Yong Kang and Sang-Hoon Chai)

요 약

MBOA 등 UWB 시스템에 적용하기 위한 프로그램 가능한 RF PLL용 주파수분할기를 0.18㎛ 실리콘 CMOS 기술을 이용하여 설계하였다. 고속 저잡음 특성을 얻기 위하여 주파수 분할기 단위요소를 수퍼다이나믹 회로를 사용하여 설계하였으며, 프로그램 가능한 분할비를 얻기 위하여 스위치 단을 사용하였다. 또한 다이나믹 회로가 갖고 있는 주파수 대역의 제한 문제를 해결하기 위하여 주파수 분할기 단위요소 회로에 사용하는 부하저항의 크기를 변경하는 방법을 사용하였다. 설계된 회로에 대하여 시뮬레이션해 본 결과 동작 주파수 범위는 1~14GHz 범위로서 빠르고 넓은 주파수 대역의 동작 특성을 보였다.

Abstract

This paper describes design of a programmable frequency synthesizer for RF PLL with 0.18㎛ silicon CMOS technology being used as an application of the UWB system like MBOA. To get good performance of speed and noise super dynamic circuits was used, and to get programmable division ratio switching circuits was used. Especially to solve narrow bandwidth problem of the dynamic circuits load resistance value of unit divider block was varied. Simulation results of the designed circuit shows very fast and wide operation characteristics as 1~14GHz frequency range.

Keywords : USN, 센서노드, 1.9GHz, RF, 주파수합성기, PLL, 회로 설계

Ⅰ. 서 론

RF 통신 또는 광통신 등 초고속 통신회로에는 시스템에 사용할 클록의 생성을 위하여 PLL 회로가 필수적으로 사용된다. 최근에는 RF 무선통신과 광통신 분야에서는 10Gbit/s가 넘는 초고속 통신이 소개되고 있으며, 따라서 사용되는 PLL의 동작 속도도 10GHz를 훨씬 넘어서고 있다. 그중에서도 특히 UWB(Ultra Wide Band) 통신 등 여러 주파수를 동시에 사용하는 통신 시스템에는 여러 채널의 서로 다른 주파수를 갖는 클록을 발생시키기 위하여 PLL 회로 내에서 분할비를 변경할 수 있는 프로그램 가능한(programmable) 주파수 분할회로가 쓰여야 한다. 지금까지 주로 사용되어온 이동통신이나 무선랜 통신은 주파수 대역이 900MHz, 1.25GHz, 2.5GHz 또는 5.4GHz 등으로 10GHz 이하의 주파수로 동작하였으므로 기존 정적(static)인 회로를 사용하여 주파수 분할회로를 설계하는 것이 가능하였다[1~2]. 그러나 MBOA(Multi-Band OFDM Alliance) 등 향후 쓰일 10GHz 이상의 초고속 RF 모바일 통신회로용 주파수 분할기는 상대적으로 동작속도가 느린 기존의 정적인 회로로는 동작이 어려우므로, 수퍼 다이나믹(super dynamic) 회로와 같은 동적(dynamic)인 방식으로 동작하는 초고속 회로가 필요하다[3~6]. 또한 여러 채널의 주파수를 얻기 위하여 넓은 범위에서 프로그램 가능하여야 한다.

본 연구에서 설계한 프로그램 가능한 초고속 주파수 분할회로는 단위 분할회로(1/2)에 수퍼 다이나믹 회로를 적용하여 CMOS로써 10GHz 이상의 초고속에서도

* 정회원, 한국전자통신연구원 USN기반기술연구팀
(USN Basic Technology Research Team, ETRI)
** 평생회원, 호서대학교 전자공학과
(Dept. of Electronics Engineering, Hoseo University)
※ 본 연구는 호서대학교 교내연구비 지원으로 수행되었으며, IDEC의 일부 CAD tool 지원을 받았음.
접수일자 : 2010년6월14일, 수정완료일 : 2010년11월16일

동작이 가능하도록 하였다[7~8]. 또한 안정성이 높은 MOS 스위치 회로를 사용하여 정수 분할비를 무한 연속적으로 자유롭게 바꿀 수 있도록 하였다. 따라서 본 설계에 의한 주파수 분할회로는 RF 모바일 통신회로인 MBOA, 무선랜, USN(Ubiquitous Sensor Network) 등 10GHz 이상의 초고속 동작이 필요한 차세대 UWB 무선통신뿐만 아니라 광통신, 이동통신 등에 쓰이는 PLL 기반의 초고속 클록신호 생성회로에 이용될 수 있을 것이다.

II. 주파수분할기의 구성

그림 1은 차세대 UWB 통신의 대표적인 예인 MBOA 시스템의 채널 구성을 나타낸 것이다. 그림에서와 같이 MBOA는 3432~10296MHz 범위 내에서 528MHz 간격으로 14개의 채널을 갖는다. 그림 2는 MBOA 시스템에서 클록 발생기로 사용하기 위하여 구성한 PLL 기반의 간단한 주파수합성기 블록도의 한 예이다. 이 주파수합성기에서는 채널 기본 간격의 1/2인 264MHz를 기본클록(reference clock)으로 사용하며, 전압제어발진기(VCO; voltage controlled oscillator)의 주파수 발진범위를 실제 사용 주파수인 3432~10296MHz로 한다. 이때 주파수분할기 /Nx는 10GHz 이상의 초고주파 입력신호와 13~39의 연속 정수 분할

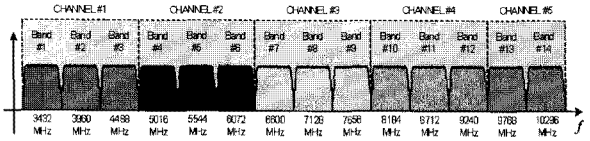


그림 1. MBOA 시스템의 주파수 대역 및 채널
Fig. 1. Band width and channels of MBOA System.

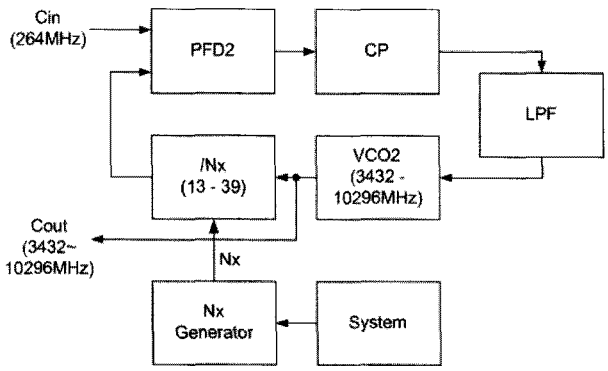


그림 2. MBOA 주파수합성기의 블록도 예
Fig. 2. Example block diagram of MBOA frequency synthesizer.

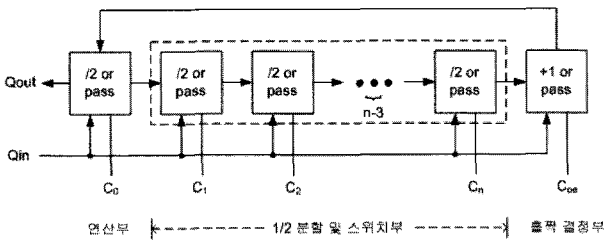


그림 3. 주파수분할기의 블록도
Fig. 3. Block diagram of frequency divider.

비로 동작하여야 한다. 그림 3은 이를 만족하기 위하여 본 연구에서 제안하고자 하는 프로그램 가능한 주파수 분할기 전체회로의 블록도를 나타낸 것으로써, 연산부, 1/2 분할 및 스위치부, 홀짝 결정부 등으로 구성된다. 입력 클록신호 Qin은 빠른 동작을 위하여 모든 블록에 병렬로 입력되며, 출력 클록신호 Qout은 연산부에서 버퍼(buffer)를 통하여 출력된다. 연산부 블록은 기본적으로 신호를 1/2로 분할하는 분할기 구조이지만, 홀짝 결정부로부터 피드백 되어 온 신호를 로직회로를 통하여 연산 처리하여 홀짝 결정을 도와주는 기능도 동시에 수행한다. 이 블록에는 필요한 경우 바이패스(bypass) 스위치를 내장하여 외부컨트롤 신호(C_0)에 따라 입력 클록신호를 1/2로 분할하거나, 신호를 분할하지 않고 단순히 통과시킬 수도 있다. 그림에서 점선으로 둘러싸인 부분은 이 회로에서 분할비를 결정하는 단위모듈의 집합 부분으로써 바이패스 스위치를 갖는 1/2 신호 분할기가 직렬로 연결된 구조로 이루어진다. 이 모듈은 컨트롤 신호 C_1~C_n에 따라 입력 클록신호를 1/2로 분할하거나, 분할 없이 통과시키는 역할을 한다. 즉, 스위치부의 컨트롤 신호 C_1~C_n이 각각 0이면 신호를 1/2로 분할하고, 1이면 신호를 통과시킨다. 이 모듈을 하나 더(C_{n+1}) 연결하면 분할비는 2씩 계속 증가한다. 홀짝 결정부는 연산부와 함께 로직 회로로 구성되며, 1/2 분할 및 스위치부를 통과한 신호에 대하여 분할비에 1을 더해 주거나, 신호를 단순히 통과시키는 역할을 한다. 즉, 스위치부의 컨트롤 신호 C_{oe}가 0이면 분할비를 1(홀수) 증가시키고, 1이면 분할비를 0(짝수) 증가시킨다. 따라서 스위치부의 개수와 함께 스위치부 및 홀짝 결정부의 컨트롤 신호를 조합하면 1(분할 없이 통과)부터 모든 정수 분할비 N을 얻을 수 있다. 이를 수식으로 표시하면

$$N = C_0 + 2 \times C_x + C_{eo} \quad (1)$$

이며, 여기서 C_0는 연산부의 분할비(2 또는 0), Cx는

C_1~C_n 중 1/2 분할을 하는 분할부의 개수, C_{oe}는 홀수의 경우는 1, 짝수의 경우는 0를 나타낸다.

Ⅲ. 주파수분할기 회로의 설계

그림 4는 본 연구에서 동작 특성을 관찰하기 위하여 설계한 주파수분할기 전체회로의 블록도를 나타낸 것으로써 기본적으로는 그림 3의 구조와 동일하다. 그러나 그림에서 점선으로 둘러싸인 1/2 분할기 2개를 한 조로 하여 앞 블록은 스위치를 설치하지 않고 뒤 블록에만 바이패스 스위치를 설치하여 외부컨트롤 신호(C_1)에 따라 입력 클록신호를 1/2로 분할하거나, 분할없이 통과시키는 역할을 한다. 이때 스위치를 설치하지 않은 블록은 버퍼 역할도 함께하여 스위치가 설치된 블록에서 발생하는 임피던스 부정합 문제를 해결하는 기능도 한다. 이 모듈은 컨트롤 신호에 따라 입력 클록신호를 1/4로 분할하거나, 1/2로 분할하는 역할을 한다. 즉, 스위치부의 컨트롤 신호 C_1이 0이면 신호를 1/4로 분할하고, 컨트롤 신호 C_1이 1이면 신호를 1/2로 분할한다. 이 모듈을 하나 더 연결하면 분할비는 2 또는 4씩 계속 증가한다. 따라서 스위치부의 수와 함께 스위치부 및 홀짝 결정부의 컨트롤 신호를 조합하면 모든 정수 분할비를 얻을 수 있다.

본 연구에서는 이 회로의 동작을 검증하기 위하여 비교적 간단한 4~7의 연속적인 정수 분할비를 갖는 분할기 회로를 설계한 다음 시뮬레이션하였다. 전체적인 구조(architecture)는 그림 4와 동일하다. 다만 실험의 편의를 위하여 연산부에는 스위치를 설치하지 않았으며, 가장 간단한 구조로 구성하기 위하여 1/2분할부 및 스위치부 모듈도 1조만 배치하였다. 이렇게 배치함으로써 외부 컨트롤 신호는 C_1과 C_{oe} 2개만 필요하므로 분할비에 대한 경우의 수는 4가지가 나온다. 즉, C_1/C_{oe}가 0/0일 때는 분할비가 7, 1/0일 때는 분할비가 6, 0/1일 때는 분할비가 5, 1/1일 때는 분할비가 4가 된

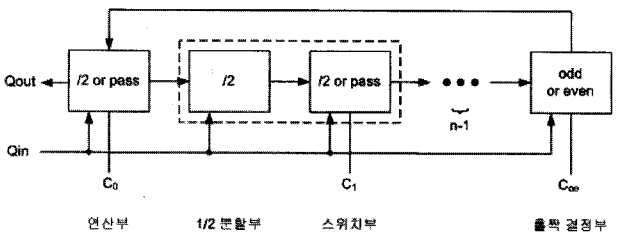


그림 4. 설계된 주파수분할기의 블록도
Fig. 4. Designed block diagram of frequency divider.

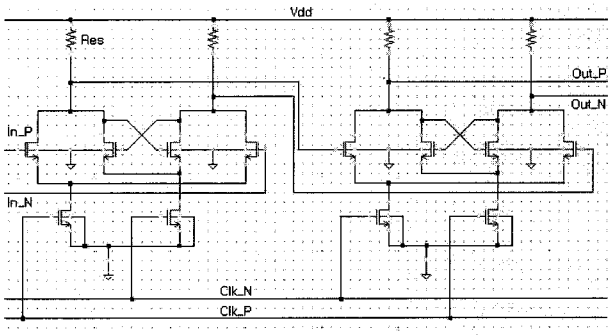


그림 5. 설계된 1/2 분할부 회로
Fig. 5. Designed circuit diagram of 1/2 frequency divide block.

다. 그림 5는 본 연구에서 사용된 기본적인 1/2 분할부 회로로써 수퍼 다이나믹 회로를 응용한 리드(read)/레치(latch) 구조이다[3, 5]. 이 회로는 좌측의 마스터(master)부와 우측의 슬레이브(slave)부로 나누어지며, 각각 중앙의 2개의 트랜지스터가 크로스 커플(cross couple)된 레치부와 양측면의 2개의 트랜지스터로 구성된 리드부로 이루어진다. 이 회로가 고속 동작을 하려면 리드부의 부하 역할을 하는 레치부 커패시턴스 부하를 최대한 줄여야 한다. 즉, 레치부를 구성하는 전류원을 포함한 3개의 트랜지스터 사이즈를 리드부 트랜지스터에 비하여 상대적으로 작게 설계함으로써 리드부에 대한 커패시턴스 부하를 줄여서 리드-레치 동작을 빠르게 할 수 있다. 그러나 레치부의 트랜지스터 크기를 너무 줄이면 전류 부족현상이 일어나서 레치부 출력신호의 스윙 폭이 너무 작아 질 수도 있다[5]. 이런 점들을 고려하여 본 연구에서는 리드부 트랜지스터와 레치부 트랜지스터의 크기(게이트 너비) 비를 1.5:1로 설정하였다. 이 회로는 부하저항 Res의 값이 변하면 출력 임피던스 변화에 의하여 회로에 흐르는 전류 값

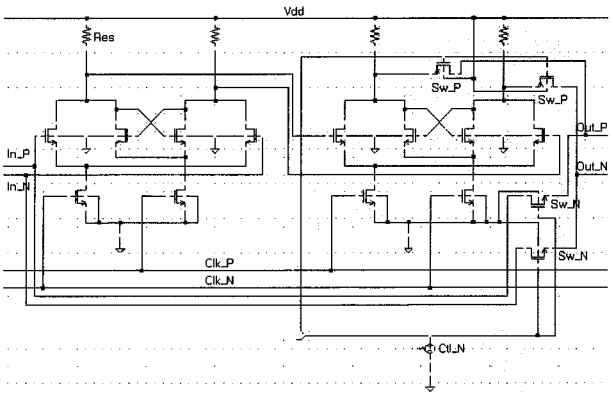


그림 6. 설계된 스위치부 회로
Fig. 6. Designed circuit diagram of switch block.

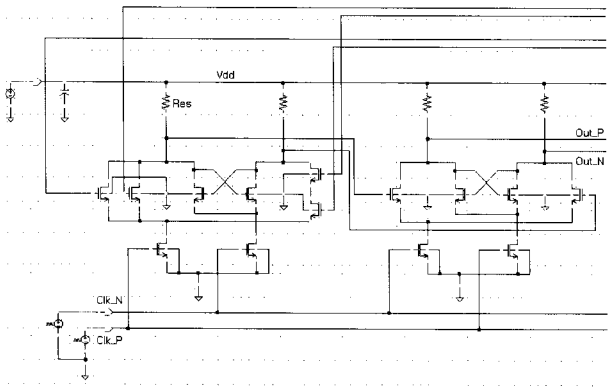


그림 7. 설계된 연산부 회로
Fig. 7. Designed circuit diagram of logic block.

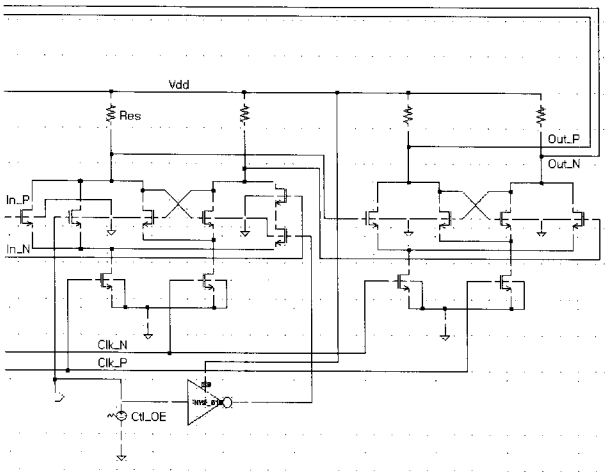


그림 8. 설계된 홀짝 결정부 회로
Fig. 8. Designed circuit diagram of odd/even decide block.

이 변하므로 저항 값의 크기에 따라 분할할 수 있는 주파수 범위가 달라진다. 또한 이 회로는 최대 주파수의 한계뿐만 아니라 최소 주파수의 제한도 따른다. 즉, 부하저항 값에 따른 주파수 대역폭(band width)이 존재한다[7~8]. 그림 6은 사용된 스위치부 회로로써 1/2 분할 회로에 트랜지스터를 이용한 스위치(Sw_P, Sw_N)를 설치하여 필요 시 신호를 분할하지 않고 바이패스시키는 역할을 한다. 그림 7은 연산부 블록으로써 기본적으로 신호를 1/2로 분할하는 분할기 구조이나, NAND 또는 NOR 로직이 더 포함된다. 그림 8은 사용된 홀짝 결정부 회로로써 기본적으로 신호를 1/2로 분할하는 분할기 구조이나, 연산부 블록과 같이 홀짝을 결정하기 위한 NAND 또는 NOR 로직회로와 제어신호를 입력하기 위한 회로가 더 포함된다.

VI. 시뮬레이션 결과

회로 시뮬레이션은 CADENCE 사의 Spectre를 이용하여 수행하였다. SPICE 파라메터는 현재 국내에서 일반적으로 쓰이고 있는 1.8V, 0.18um CMOS 파라메타를 이용하였다. 그림 9 ~ 12는 설계된 회로에 대해 13GHz의 입력 클록신호를 입력한 상태에서 1/7, 1/6, 1/5, 1/4 분할 출력신호를 관찰한 시뮬레이션 결과이다. 그림에서 보듯

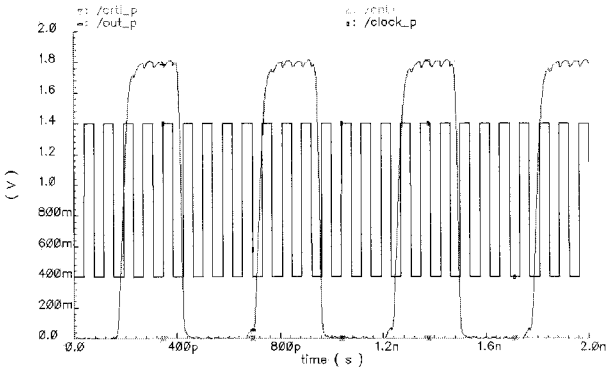


그림 9. 전체 회로 시뮬레이션 결과(7분주)
Fig. 9. Simulation result of whole circuit(7division).

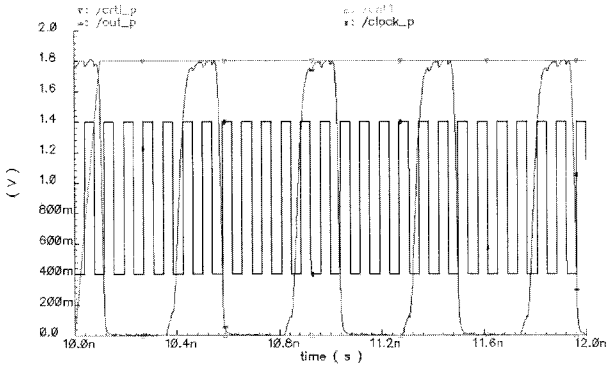


그림 10. 전체 회로 시뮬레이션 결과(6분주)
Fig. 10. Simulation result of whole circuit(6division).

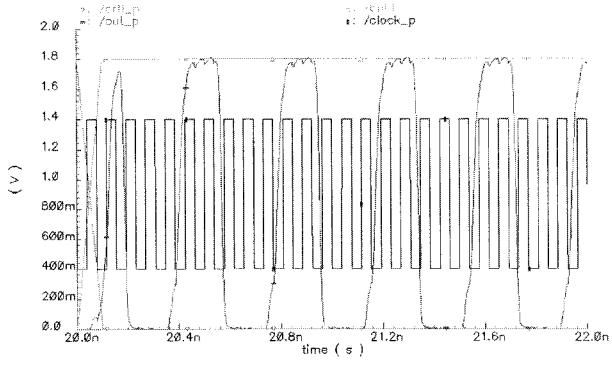


그림 11. 전체 회로 시뮬레이션 결과(5분주)
Fig. 11. Simulation result of whole circuit(5division).

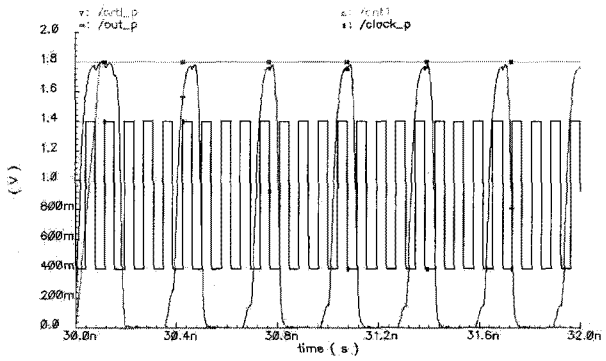


그림 12. 전체 회로 시뮬레이션 결과(4분주)
Fig. 12. Simulation result of whole circuit(4division).

표 1. 전체 회로 시뮬레이션 결과
Table 1. Simulation result of whole circuit.

Freq [GHz] Resit [KΩ]	1.0	2.0	3.0	4.0	5.0	6.0	7.0	8.0	9.0	10	11	12	13	14	15
1.6															
1.8													●	●	
2.0											●	●	●		
2.2									●	●	●	●			
2.4								○	○	○	○	○			
2.7						●	●	●	●	●	●				
3.0					●	●	●	●	●	●					
3.7				●	●	●	●	●	●						
4.0			○	○	○	○	○	○							
5.0		●	●	●	●	●	●								
7.0	●	●	●	●	●										
10.0	●	●	●	●											
14.0	●	●	●												

이 설계된 주파수분할기는 GHz의 고속 동작 임에도 불구하고 양호한 출력신호 특성을 나타내었으며, 출력신호의 듀티(duty) 비를 제외하고는 별다른 이상은 발생하지 않았다. 즉, 10GHz 이상 입력 클록신호의 주파수가 증가함에 따라 듀티 비가 나빠졌으나 그 밖의 다른 이상은 나타나지 않았다. 이 문제는 주파수분할기 출력 단에 듀비비를 보정해 주는 버퍼회로를 사용한다면 해결될 것으로 본다. 그러나 10GHz 이하의 신호입력에서는 거의 50%에 가까운 듀티 비가 나타났다.

본 연구에서 사용하는 1/2 분할 회로는 저항의 크기에 따라 동작 주파수 영역(대역 폭)이 달라지는 특성이 있으므로 이 부분에 대한 시뮬레이션을 중점적으로 수행하였다[7~8]. 부하저항 Res의 크기는 1.6~14.0KΩ 구간에서 변화시켜가면서 시뮬레이션하였으며, 1.0~15.0GHz의 클록 신호를 입력하면서 출력 신호를 관찰하였다. 표 1은 저항 값에 따른 동작 주파수 영역을 보여주는 것으로써, 실제 설계에 있어서 저항 값의 결정이 매우 중요하다는 것을 알 수 있다. 전체 동작 주파수 영역은 1GHz 이하부터 14.0GHz까지로 나타났으며, 부하저항 값에 따른 대역폭은 구간에 따라 2.0~6.0GHz로 서로 다르게 나타났다. 따라서 저항을 여러 종류로 설계하여 스위치를 통하여 선택하게 함으로서 대역폭을 1~ 14GHz까지 광대역으로 확보할 수 있다. 예를 들어 그림에서 부하저항 값을 2.4KΩ 및 4.0KΩ 두 가지를 선택하면 3GHz에서 12GHz까지의 MBOA 시스템에 필요한 전체 주파수 대역폭 3432~10296MHz를 확보할 수 있다.

실제 MBOA 시스템의 클록 발생 회로에 사용될 13~39의 연속적인 정수 분할비를 갖는 분할기 회로(n = 8)에 대해서도 설계하여 같은 방법으로 시뮬레이션해 본 결과 최대 동작주파수가 13GHz로 나타나서 주파수가 1GHz 정도 낮아지는 것 외에는 큰 차이가 없는 동작특성을 나타내었다.

Ⅶ. 결 론

단위 분할회로(1/2)에 수퍼 다이나믹 회로를 사용함으로써 0.18um CMOS 파라메타를 적용하였을 때 10GHz이상의 초고속에서도 동작하는 프로그램 가능한 주파수 분할기 회로를 설계하였다. 이 주파수 분할기는 단위 분할회로에 안정성이 높은 CMOS스위치 회로를 사용하여 정수 분할비를 연속적으로 자유롭게 바꿀 수 있게 하였기 때문에 여러 주파수를 합성하기 위한 다채널 주파수 합성기 회로에 사용할 수 있다. 이 회로는 부하저항의 값을 조정하면 사용 주파수 대역도 자유롭게 조정할 수 있는 장점도 있다. 이 회로에 0.13um CMOS 파라메타를 적용한다면 20GHz 이상에서도 동작할 것으로 예상된다.

이 회로는 여러 채널의 클록신호를 발생시킬 필요가 있는 PLL을 사용한 클록신호 발생 회로 설계에 유용하게 사용될 수 있다. 따라서 본 설계에 의한 주파수 분할회로는 차세대 RF 모바일 통신회로인 MBOA, 무선랜, USN 등 10GHz 이상의 초고속 동작이 필요한 UWB 통신, 광대역 광통신 등 차세대 모든 초고속 통신용 클록신호 생성회로에 유용하게 사용될 수 있을 것으로 본다.

참 고 문 헌

[1] 오근창, 김경환, 박종태, 유근종, "2.4GHz ISM 대역 응용을 위한 2.4GHz Fractional-N 주파수합성기의 설계", 대한전자공학회논문지, 제45권 SD편 제6호pp.634-641, 2008년 6월.

[2] 강호용, 김내수, 채상훈, "USN센서노드용 5.0GHz 광대역 RF 주파수합성기의 설계", 대한전자공학회 논문지, 제 45 권, CI편, 제 6 호, 2008년 11월.

[3] T. Otsuji, M. Yoneyama, K. Murata, and E. Sano, "A super-dynamic flip-flop circuit for broadband application up to 24-Gbit/s utilizing production level 0.2um GaAs MESFET's" *IEEE J. Solid-State Circuits*, vol. 32, no. 9, pp. 1357-1362, 1997.

[4] Z. Lao, A. Thiedei, U. Nowotny, H. Lienhart, V. Hurm, M. Schlechtweg, J. Hornung, W. Bronner, K. Kohler, A. Hulsmann, B. Raynor, and T. Jakobus, "40-Gbit/s high-power modulator driver IC for lightwave communication systems" *IEEE J. Solid-State Circuits*, vol. 33, no. 10, pp. 1520-1526, 1997.

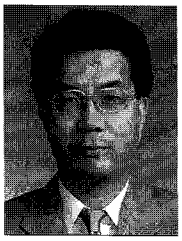
[5] K. Murata, T. Otsuji, M. Yoneyama, and M. Tokumitsu, "A 40-Gbit/s super-dynamic decision IC with 0.12um GaAs MESFET's" *IEEE J. Solid-State Circuits*, vol. 33, no. 10, pp. 1527-1535, 1997.

[6] J. Chien and L. Lu, "A 15-Gb/s 2:1 Multiplexer in 0.18um CMOS", *IEEE Microwave and Wireless Components Letters*, vol. 16, no. 11, pp. 558-560, Oct. 2006.

[7] D. Yang and K. K. O, "A 14-GHz 256/257 Dual-Modulus Prescaler With Secondary Feedback and Its Application to a Monolithic CMOS 10.4-GHz Phase-Locked Loop," *IEEE Trans. Microwave Theory Tech.*, pp. 461-468, Feb. 2004.

[8] C. Cao and K. K. O, "A power efficient 26-GHz 32:1 static frequency divider in 130-nm bulk CMOS," *IEEE Microwave and Wireless Components Letters*, Vol. 15, No. 11, pp.721 - 723, Nov. 2005.

저 자 소 개



강 호 용(정회원)

1989년 부산대학교 전자공학과 학사 졸업

2003년 충남대학교 정보통신 공학과 석사 졸업

1988년 12월~1993년 12월 대우통신 반도체연구소

1994년 1월~2000년 5월 대우전자 ASIC Center

2000년~현재 한국전자통신연구원 USN기반기술 연구팀 책임연구원

<주관심분야 : USN MAC/PHY, VLSI설계, 광가입자망(FTTH) MAC/PHY>

채 상 훈(평생회원)-교신저자

1981년 경북대학교 전자공학과 학사 졸업

1983년 부산대학교 전자공학과 석사 졸업

1992년 부산대학교 전자공학과 박사 졸업

1983년 3월~1997년 8월 한국전자통신연구원 반도체 연구단 책임연구원

2004년 9월~2006년 8월 University of Florida 연구교수

1997년 9월~현재 호서대학교 전자공학과 교수

<주관심분야 : 광통신 및 RF용 아날로그/혼합형 ASIC 설계, 전력소자 및 태양전지 연구 개발>