특집 : 3D 마이크로시스템 패키징 및 장비

3차원 칩 패키징을 위한 TSV내 전도금속 충전 및 non-PR 범프 형성

홍성철 · 이왕구 · 박준규 · 김원중 · 정재필

Cu Filling into TSV and non-PR Sn bumping for 3 Dimension Chip Packaging

Sung-Chul Hong, Wang-Gu Lee, Jun-Kyu Park, Won-Joong Kim and Jae-Pil Jung

1. 서 론

전자기기의 소형화, 고기능화에 맞추어 반도체 소자의 집적도가 크게 증가함에 따라 기존의 평면적 칩 배열에서 3차원으로 칩을 적층하고자 하는 연구가 활발히 진행되고 있다[1]. 성능 향상을 위해 평면적 칩 배열은 한정된 면적에 작은 칩을 여러 장 배열시키고, 칩의 개수가 증가함에 따라 칩을 서로 연결해주는 배선 길이가 증가하게 된다. 이로 인해 길어진 배선에서 신호 지연이 발생하여 칩 성능 향상에 대한 효과가 떨어지는 문제가 발생하게 된다. 이러한 한계점을 극복하기 위한 대안으로서 제기된 것이 TSV (Through Silicon Via) 기술을 이용한 3차원 칩 적층이다. TSV 기술은 실리콘 웨이퍼를 관통하는 미세 비아 (Via) 홀을 형성한 후 비아 홀 내부에 전도성 물질을 충전시켜 칩 내부에 직접 전기적 연결 통로를 확보하는 기술이다.

칩을 적층하여 패키징하는 3차원 패키징은 1개의 칩을 실장할 면적에 여러 개의 칩을 실장할 수 있어 집적도를 향상시킬 수 있으며, 전력 소모도 감소시킬 수 있는 장점이 있다. TSV를 이용한 칩 적층을 위해서는 실리콘 웨이퍼에 비아 홀을 제조하는 기술, 형성된 비아 홀에 기능 박막층을 형성하고 전도성 금속을 충전하는 기술, 실리콘 웨이퍼의 배면을 제거하여 충전된 비아 홀의 개구부를 노출시키는 CMP (Chemical Mechanical Polishing) 과정, 형성된 홀 표면에 범프를 형성하고 형성된 범프를 이용하여 칩을 적층하는 기술 등 복잡한 과정을 거쳐 완성된다 (그림 1 참조[2]).

본고에서는 3차원 패키징 과정에서 중요한 인자로 작용하는 비아 홀 형성, 기능 박막층 형성, 비아 홀에 전도성 금속 충전 과정 및 비아 홀에 전해 도금을 이용한 non- PR 범프 형성 과정에 관하여 기술하고자 한다.

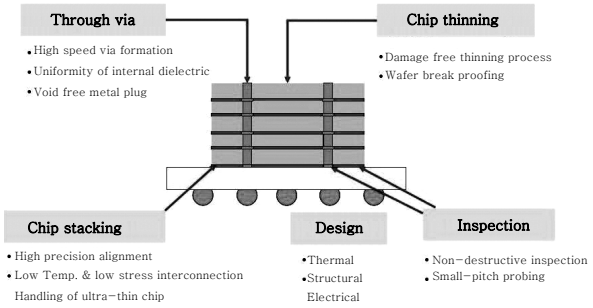


Fig. 1 Technology map of 3-D Stack Packaging[2]

2. 비하 홀 형성 및 적층 공정

2.1 비아 홀 형성

실리콘 웨이퍼 상에 비아 홀을 형성하기 위한 방법으로는 크게 DRIE (Deep Reactive Ion Etching)법[1]과 레이저를 이용한 방법[3] 2가지 방법이 제시되고 있다. 이 중 레이저를 이용한 방법은 별도의 마스크가 필요하지 않고, 부식성 가스 등의 유해물질 사용이 없다는 장점이 있지만 개구부 주변에 찌꺼기 (debris) 발생 및 종횡비 (aspect ratio)가 큰 비아 홀 형성이 어렵다는 단점이 있다. 반면 DRIE법의 경우 비아 홀이 형성될 영역만을 노출 시켜줄 마스크 및 PR 공정이 필요하며, 이후에도 부식성 gas인 SF_6, 보호층 gas인 C_4F_8가 사용되기 때문에 공정이 복잡해지는 단점을 가진다. 그러나 DRIE법은 다수의 비아 홀을 동시에 형성할 수 있고, 다양한 종횡비의 비아 홀 형성이 가능하기 때문에 많이 사용되고 있다.

DRIE법은 그림 2에서 보는 바와 같이 SF_6 플라즈마를 이용한 식각과 C_4F_8 플라즈마를 이용한 보호층 증착을 반복하여 직진성 있는 비아 홀을 얻는다. SF_6 플라즈마에 의한 등방성 에칭과 C_4F_8 플라즈마에 의한 보호층 증착을 반복하는 과정에서 식각된 영역과 그 다

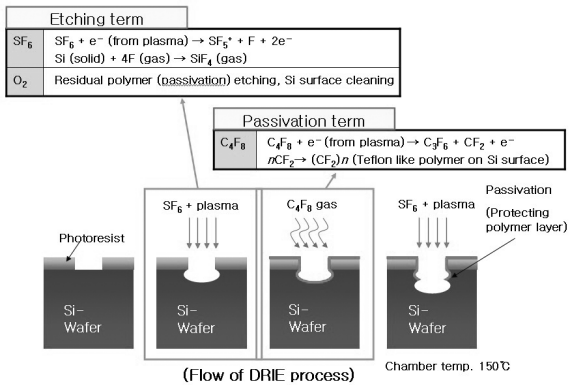
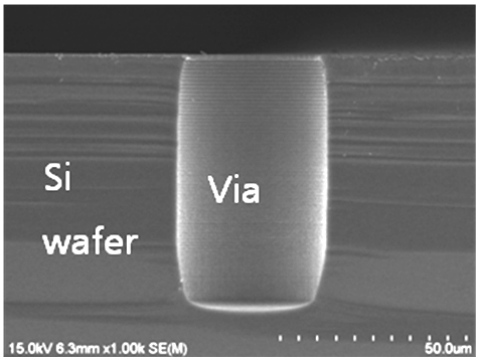
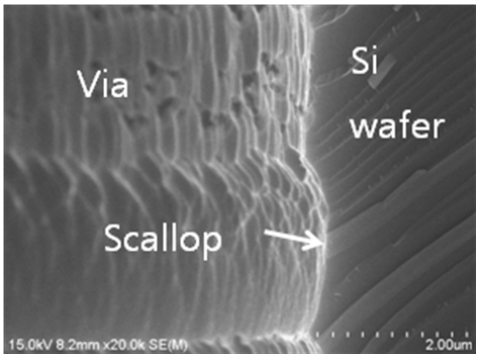


Fig. 2 Schematics of DRIE process



(a)



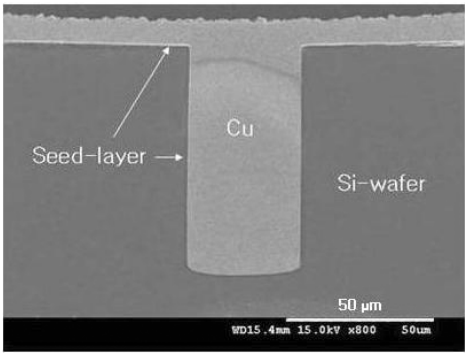
(b)

Fig. 3 SEM micrographs of Si wafer with vias; (a) cross section of a via, (b) magnified side wall of the via

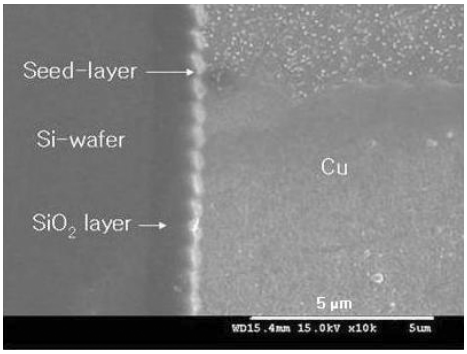
음 싸이클에서 식각된 영역의 경계면에 작은 부채꼴 (scallop) 무늬가 관찰되기도 한다 (그림 3 (b) 참조). 이러한 부채꼴 무늬는 이후의 기능 박막 증착 및 전도성 금속 충전에 영향을 미치기도 한다. 그림 3은 Si 웨이퍼 상에 DRIE법으로 형성된 비아 홀의 단면을 나타내었다.

2.2 기능 박막층 형성

기능박막이란 비아 홀과 비아 홀이 형성되지 않은 실



(a)



(b)

Fig. 4 SEM results of (a) Cu Filling into the via hole, and (b) interface between functional layer and Cu plugs[5)]

리콘 웨이퍼 사이에 다음과 같은 목적을 위해 형성된다. 비아 홀과 실리콘 웨이퍼의 전기적 절연 역할을 수행하는 절연층 (SiO_2, SiN), 비아 홀 내부 충전금속과 실리콘 웨이퍼 사이의 접착력을 확보해주는 접합층 (Ti), 충전도금의 전해도금을 용이하게 하기 위한 전처리로서의 역할을 수행하는 시드층 (Cu, Au)으로 구분된다.

SiO_2 절연층을 형성하기 위해 로 (furnace)를 이용한 습식 또는 건식 산화법과 PECVD 를 사용하는 방법이 있다. 로를 이용한 산화법은 공정온도 1000 ~ 1100 ℃ 정도에서 이루어지기 때문에 CMOS의 내열한계로 여겨지는 알루미늄과 실리콘의 공정온도 577 ℃을 초과하게 된다. 이에 반해 PECVD 공정은 공정온도가 300~500 ℃ 정도이기 때문에 CMOS의 내열한계 이하의 온도로 SiO_2층을 증착 가능하다.

접합층과 시드층은 스퍼터링 법을 이용하여 증착한다. 시드층은 일반적으로 양호한 전도성과 저가격을 고려하여 Cu가 많이 사용되는데, Cu층은 절연층과 접착력이 다소 약한 단점이 있다[4)]. 절연층인 SiO_2와 Cu 시드층의 결합력이 약할 경우 안정된 Cu 충전을 기대하기 어려운 경우도 있다[5)]. 반면 Au층은 비아 충전을 위한 황산기반 전기도금액 속에서 Cu에 비해 안정하고, 도금 전 시편 표면의 산화 방지를 위한 예비 세척

이 불필요한 장점이 있다. Au층은 낮은 접촉저항으로 Cu 도금 충전과정이 안정될 것으로 기대되고, 솔더 범프의 전기도금에도 양호한 결과를 보이기도 한다[6].

2.3 전도성 금속 및 고속충전

전도물질 충전은 기능박막이 형성된 비아 홀에 전도성 물질을 채워 넣는 과정이다. 주로 이용되는 방법은 전해도금이나, 1 ㎛이하의 작은 비아 홀이나 트렌치(trench) 충전의 경우 무전해도금이 사용된 사례도 있다.

Cu 전기 도금법은 공정비용이 비교적 저렴하고 실리콘 웨이퍼, PCB (printed circuit board) 패드 등 적용분야가 넓고, 양산이 용이하여 TSV 충전에 가장 많이 사용되고 있다. 그러나 전기 도금에 의한 Cu 충전 시간이 대부분 15시간 내외까지 길고, 충전시 결함 발생이 많아서 TSV내 Cu 충전 공정이 3차원 적층 원가 비중의 약 40 %를 차지하기도 한다. 따라서 TSV의 충전 시간을 단축하고자 하는 연구가 진행되고 있다.

DC (direct current) 전기도금을 이용하여 Cu를 비아 홀에 충전할 경우, 비아 홀 개구부의 모서리 부분에 전류가 집중되어 비아 홀의 개구부가 먼저 막혀버리는 현상이 발생한다. 전류집중에 따른 시임(seam), 기포 등 결함 발생 문제를 피하기 위해 펄스 전류를 이용한 충전도금이 일반적으로 사용되고 있다. 펄스 전류는 산화전류와 환원전류를 번갈아 인가하며 환원전류만 흐를 때의 전류 집중효과를 완화하여 준다. 최근에는 전류 집중에 따른 결함발생 방지 뿐만 아니라 전도물질의 빠른 충전을 위하여 도금액에 도금속도 억제제 및 가속제를 첨가하는 연구, 환원전류와 산화 전류를 가한 후 짧은 시간 동안 전류를 인가하지 않는 기간 (current-off duration)을 두는 PPR (periodic pulse reverse) 파형을 이용한 고속 전해 도금[7], 비아 홀의 개구부를 넓게 하여 전류 집중 현상을 완화시켜주는 경사벽 비아 홀 (tapered vias)을 이용한 충전, 합금을 이용한 충전 등이 연구되고 있다. PPR 파형을 이용한 고속 전해 도금법에서는 도금시간을 상용의 16시간 정도에서 약 1시간 정도로 단축하고 있으나[7], 실용화를 위해서는 현재의 칩 수준의 크기에서 웨이퍼 수준으로 크기를 증가시켜야 하는 과제가 아직 남아 있다.

2.4 non-PR 솔더 범프 형성

실리콘 칩의 3차원 적층을 위해서는 솔더 범프의 형성이 필수적이다. 칩간 연결법으로 Sn 범프를 사용하기 위해 실리콘 웨이퍼의 비아 홀 상에 충전된 Cu에 전해도금으로 Sn 범프를 형성한다. 3차원 패키징의 저가격화와 공정 단순화를 달성하기 위해, 기존의 PR (photoresist)를 사용하여 범프를 제조하는 공정 대신 PR을 사용하지 않고 실리콘 웨이퍼 위에 직접 Sn 범프를 형성하는 non-PR 범핑 공정을 저자 등은 개발하였다[1,8].

PR을 사용하지 않고 전기 도금법에 의한 솔더 범프 형성은 비아 홀에 전도성 금속을 충전한 후 CMP 과정을 통해 실리콘 웨이퍼의 배면을 제거하여 충전된 비아 홀의 개구부를 노출시켜 Sn 범프 형성용 전극으로 사용하며, Pt 박판을 양극 전극으로 사용한다. 전극간의 거리를 일정하게 유지한 후 도금액은 자석 교반 막대를 사용하여 교반하며, 실온에서 도금을 실시한다. 도금시 정확한 전압의 측정을 위해 레퍼런스 전극으로 포화 칼로멜 전극 (SCE, Saturated Calomel Electrode)을 사용한다. 그림 5 (a)은 도금 장치를 나타낸 것이다.

리소그라피 공정에 의하여 Sn 범프를 제조할 경우 PR (photoresist) 코팅, 필름 마스킹, UV (Ultraviolet) 노광, patterning, PR (photoresist) 제거 등 여러 단계의 공정이 필요하다. 이러한 공정들은 시간뿐만 아니라 공정에 따른 비용도 큰 문제가 되고 있다. 그러나 non-PR Sn 범프 형성 방법은 리소그라피와 관련된 5-6개 공정을 생략하여 전기 도금법으로 범프를 형성할 수 있으며[1,6,8], 이를 이용한 단순화된 범핑 공정은

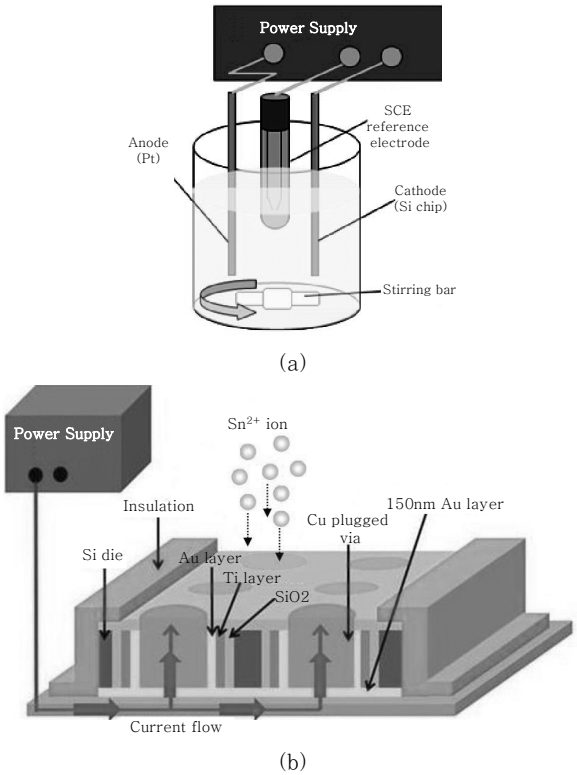
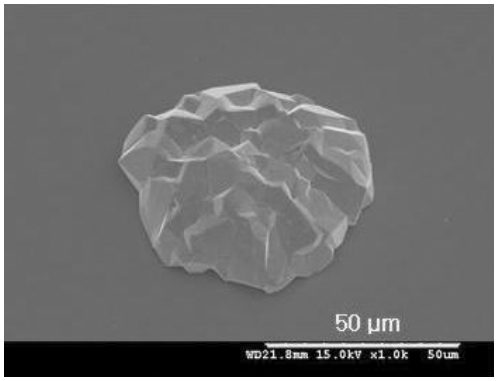
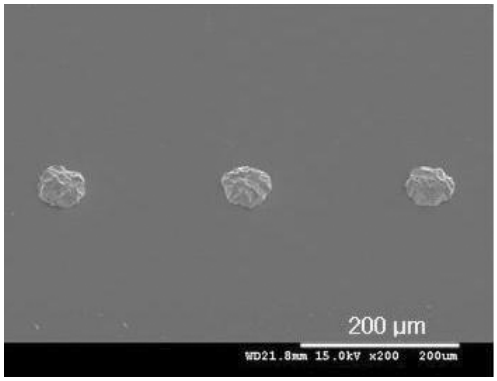


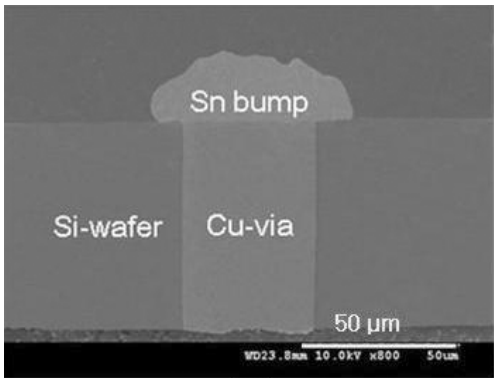
Fig. 5 Schematic diagram of (a) electroplating unit and (b) electroplating Sn bump on the Cu plugged vias without PR mould



(a)



(b)



(c)

Fig. 6 Sn bumps formed on the Cu filling by DC electroplating without PR mould, (a) bump appearance, (b) bumps having good uniformity, and (c) cross section of a bump[7)]

3차원 비아 홀 적층 실장에서 원가 절감과 생산성 향상에 기여할 수 있는 기초기술로 제안 가능하다. 그림 6에 리소그라피 공정 없이 전기도금법으로 형성한 Sn 솔더 범프의 모습을 나타내었다.

3. 결 론

Non-PR 솔더 범프를 이용한 3차원 칩 적층 기술은 고밀도의 칩 패키징과 제조 원가 절감이라는 과제를 동시에 해결할 수 있는 매력적인 기술이다. 미래의 패키징 기술은 더 작은 면적에 더 많은 미세 칩을 패키징하고, 제조 가격도 저렴해야 하며, 열적 기계적으로 안정해야 한다. 본고에서 설명한 비아 홀 형성 기술, 기능층 증착 기술, 전도성 물질 충전 기술 및 솔더 범프 형성 기술은 아직 연구·발전시켜야 할 부분이 많이 남아 있다. 그러나 리소그라피 공정을 거치지 않고 전해 도금법을 이용하여 전도성 금속 물질인 Cu를 비아 홀에 충전하고, 충전된 Cu plugs 위에 Sn 솔더 범프를 형성함으로써 공정 단순화를 이룰 수 있었으며, 범핑과 관련된 4개 공정을 생략하여 가격 경쟁력 확보 및 생산성 증가를 가져올 수 있을 것으로 기대된다.

감사의 글

본 연구는 Seoul R&BD 프로그램(No.10890)의 지원으로 수행되었습니다.

참 고 문 헌

1. J. H. Jun, I. R Kim, M. Mayer, Y. N. Zhou, S. B. Jung and J. P. Jung : A New Non-PRM Bumping Process by Electroplating on Si Die for Three Dimensional Packa- ging, Materials Transactions, 2010, 1887- 1892
2. M. Tomisaka, M. Hoshino, H. Yonemura and K. Takahashi : Copper Electroplating Study for Through Silicon Chip Electrode of Three-dimensional Chip Stacking, Denso Tech. Rev. **Vol. 6** (2001), 78-84
3. S. J. Hong, Y. W. Lee, K. S. Kim, K. J. Lee, J. O. Kim, J. H. Park, J. P. Jung : Filling via hole in Si-wafer for 3 Dimensional Packaging, The Korean Welding and Joining Society Conference, 2006 (in Korean)
4. B. S. Kang, S. M. Lee, J. S. Kwak, D. S. Yoon and H. K. Baik : The Effectiveness of Ta Prepared by Ion- Assisted Deposition as a Diffusion Barrier Between Copper and Silicon, J. Electrochem. Soc., **144** (1997), 1807- 1812
5. M. S. Yoon : Introduction of TSV (Through Silicon Via) Technology, J. Microelectron. Packag. Soc, **16-1**(2009), 1-6 (in Korean)
6. S. J. Hong, S. C. Hong, W. J. Kim, and J. P. Jung : Copper Filling to TSV (Through-Si-Via) and Simplification of Bumping Process, Journal of the Microelectronics & Packaging Society, **17-3** (2010), 79-84 (in Korean)
7. I. R. Kim, J, K, Park, Y. C. Chu, and J. P. Jung : High speed Cu Filling Into TSV by Pulse Current for 3 Dimensional Chip Stacking, J. Met. Mater., **48-7** (2010), 667-673 (in Korean)
8. S. J. Hong, J. H. Jun, J. P. Jung, M. Mayer and Y. Norman Zhou : Sn Bumping Without Photoresist Mould and Si Dice Stacking for 3-D Packaging, IEEE TRANS. ADV. PACK., in press(2010)

• 홍성철
• 1975년생
• 서울시립대학교 대학원생(박사과정)
• 범프 형성 및 계면 평가 연구
• e-mail : callihong@naver.com

• 이왕구
• 1983년생
• 서울시립대학교 대학원생(석사과정)
• TSV 제조 및 전도물질 충전 연구
• e-mail : wgstyle@uos.ac.kr

• 박준규
• 1986년생
• 서울시립대학교 대학원생(석사과정)
• 전해도금 특성 평가 연구
• e-mail : jkman001@uos.ac.kr

• 김원중
• 1956년생
• 서울시립대학교 교수
• 금속 가공
• e-mail : wjkim@uos.ac.kr

• 정재필
• 1959년생
• 서울시립대학교 교수
• 마이크로접합, 전자패키징, 전해도금
• e-mail : jpjung@uos.ac.kr