

# Sn-3.0Ag-0.5Cu 및 Sn-1.0Ag-0.5Cu 조성의 솔더 볼을 갖는 플립칩에서의 보드레벨 낙하 해석

김성결<sup>+</sup>

(논문접수일 2010. 11. 12, 심사완료일 2011. 1. 31)

## Board-Level Drop Analyses having the Flip Chips with Solder balls of Sn-3.0Ag-0.5Cu and Sn-1.0Ag-0.5Cu

Seong-Keol Kim<sup>+</sup>

### Abstract

Recently, mechanical reliabilities including a drop test have been a hot issue. In this paper, solder balls with new components which are Sn-3.0Ag-0.5Cu and Sn-1.0Ag-0.5Cu-0.05N are introduced, and board level drop test for them are conducted under JEDEC standard in which the board with 15 flip chips is dropped as 1,500g acceleration during 0.5ms. The drop simulations are studied by using a implicit method in the ANSYS LS-DYNA, and modal analysis is made. Through both analyses, the solder balls with new components are evaluated under the drop. It is found that the maximum stress of each chip is occurred between the solder ball and the PCB, and the highest value among the maximum stresses in the chips is occurred on the chip nearest to fixed holes on the board in the drop tests and simulations.

**Key Words** : Solder joints, Drop analyses(낙하해석), Implicit method(내재적 방법), Flip chip(플립칩), Modal analysis(모드해석)

## 1. 서론

전자·정보통신 산업의 급격한 발전으로 휴대폰과 카메라 그리고 휴대용 게임기와 같은 전자제품의 고성능화 및 다기능화의 요구와 더불어 휴대기기의 소형화가 급속하게 진전되고 있다<sup>(1)</sup>. 이에 따라 기기 내부에 탑재되는 칩 패키지(package)와 같은 초소형 전자부품의 기계적 신뢰성 해석이 중요한 해결 과제로 부각되고 있다<sup>(2)</sup>. 패키지의 접합부에 사용되는 솔더(solder)는 초기에 솔더의 재료로 납(Pb)이 주성분이었으나, 납의 유해성으로 인해 납을 제거한 환경 친화적 Sn-1.2Ag-0.7Cu 및 Sn-2.5Ag 조성 등이 무연 솔더 합금으로 개발되어,

기존 연구에서는 이들을 대상으로 한 낙하시험이 수행되었다. 그러나 은(Ag)의 가격상승 및 강도 등의 재료특성을 고려하여 은 함량을 낮춘 Sn-3.0Ag-0.5Cu나 Sn-1.0Ag-0.5Cu-0.05N 솔더 볼이 한국의 N사에 의해 개발되었지만 이에 대한 신뢰성 평가연구는 거의 없는 실정이다.

기계 신뢰성 평가 연구에서는 최근에 낙하충격과 같은 아주 순간적인 충격으로 소형 휴대기기에 사용되는 패키지의 기계적 신뢰성을 평가하기 위한 방법인 보드 레벨 낙하 시뮬레이션(board level drop simulation)이 새로운 신뢰성 해석방법으로 각광을 받고 있다<sup>(3-5)</sup>. 보드 레벨 낙하 시뮬레이션은 유한요소 해석 프로그램에서 칩 패키지를 설계하여 실제 보드 레벨 낙하

<sup>+</sup> 주저자, 서울과학기술대학교 기계설계자동화공학부 (rhett@seoultech.ac.kr)  
주소: 139-743 서울시 노원구 공릉2동 172

실험과 동일한 조건을 설정한다. 또한, 일정 높이에서 상당히 큰 가속 강제 낙하 명령을 입력시켜 시편의 파단을 해석하여 패키지 솔더 접합부의 신뢰성을 평가하는 방법이다. 이 방법은 가속 강제 낙하할 때, 보드가 받은 충격에 의해 보드에 굽힘 현상이 발생되며, 이 굽힘 현상에 의해 솔더 볼과 보드 사이에 큰 응력이 발생되어 궁극적으로는 균열이 발생됨을 알 수 있다. 또한 이 굽힘 현상은 칩과 보드가 솔더볼에 의해 접합된 전체 시스템의 충격 진동 현상과도 상당한 관련이 있게 된다<sup>(6)</sup>.

따라서 본 논문에서는 기존 무연 솔더 합금 조성비율과 다르면서 은(Ag)의 함량을 감소시킨 Sn-3.0Ag-0.5Cu과 Sn-1.0Ag-0.5Cu-0.05Ni 등을 새로운 무연 솔더 볼 합금으로 이루어진 플립칩을 대상으로 낙하시험을 실시하여 기계적 신뢰성을 평가하고자한다. 또한, 상용 프로그램인 ANSYS에서 내재적 방법(implicit method)을 이용하여 가속 충격 시에 솔더 접합부의 파단에 미치는 영향을 예측하고, 플립칩 중 가장 직접적인 파단이 일어나는 부위의 위치를 예측하는 해석을 수행하고자 한다.

## 2. 낙하 시험

### 2.1 낙하시험 개요

보드 레벨의 낙하시험을 위해서는 JEDEC 표준 중 JESD22-B111<sup>(7)</sup>을 사용해야 한다. 본 표준에서는 낙하시험을 위해 낙하시험 전용 장비를 사용해야하며, 이 장비를 이용하여 일정 높이에서 0.5ms동안 1,500g로 가속 낙하를 시켜 보드와 칩 사이의 전기 저항을 측정하여 1,000 Ohm이 넘으면 솔더 볼이 파괴되었음을 의미한다. Fig. 1은 낙하시험을 위한 장치도이며, Fig. 2는 실제 장비를 보여준다.

본 낙하시험은 포항소재 포항산업과학연구원(RIST)에서,

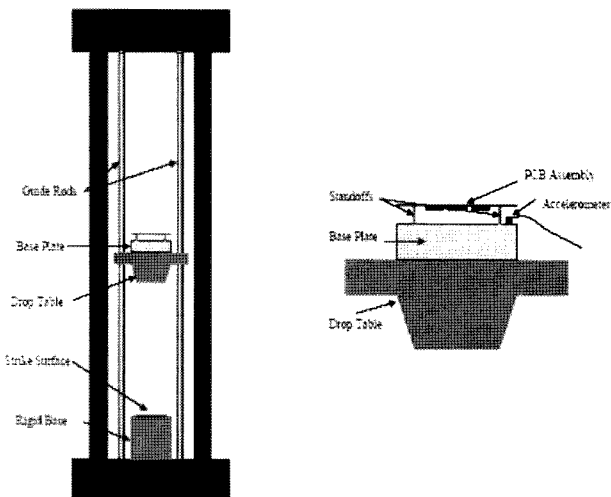


Fig. 1 Typical drop test apparatus and mounting scheme for PCB assembly

N사로부터 받은 4종류, 8개 낙하시험용 시편에 대해 수행하였다. Table 1은 낙하시험에 사용된 솔더 볼의 조성 및 UBM의 종류를 나타내고 있으며, 보다 구체적으로 사용된 낙하시험에 대해 기술하면, UBM은 2종류(Cu 그리고 Cu-Ni 조합) 그리고 솔더 볼 2종류(Sn-3.0Ag-0.5Cu와 Sn-1.0Ag-0.5Cu) 등 4개의 조합에 대해 각각 2개씩 총 8개의 낙하시험용 시편에 대해 3일간 낙하시험을 실시하였다.

### 2.2 낙하시험 결과 및 토의

본 연구에서의 실험은 전술한 바와 같이 2가지 솔더 볼 조성과, 2가지 UBM 종류 등 4가지의 경우에, 2개씩 만들어 전체 8개에 대한 낙하시험을 수행하였다. Table 2에서 알 수 있는 것처럼, 7개의 시편에 대해서는 낙하시험을 200번으로 실시하였고, 305 조성과 Cu UBM을 갖는 한 개의 시편에 대해서만 낙하시험을 500번 수행하였다. 일반적으로 낙하시험은 200번을 실행하나, 선택된 1개의 시편에 대해서만 낙하에 의한 각 칩의 파괴순서를 보다 정확하게 나타내기 위해 시험 횟수를

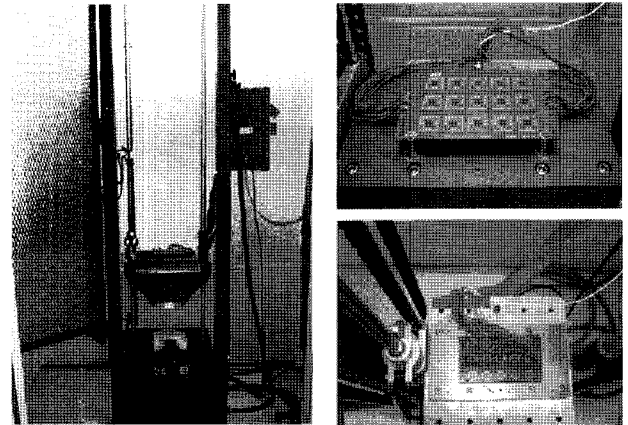


Fig. 2 Drop test apparatus of the RIST in Pohang

Table 1 Solder compositions and substrate pad finishes used in drop test

(a)			
No.	Substrate pad finish	Solder composition	Sample size
#01	Cu 10 $\mu$ m	Sn-3.0Ag-0.5Cu	30chips/2boards
#06	CuNi 5/3 $\mu$ m	Sn-3.0Ag-0.5Cu	30chips/2boards
#3A	CuNi 5/3 $\mu$ m	Sn-1.0Ag-0.5Cu	30chips/2boards
#3	Cu 10 $\mu$ m	Sn-1.0Ag-0.5Cu	30chips/2boards
(b)			
Item	Dimension		
Drop board	132 $\times$ 77 $\times$ 1mm		
Component	5.6 $\times$ 5.6mm		
Ball array	14 $\times$ 14		
Ball pitch	400 $\mu$ m		
Ball size	250 $\mu$ m		

**Table 2 The results of the drop tests(averaging cycles of failure)**

No. of chip	#01 (305, Cu 10 $\mu$ m)	#06 (305, Cu/Ni 5/3 $\mu$ m)	#3A (105, Cu/Ni 5/3 $\mu$ m)	#3 (105, Cu 10 $\mu$ m)
C1	39	24	158 #2	15
C2	100	-	- no	48
C3	27	50	124	36
C4	142	185 #1	173 #2	134
C5	49	154 #1	176 #1	29
C6	271	- no	- no	- no
C7	222	- fail	- fail	157
C8	97	199 #2	139 #2	50
C9	- no	- no	140 #1	149 #2
C10	- fail	- fail	- no	- no
C11	63	72	37	38
C12	116	- no	- no	- no
C13	71	146 #1	136 #2	127
C14	175	- no	160	184 #2
C15	94	171 #2	88	90

500번으로 연장하여 실시하였다. Table 2에 제시된 값은 2개의 동일한 종류의 칩을 갖는 시편에 대해 낙하시험을 해서 평균 파괴 횟수를 나타낸 것이다. 또한 200 사이클 낙하 후에도 파괴가 발생되지 않은 시편의 번호를 각 칩에 대해 표기하였다.

4종류의 플립칩에 대해 보드레벨에서의 15개 칩과 PCB 사이에 있는 솔더볼 파괴순서를 Table 3에 제시하였다.

본 연구에서 수행한 낙하시험 결과를 정리하면 다음과 같다. 첫째, 솔더 볼 조성에 상관없이 UBM이 Cu/Ni 조합의 경우가 Cu만 단독으로 사용했을 경우보다 낙하시험에서 상당히 우수한 결과를 나타내었다. 둘째, 솔더 볼 조성에 대한 차이는 미미하여, 일반적인 경향을 알 수 없었다. 셋째, 305 조성의 칩과 UBM으로 Cu를 사용한 두 개의 #01 시편 중, 낙하시험을 500번 수행한 시편에서도 9번 및 10번 칩이 파괴되지 않았다. 넷째, 8개 모든 시편에서 10번 위치의 칩만 파괴되지 않았으며, 반대로 3번 및 11번 칩은 모두 파괴되었다. 특히, 이 두 위치의 칩들은 솔더 범퍼 조성에 상관없이 UBM이 Cu/Ni 조합 일 경우에만 100회가 넘는 낙하시험에서 파괴되었다. 다섯째, 지지구멍과 가까운 1번, 5번, 11번 그리고 15번 칩들과 PCB 가운데에 위치한 3번, 8번 그리고 13번 칩들이 파괴가 상대적으로 다른 위치의 칩들에 비해 빨리 파괴가 되었다. Table 3에서 알 수 있듯이 특히 지지구멍과 가까운 칩들의 파괴가 가운데 위치한 칩들보다 다소 빨리 파괴가 일어났다.

본 낙하시험을 통해, 지지구멍과 가까운 곳에 위치한 칩들의 파괴가 가장 먼저 발생되었으며, 그 다음으로 가운데 위치한 칩들이, PCB의 가운데 위치한 칩들 중 최 우측 및 최 좌측에 위치한 칩들의 파괴가 가장 늦게 발생되었다.

**Table 3 Comparison of maximum von Mises stresses in solder balls of chips under drop tests**

Solder compositions	No. of Specimen	Order of failure	Averaging order of failure
#01	1 (200)	C3 → C1 → C11 → C5 → C13 → C2 → C8 → C15 → C4 → C12 → C14 → C6 = C7 = C9 = C10	C3 → C1 → C5 → C11 → C13 → C15 → C8 → C2 → C12 → C4 → C14 → C7 → C6 → C9 = C10
	(1) (500)	C3 → C1 → C11 → C5 → C13 → C2 → C8 → C15 → C4 → C12 → C14 → C7 → C6 = C9 = C10	C11 → C13 → C15 → C8 → C2 → C12 → C4 → C14 → C7 → C6 → C9 = C10
	2 (200)	C5 → C15 → C1 → C3 → C12 → C8 → C13 → C6 → C11 → C2 → C4 → C14 → C7 → C9 = C10	C1 → C3 → C11 → C15 → C8 → C2 = C4 = C5 = C6 = C7 = C9 = C10 = C12 = C13 = C14
#06	1 (200)	C1 → C3 → C11 → C15 → C8 → C2 = C4 = C5 = C6 = C7 = C9 = C10 = C12 = C13 = C14	C1 → C3 → C11 → C13 → C5 → C15 → C4 → C8 → C2 = C6 = C7 = C9 = C10 = C12 = C14
	2 (200)	C1 → C3 → C11 → C13 → C5 → C4 → C2 = C6 = C7 = C8 = C9 = C10 = C12 = C14 = C15	C11 → C15 → C3 → C13 → C8 → C9 → C14 → C1 → C4 → C5 → C2 = C6 = C7 = C10 = C12
#3A	1 (200)	C11 → C13 → C8 → C3 → C1 → C4 → C15 → C14 → C2 = C5 = C6 = C7 = C9 = C10 = C12	C11 → C15 → C3 → C13 → C8 → C9 → C14 → C1 → C4 → C5 → C2 = C6 = C7 = C10 = C12
	2 (200)	C15 → C11 → C9 → C14 → C5 → C3 → C1 = C2 = C4 = C6 = C7 = C8 = C10 = C12 = C13	C1 → C5 → C3 → C11 → C2 → C15 → C8 → C4 → C13 → C9 → C7 → C14 → C6 = C10 = C12
#3	1 (200)	C3 → C5 → C1 → C11 → C2 → C15 → C8 → C4 → C13 → C9 → C7 → C14 → C6 = C10 = C12	C1 → C5 → C3 → C11 → C2 → C15 → C8 → C13 → C4 → C9 → C7 → C14 → C6 = C10 = C12
	2 (200)	C1 → C5 → C11 → C3 → C8 → C2 → C15 → C7 → C13 → C4 → C6 = C9 = C10 = C12 = C14	C13 → C4 → C9 → C7 → C14 → C6 = C10 = C12

### 3. 낙하 모사 및 모드 해석

#### 3.1 낙하모사해석

##### 3.1.1 외재적 방법에 의한 해석(explicit method)

외재적 방법을 이용한 해석은 물체의 형상과 동일하게 모델링을 한 후에 실제 낙하시험과 동일한 조건의 상황을 프로그램

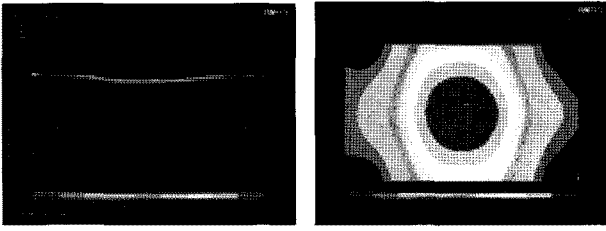


Fig. 3 Drop simulation by explicit method of the ANSYS

내부에서 직접 구현하는 방법이다. 이러한 외재적 방법을 이용한 해석의 경우, 물체의 외형적 변화의 경향을 쉽게 파악할 수 있으며, 실제 낙하시험 조건을 구현할 수 있다는 장점이 있다. 그러나 실제 낙하시험 조건과 동일한 모델로 해석을 수행 시, 해석에 필요한 요소 수가 너무나 크게 증가되어, 시스템적인 한계를 가져오게 되며, 해석 수행의 시간이 너무나 길어지게 된다는 단점을 갖고 있어, 현재의 PC 속도로는 지속적인 해석 연구가 불가능했다. 그리고 사이클 반복해석의 경우도 이론적으로는 가능하나, pc 기반 시스템의 한계로 인하여 해석을 수행할 수 없었다. 다만, 외재적 방법을 이용하여 단순한 보드만을 모델링하여 보드의 외형적인 변화 및 충격량을 예측 할 수 있었고, 본 해석 자료를 근거로 하여 낙하 모사해석의 경향성 및 충격 진동에 의한 형상 변화를 파악 할 수 있었다. 본 연구에서는 이 방법의 여러 한계와 단점으로 인하여 내재적 방법을 채택하기로 하였다.

### 3.1.2 내재적 방법에 의한 해석 (implicit method)

내재적 방법에 의한 해석은 외재적 방법에 의한 해석에서 사용되는 모델과 동일하나, 실제 낙하조건과 등가의 조건으로 4군데 구멍에 고정된 보드시스템에 대해 0.5ms 동안 1,500g의 가속도 충격을 칩, 솔더 볼 그리고 보드 등에 가하고, 그 후 일정 시간동안 모든 절점에서의 해석결과를 얻을 수 있어 해석 시간은 외재적 방법에 의한 해석보다 거의 1/10 정도 줄일 수 있다.

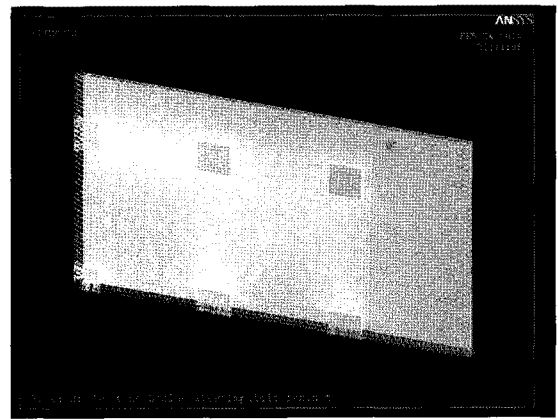
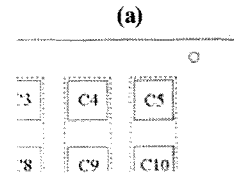
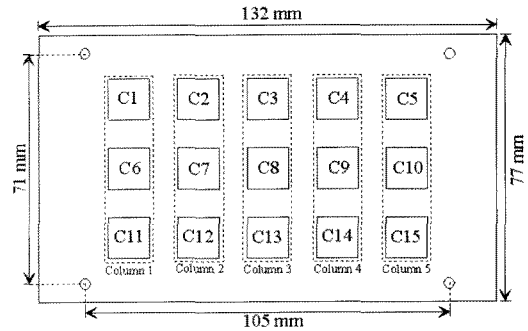
본 방법을 사용한 해석에서 필요한 값은  $\zeta_{mr}$ (각 모드에 대한 감쇠비) 이며, 다음과 같이 구해진다.

$$\zeta_{mr} = \frac{\alpha}{2\omega_r} + \frac{\beta}{2}\omega_r \quad (1)$$

위 식에서  $\alpha$ (friction damping)은 매우 작은 값을 가지므로 생략되고 아래와 같이 단순하게 표현할 수 있다.

$$\zeta_{mr} = \frac{\beta}{2}\omega_r \quad (2)$$

$\beta$ (modal damping ratio)와  $\omega_r$ (natural frequency) 값들은



(b)

Fig. 4 Quarter model for drop simulation by implicit method in the ANSYS

Table 4 Properties of materials

	Elastic modulus (MPa)	Poisson ratio	Density (kg/m <sup>3</sup> )
Sn/3.0Ag/0.5Cu : Solder	48,000	0.3	7,400
Sn/1.0Ag/0.5Cu -0.05Ni : Solder	33,400	0.3	7,360
Cu(305) : UBM	76,000	0.35	8,900
Ni(105) UBM	213,000	0.2	8,900
Chip	131,000	0.278	2,330
PCB-FR4	22,000	0.28	1,900

고유 모드 형상에 따라 달라지는데, JEDEC 조건에서 주어지는 0.5ms에서 1,500g의 가속 충격은 마치 델타함수(delta function)와 거의 동일하며, 일반적으로 이 델타함수를 푸리에 변환(Fourier transform)하면, 전 주파수 영역에서 일정한 값을 가지게 된다. 이런 이유로 본 해석에서는 15개의 칩이 실장된 보드 시스템 전체가 아주 짧은 시간에 충격 가진되며, 그

중 전체 진동 에너지의 반 이상을 담당하는 1차 모드를 선택하여  $\beta$ 와  $\omega$  값들을 입력하였다.

본 해석을 위해 사용된 프로그램은 ANSYS 11.0이며, 내재적 방법에 의한 해석을 수행하기 위해 ANSYS 내에서 프로그램을 작성하였다. 본 해석에서는, 해석시간의 효율 및 대칭성을 이용하여 보드를 1/4 크기로 모델링하였으며, 향후 연구에서는 1/2 또는 전체 시스템을 모델링하여 해석을 실시하고자 한다. 1/4 모델은 대칭조건을 고려한 4개의 칩과 보드 내부에 있는 2개의 칩 등 6개로 모델링하였다. Fig. 4는 JEDEC 표준의 15개 칩이 실장된 PCB형상 및 ANSYS에서 매싱(meshing)된 1/4 PCB 및 6개 칩에 대한 해석 모델이다. Table 4는 사용된 재료의 물성치이다.

### 3.1.3 낙하모사해석 결과 및 토의

본 해석에서는 각 칩 및 그 칩에서의 모든 솔더 볼에 대한 von-Mises 항복강도의 분포 및 최대 von-Mises 응력이 작용하는 솔더 볼의 위치를 구하였다. Fig. 5는 105조성의 솔더 볼을 갖는 3개의 칩에서, Fig. 6은 305 조성의 솔더 볼을 갖는

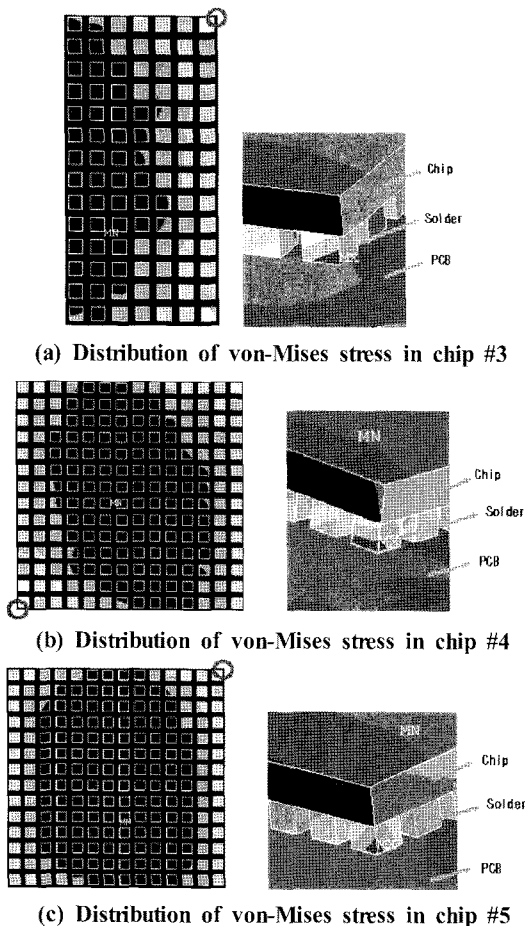


Fig. 5 Results of drop simulation by a quarter model (105 solder component)

3개의 칩에서, 솔더 볼의 von-Mises 응력분포를 칩만 제거하여 보여주고 있다.

Fig. 7과 Table 5는 두 가지 조성의 솔더 볼에 대한 1/4 모델에서 각 칩의 최대 von-Mises 항복강도의 크기와 순서 그리고 각 칩에서의 위치를 나타내고 있다.

Fig. 7에서 알 수 있듯이 솔더볼의 조성에 상관없이 von-Mises 응력의 최대응력은 모든 칩의 모서리 부분의 솔더볼에

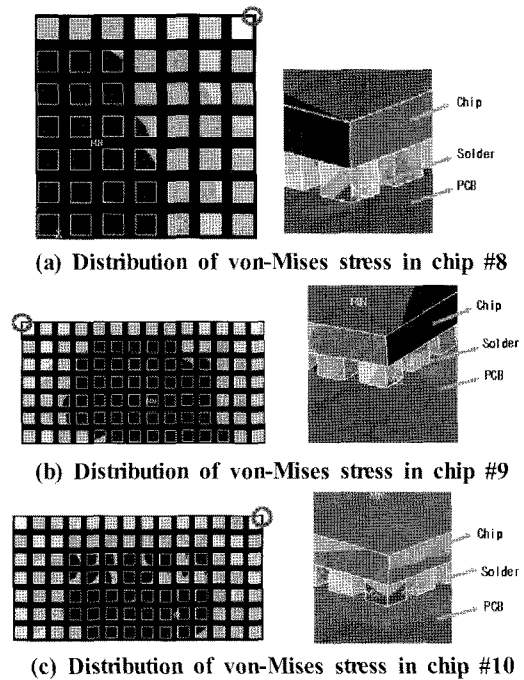


Fig. 6 Results of drop simulation by a quarter model (305 solder component)

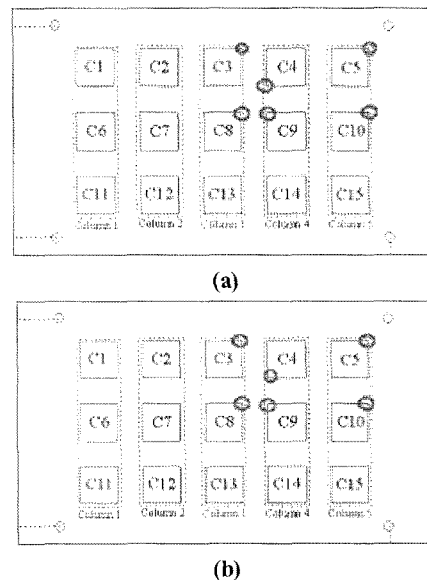


Fig. 7 Locations of maximum von\_Mises yield stresses in chips by drop simulation for the quarter model

**Table 5 Comparison of maximum von\_Mises yield stresses in chips by drop simulation for the quarter model**

# of chip	Sn/1.0Ag/0.5Cu (kgf/mm <sup>2</sup> )	Sn/3.0Ag/0.5Cu (kgf/mm <sup>2</sup> )
3	119,523.0	135,774.0
4	83,045.9	95,835.2
5	207,385.0	243,689.0
8	129,274.0	150,529.0
9	104,620.0	123,111.0
10	57,338.9	72,061.8
Order of Max.	C5 → C8 → C3 → C9 → C4 → C10	C5 → C8 → C3 → C9 → C4 → C10

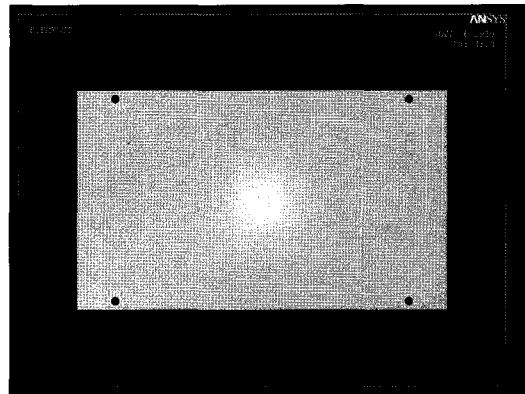
서 발생하였다. 또한, 최대응력이 PCB와 솔더볼 사이 접촉면에서 모두 발생하였는데, 이는 보드가 낙하할 때, PCB의 크기가 상대적으로 가장 크며, 재질이 가장 약한 재질이므로, 모든 칩에서 솔더볼과 PCB 사이에서 최대 응력이 발생되었다. 이를 통해 PCB와 솔더볼 사이의 접촉면이 먼저 파괴됨을 예측할 수 있다.

또한, 솔더 볼 조성에 상관없이 각 칩에서의 최대응력의 순서는 동일하게 발생되었으나, 305 조성의 최대응력들이 105 조성의 값들보다 모든 칩에서 크게 발생되었다. 네 개의 지지구멍과 가까운 5번 칩에서 최대 응력이 발생되었고, 가운데 최우측에 있는 10번 칩에서 응력이 가장 작게 해석되었다. 1/4 모델을 사용한 낙하모사 해석의 결과는 전술한 낙하시험의 결과와 거의 동일한 경향을 나타내었다.

**3.2 모드 해석(modal analysis)**

내재적 방법에 의한 낙하해석은 전술한 바와 같이 JEDEC 조건에 의해 칩 15개를 가진 PCB를 0.5ms동안 1,500G로 가속하여 낙하를 한다. 이렇게 짧은 시간 동안 가속 낙하를 한 후에 보드가 받는 충격 진동으로 보드 전체가 가진된다. 상당히 짧은 시간 동안 1,500g로 가속 낙하를 한 보드를 푸리에 변환을 통해 주파수 영역에서 살펴보면 0부터 상당히 큰 주파수 영역까지 그 에너지가 전달되며, 기계진동학 측면에서는 칩 15개가 실장된 보드 시스템의 모든 고유모드들이 가진 됨을 뜻한다. 그러므로, 칩이 실장된 PCB의 모드해석을 수행하는 것이 필요하며, 본 해석을 통해, 전체 시스템의 고유진동수와 그와 관련된 고유모드를 구하고자 한다. 또한 각 고유모드에서의 탄성 변형률 에너지 밀도(elastic strain energy density)를 도출하고자 한다. 각 모드에서의 탄성 변형률 에너지 밀도를 구하는 이유는, 전체 시스템의 각 고유진동수에 대한 진동거동 즉, 모드형상에 있어서 탄성 변형률 에너지 밀도의 분포를 파악하고, 이를 통해 변형이 가장 큰 솔더볼의 위치를 구하여, 전술한 낙하해석과의 연관성을 연구하고자 한다.

모드해석을 위해 전체 시스템을 모델링 및 해석을 해야 하지



**Fig. 8 FE model of full PCB and a centered chip with solder balls for modal analysis**

**Table 6 Results of modal analyses**

No. of mode	Sn/1.0Ag/0.5Cu Natural freq. (Hz)	Sn/3.0Ag/0.5Cu Natural freq. (Hz)
1	490.11	490.16
2	888.78	888.78
3	1,195.3	1,195.3
4	1,350.7	1,350.8
5	1,732.0	1,732.0
6	1,904.2	1,904.6
7	2,061.5	2,061.8
8	2,699.2	2,699.8

만, 낙하해석에서 전술한 바와 같이 상당히 많은 수의 솔더볼 및 칩 등이 존재하는 보드 전체를 모델링하는 것은 현실적으로 불가능하여 본 연구에서는 PCB 전체와 가운데 칩 및 솔더볼에 대한 모델과 낙하해석에서 사용된 1/4 크기의 PCB 및 칩 6개 모델 등 2가지 모델에 대한 모드해석을 낙하해석과 동일한 ANSYS를 이용하여 실시하였다.

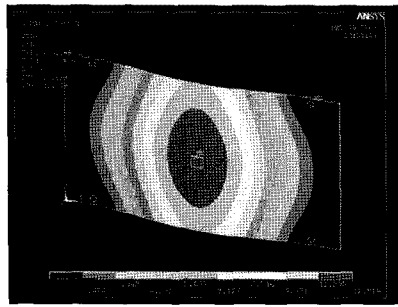
**3.2.1 PCB 전체 및 가운데 칩 1개 모델의 모드해석**

Fig. 8은 모드해석을 위한 유한요소 모델링을 보여주고 있으며, 모드해석은 두 가지 조성의 솔더볼에 대해 수행하였다. Table 6는 각 조성에 대한 해석결과를 나타낸다.

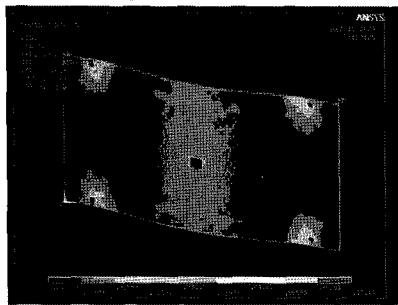
Fig. 9와 Fig. 10은 105 조성의 솔더볼을 갖는 보드에서의 1차 및 2차 고유모드를 나타내고 있다.

본 모드해석을 통해, 시스템의 진동거동에 대부분의 영향을 미치는 1차 및 2차 고유모드의 특성을 파악할 수 있었으며, 특히 1차 모드의 형상인 1차 굽힘모드는 낙하모사해석에서 발생하는 보드의 변형 형상과 동일하였다.

본 모드해석을 통해, 전체 시스템의 진동거동에 대부분의 영향을 미치는 1차 및 2차 고유모드의 특성을 파악할 수 있었으며, 특히 1차 모드의 형상인 1차 굽힘모드는 낙하모사해석에서 발생하는 보드의 변형 형상과 동일하였다. 또한 나머지 3차

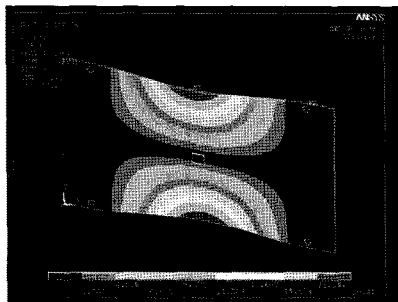


(a) Displacement vector sum

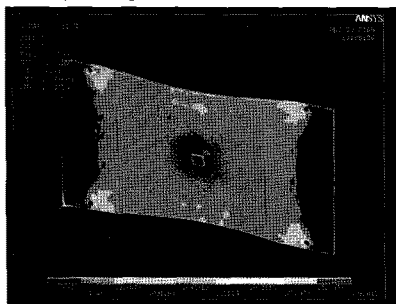


(b) Elastic strain density

Fig. 9 The 1st model shape (Sn/1.0Ag/0.5Cu, 490.11Hz)



(a) Displacement vector sum



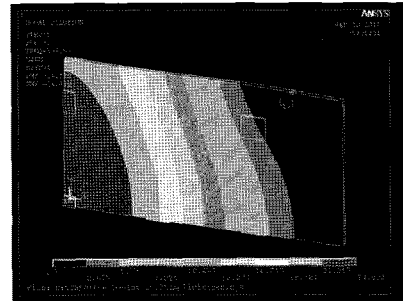
(b) Elastic strain density

Fig. 10 The 2nd model shape (Sn/1.0Ag/0.5Cu, 888.78Hz)

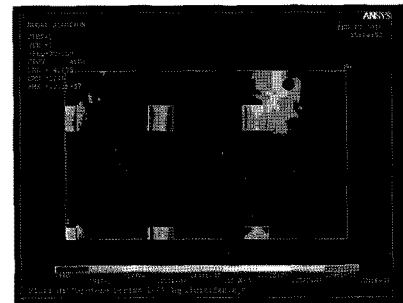
이상의 모드들도 가운데 칩에 미치는 영향을 알 수 있었으며, 솔더볼 조성의 차이에 의한 고유진동수 및 관련 모드형상의 변화는 거의 없었다. 각 모드형상에 대한 탄성 변형률 에너지 밀도를 구한 결과, 칩과 PCB를 연결하는 솔더볼에서의 변형이 모든 모드에서 상대적으로 크게 도출됨을 알 수 있었다. 본 해석을 통해, 짧은 시간 안에 가속 낙하를 하는 PCB는 시스템

Table 7 Results of modal analyses using quarter models

No. of mode	Sn/1.0Ag/0.5Cu Natural freq. (Hz)	Sn/3.0Ag/0.5Cu Natural freq. (Hz)
1	399.14 (1st, 490.11)	399.59 (1st, 490.16)
2	1,092.4 (4th, 1,350.6)	1,093.3 (4th, 1,350.7)
3	1,524.4 (6th, 1,904.2)	1,526.6 (6th, 1,904.6)
4	2,175.9 (8th, 2,699.2)	2,178.3 (8th, 2,699.8)



(a) Displacement vector sum



(b) von-Mises stress

Fig. 11 The 1st model shape (Sn/3.0Ag/0.5Cu, 399.59Hz)

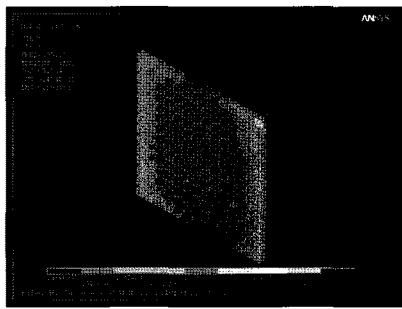
의 진동거동에 큰 영향을 받으며, 이로 인해 칩과 솔더볼 또는 솔더볼과 PCB 사이의 접촉면에서 변형이 크게 되어 궁극적으로 크랙 및 파괴가 될 가능성이 있음을 알 수 있었다.

### 3.2.2 1/4 PCB 및 칩 6개 모델의 모드해석

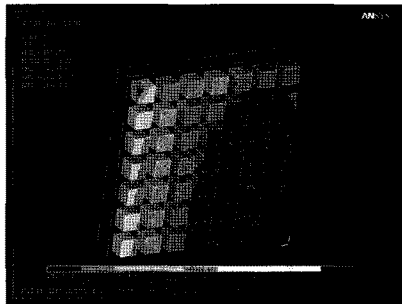
본 해석을 위해 사용된 모델은 Fig. 4와 같이 낙하해석에서 사용한 1/4 PCB 및 칩 6개 모델이며, 두 종류의 솔더볼 조성에 대해 모드해석을 수행하였다. Table 7은 각 조성에 대한 해석결과를 나타내고 있다.

Fig. 11은 305 조성의 모델에 대한 1차 고유모드 형상 및 von-Mises 항복응력 그리고 탄성에너지밀도를 보여주며, Fig.12는 1차 고유모드에 대해 각 칩에서의 탄성에너지밀도를 나타낸다.

앞의 모드해석과 고유모드 형상의 비교하면, Table 8에서 알 수 있듯이 1/4 PCB 및 6개 칩 모델의 모드해석에서는 전체 PCB 및 가운데 1개 칩 모델의 고유모드 형상 중 1차, 4차, 6차 그리고 8차 등 단지 4개의 고유진동수와 그와 관련된 모드형상만을 나타내었다. 1차 모드에서 각 칩에서의 최대



(a) Elastic strain density at chip #5



(b) Elastic strain density at chip #8

Fig. 12 The 1st model shape (Sn/1.0Ag/0.5Cu, 399.14Hz)

Table 8 Comparison of von-Mises stresses in chips

No. of mode	Sn/1.0Ag/0.5Cu von-Mises(kgf/mm <sup>2</sup> )	Sn/3.0Ag/0.5Cu von-Mises(kgf/mm <sup>2</sup> )
C3	1.59E6(right and top)	1.86E6(right and top)
C4	1.29E6(left and bottom)	1.49E6(left and bottom)
C5	2.85E6(right and top)	3.32E6(right and top)
C8	1.74E6(right and top)	2.04E6(right and top)
C9	1.42E6(left and top)	1.68E6(left and top)
C10	7.85E5(right and top)	9.32E5(right and top)
Order of Max.	C5 → C8 → C3 → C9 → C4 → C10	C5 → C8 → C3 → C9 → C4 → C10

von-Mises 응력 및 그 위치를 Table 8에 나타내었다. 1차 및 2차 모드에 대해 6개 칩 모두에서, PCB와 솔더볼 사이의 접촉면에서 최대 탄성변형률 밀도가 발생하였다. 또한 앞의 낙하해석에서의 결과로 제시한 Table 5와 비교하면, 낙하에서 구한 각 칩에서의 최대응력의 순서와 모드해석에서 구한 1차 모드의 각 칩에서의 최대 von-Mises응력의 순서와 동일한 결과를 나타내어, 전술한 바와 같이 보드를 짧은 시간 내에 가속 낙하시 받는 충격은 보드의 진동거동에 의해 지배를 받는다는 결론을 추론할 수 있다.

#### 4. 결론

국내에서 새롭게 개발된 두 종류의 솔더볼, Sn-1.0Ag-0.5Cu 및 Sn-3.0Ag-0.5Cu 등에 대해 플립칩이 제작되었고, JEDEC 표준하에서 낙하 충격을 받을 때의 기계적 신뢰성을

평가하기 위해 본 연구에서는 낙하시험, 낙하모사해석 그리고 모드해석을 수행하여 다음과 같은 결론을 도출하였다. 첫째, 4종류 총 8개의 JEDEC 표준 보드를 제작하여 낙하시험을 실시하였고, 4종류 칩 모두 JEDEC 낙하기준을 통과하였다. 또한, 솔더볼의 종류 및 UBM의 상관없이 4개의 지지구멍과 가장 근접한 칩(C5)에서 가장 먼저 솔더볼이 파단되었으며, 보드 가운데 위치한 칩(C8)이 그 다음이었다. 모든 칩의 PCB와 솔더볼 접촉면에서만 파단이 발생되었다. 둘째, 재제작 방법을 이용한 낙하모사해석에서는 1/4모델이 사용되었으며 해석결과, 낙하시험과 거의 동일한 경향을 나타내었으며, 솔더 볼 조성에 상관없이 각 칩에서의 최대응력의 순서는 동일하게 발생되었으나, 305 조성의 최대응력들이 105 조성의 값들보다 모든 칩에서 다소 크게 발생되었다. 셋째, JEDEC 표준의 낙하시험 조건이 보드에 충격 진동(impact vibration)을 가해 전체 시스템이 가진다는 본 연구의 가정 하에 1/4모델에 대한 모드해석을 수행하여 낙하시험과 낙하모사해석 결과인 굽힘 모드와 동일한 1차 고유 진동모드에 대해 각 칩에서 탄성에너지 변형률밀도와 von-Mises 응력을 구하였다. 이 결과들은 앞선 해석결과와 동일한 결과를 나타내어, 보드가 짧은 시간 내에 가속 낙하시 받는 충격은 보드의 진동거동에 의해 지배를 받는다는 결론을 도출할 수 있었다.

#### 후 기

본 연구는 서울과학기술대학교 2009년 해외파견 연구교수 사업으로부터 지원받아 수행하였으며, 이에 감사드립니다.

#### 참 고 문 헌

- (1) Yoon, J. W., Kim, J. W., Koo, J. M., Ha, S. S., Noh, B. I., Moon, W. C., Moon, J. H., and Jung, S. B., 2007, "Flip-Chip Bonding Technology and Reliability of Electronic Packaging", *Journal of KWJS*, Vol. 25, No. 2, pp. 108~117.
- (2) Lee, S. B., Kim, J. M., Lee, S. H., and Shin, Y. E., 2007, "A Study on Reliability Improvement for Flip Chip Package", *Spring Conference of KSMTE*, pp. 529~535.
- (3) Tee, Y., Luan, J., Ng, H. S., Lim, C. K., Pek, E., and Zhong, Z., 2004, "Advanced Experimental and Simulation Techniques for Analysis of Dynamic Responses during Drop Impact", *54th Electronic Components and Technology Conference*, pp.1088~1094.
- (4) Mattila, T. T., Marjamaki, P., and Kivilahti, J. K., 2006, "Reliability of CSP Interconnctions under Mech-



- anical Shock Loading Conditions”, *IEEE Transaction on Components and Packaging Technologies*, Vol. 29, No. 4, pp.787~795.
- (5) Luan, J., Tee, Y. Tee, Zhang, X., and Hussa, E., 2005, “Solder Joint Failure Modes, Mechanisms, and Life Prediction Models of IC Packages under Board Level Drop Impact”, *IEEE 6th International Conference on Electronic Packaging Technology*, pp. 382~ 388.
- (6) Kim, S. K., Kim, H. J., Lim, S. Y., Kim, S. Y., Yang, I. Y., and An, E. J., 2010, “Dynamic Reliability Assessment of Solder Balls on the Design Parameters of Flip Chips”, *Autumn Conference of KSMTE*, pp. 149~ 153.
- (7) JEDEC standard. 2003, *Board Level Drop Test Method of Components for Handheld Electronic Products*, JESD22-B111, JEDEC Solid State Technology Association, Arlington in USA.